

【54】名稱：用於混壓輸出入介面之耐高壓電源線間靜電防護電路

HIGH-VOLTAGE TOLERANT POWER-RAIL ESD CLAMP CIRCUIT FOR MIXED-VOLTAGE  
I/O INTERFACE

【21】申請案號：095121308

【22】申請日：中華民國95(2006)年6月14日

【11】公開編號：200735323

【43】公開日：中華民國96(2007)年9月16日

【30】優先權：2006/03/02 美國

11/366,143

【72】發明人：柯明道 KER, MING DOU；陳穩義 CHEN, WEN YI；莊哲豪 CHUANG, CHE HAO

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE  
新竹縣竹東鎮中興路4段195號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

TW 548824

TW I228312

TW I241010

TW 200607071A

Minh-DouKer et.al., "ESD Protection for Mixed-Voltage I/O in Low Voltage Thin-Oxide CMOS", This paper appears in: Solid-State Circuits, 2006 IEEE

International Conference Digest of Technical Papers, Publication Date : Feb. 6-9, 2006 On page(s):2230-2237.

1

2

[57]申請專利範圍：

1. 一種用於靜電放電(ESD)防護之電路，其中包含：

一電壓耦合裝置，其包含一連接至一提供一第一電壓之第一電力供應的第一終端；

一第一電晶體，其包含一連接至該電壓耦合裝置之一第二終端的閘極，以及一連接至該第一電力供應之第一終端；一第二電晶體，其包含一連接至一提供一低於該第一電

壓之第二電壓的第二電力供應之閘極，以及一連接至該第一電晶體之閘極的第一終端；

一第三電晶體，其包含一連接至該第二電晶體之一第二終端的閘極，以及一連接至該第一電晶體之一第二終端的第一終端；以及

一第四電晶體，其包含一連接至該第二電力供應之閘極，一連接至該第三電晶體之閘極的第一終端，以

- 及一連接至一與該第一電壓及該第二電壓相異之參考電壓的第二終端。
- 2.如申請專利範圍第1項所述之電路，其進一步包含一電壓分壓器串列，該串列連接於該第一電力供應與該參考電壓之間。
  - 3.如申請專利範圍第2項所述之電路，其中該第一電晶體之閘極連接至該電壓分壓器串列之一終端。
  - 4.如申請專利範圍第1項所述之電路，其進一步包含一第五電晶體，該電晶體包含一連接至該第二電力供應之閘極，以及一連接至該第一電晶體之一第二終端的第一終端。
  - 5.如申請專利範圍第1項所述之電路，其進一步包含一寄生電阻器，該電阻器形成於該第三電晶體的第二終端與該參考電壓之間。
  - 6.如申請專利範圍第1項所述之電路，其進一步包含一寄生電晶體，該電晶體包含一連接至該第三電晶體之第二終端的基極。
  - 7.如申請專利範圍第1項所述之電路，其進一步包含一堆疊n-型金氧半導體(STNMOS)裝置，該裝置連接於該第一電力供應與該參考電壓之間。
  - 8.如申請專利範圍第1項所述之電路，其進一步包含一矽控制整流器(SCR)裝置，該裝置連接於該第一電力供應與該參考電壓之間。
  - 9.如申請專利範圍第1項所述之電路，進一步包含一場氧化元件(FOD)，該元件連接於該第一電力供應與該參考電壓之間。
  - 10.一種用於靜電放電(ESD)防護之電路，其包含：
    - 一電壓分壓器電路，其連接於一提供一第一電壓的第一電力供應與一參考電壓之間；
    - 一第一電晶體，其包含一連接至該

- 電壓分壓器電路之一終端的閘極，以及一連接至該第一電力供應之第一終端；
5. 一第二電晶體，其包含一連接至一提供一低於該第一電壓之第二電壓的第二電力供應之閘極，以及一連接至該第一電晶體之閘極的第一終端；
  10. 一第三電晶體，其包含一連接至該第二電晶體之一第二終端的閘極，以及一連接至該第一電晶體之一第二終端的第一終端；以及
  15. 一第四電晶體，其包含一連接至該第二電力供應之閘極，一連接至該第三電晶體之閘極的第一終端，以及一連接至一與該第一電壓及該第二電壓相異之參考電壓的第二終端。
  - 11.如申請專利範圍第10項所述之電路，其進一步包含一電壓耦合裝置，該裝置連接於該第一電力供應與該第一電晶體的閘極之間。
  20. 12.如申請專利範圍第10項所述之電路，其進一步包含一第五電晶體，該電晶體包含一連接至該第二電力供應之閘極，以及一連接至該第一電晶體之一第二終端的第一終端。
  25. 13.如申請專利範圍第10項所述之電路，其進一步包含一寄生電阻器，該電阻器形成於該第三電晶體的第二終端與該參考電壓之間。
  30. 14.如申請專利範圍第10項所述之電路，其進一步包含一寄生電晶體，該電晶體包含一連接至該第三電晶體之第二終端的基極。
  35. 15.一種提供靜電放電(ESD)防護之方法，其包含：
    - 提供一電壓耦合裝置，其包含一連接至一提供一第一電壓之第一電力供應的第一終端；
    - 40. 提供一第一電晶體，其包含一連接

至該電壓耦合裝置之一第二終端的閘極，以及一連接至該第一電力供應之第一終端；

提供一第二電晶體，其包含一連接至一提供一低於該第一電壓之第二電壓的第二電力供應之閘極，以及一連接至該第一電晶體之閘極的第一終端；

提供一第三電晶體，其包含一連接至該第二電晶體之一第二終端的閘極，以及一連接至該第一電晶體之一第二終端的第一終端；

提供一第四電晶體，其包含一連接至該第二電力供應之閘極，一連接至該第三電晶體之閘極的第一終端，以及一連接至一與該第一電壓及該第二電壓相異之參考電壓的第二終端；

在該第三電晶體的第二終端與該參考電壓之間形成一寄生電阻器；以及回應於一ESD事件，將一ESD脈衝之一部分透過該電壓耦合裝置耦合至該第一電晶體。

16.如申請專利範圍第15項所述之方法，其進一步包含將一ESD電流從該第一電力供應透過該寄生電阻器傳導至該參考電壓。

17.如申請專利範圍第15項所述之方法，其進一步包含：  
形成一寄生電晶體；以及  
回應於一ESD事件，將一電流提供至該寄生電晶體之一基極。

18.如申請專利範圍第15項所述之方法，其進一步包含提供一第五電晶體，該電晶體包含一連接至該第二電力供應之閘極，以及一連接至該第一電晶體之一第二終端的第一終端。

19.如申請專利範圍第15項所述之方法，其進一步包含：

提供一電壓分壓器串列，該串列連接於該第一電力供應與該參考電壓之間；以及

將該第一電晶體的閘極連接至該電壓分壓器串列之一終端。

5.

20.一種提供靜電放電(ESD)防護之方法，其包含：

提供一電壓分壓器電路，該電路連接於一提供一第一電壓的第一電力供應與一參考電壓之間；

10.

提供一第一電晶體，其包含一連接至該電壓分壓器電路之一終端的閘極，以及一連接至該第一電力供應之第一終端；

15.

提供一第二電晶體，其包含一連接至一提供一低於該第一電壓之第二電壓的第二電力供應之閘極，以及一連接至該第一電晶體之閘極的第一終端；

20.

提供一第三電晶體，其包含一連接至該第二電晶體之一第二終端的閘極，以及一連接至該第一電晶體之一第二終端的第一終端；

25.

提供一第四電晶體，其包含一連接至該第二電力供應之閘極，一連接至該第三電晶體之閘極的第一終端，以及一連接至一與該第一電壓及該第二電壓相異之參考電壓的第二終端；以及

30.

在該第一電壓之經分割部分處偏壓該第一電晶體之閘極，以將該第一電晶體保持在關閉狀態下。

21.如申請專利範圍第20項所述之方法，其進一步包含提供一電壓耦合裝置，該裝置連接於該第一電力供應與該第一電晶體的閘極之間。

35.

22.如申請專利範圍第20項所述之方法，其進一步包含提供一第五電晶體，該電晶體包含一連接至該第二電力供應之閘極，以及一連接至該

40.

第一電晶體之一第二終端的第一終端。

23.如申請專利範圍第21項所述之方法，其進一步包含回應於一ESD事件，將一部分的ESD脈衝耦合至該第一電晶體的閘極。

24.如申請專利範圍第20項所述之方法，其進一步包含：  
提供一寄生電晶體；以及  
回應於一ESD事件，將一電流提供至該寄生電晶體之一基極。

圖式簡單說明：

圖1為一根據本發明之一具體實施例之靜電放電(ESD)鉗位電路的示意性方塊圖；

圖2為一根據本發明之一具體實施例之ESD鉗位電路的電路圖；

圖3A及3B為一說明如圖2所示而按一正常情況所操作之ESD鉗位電路

的模擬結果點繪圖；

圖4A及4B為一說明如圖2所示而回應於一ESD事件所操作之ESD鉗位電路的模擬結果點繪圖；

圖5為一根據本發明之另一具體實施例之ESD鉗位電路的電路圖；

圖6A為說明如圖5所示而按一正常情況所操作之ESD鉗位電路的模擬結果點繪圖；

圖6B及6C為一說明如圖5而回應於一ESD事件所操作之ESD鉗位電路的模擬結果點繪圖；

圖7A為一根據本發明之一具體實施例之ESD防護裝置的示意圖；

圖7B為一根據本發明之另一具體實施例之ESD防護裝置的示意圖；

圖8為一根據本發明之一具體實施例，為以在一混壓介面中提供ESD防護的方法示意圖。

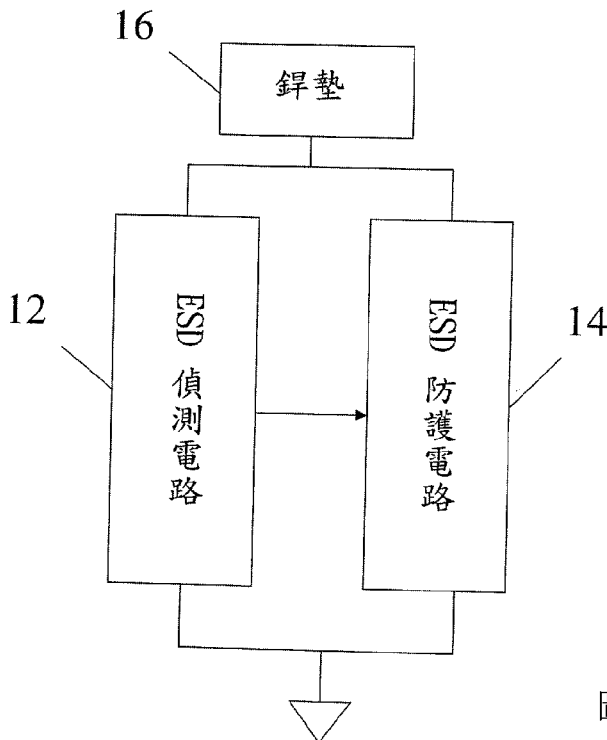


圖 1

2

2

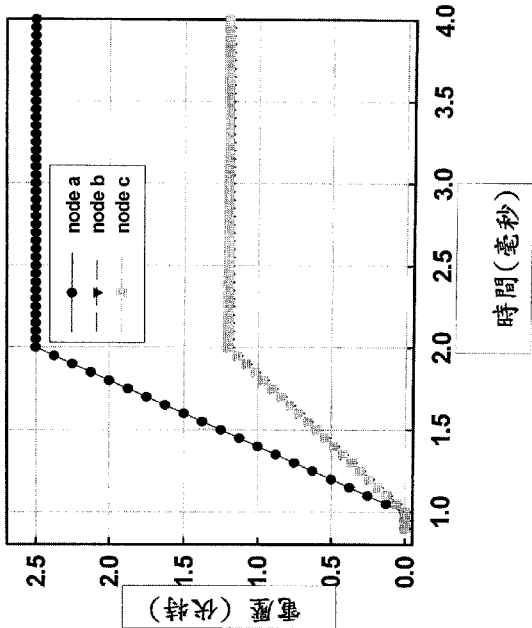


圖 3B

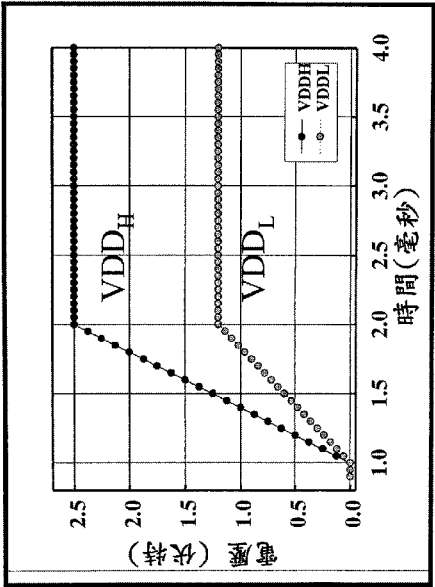


圖 3A

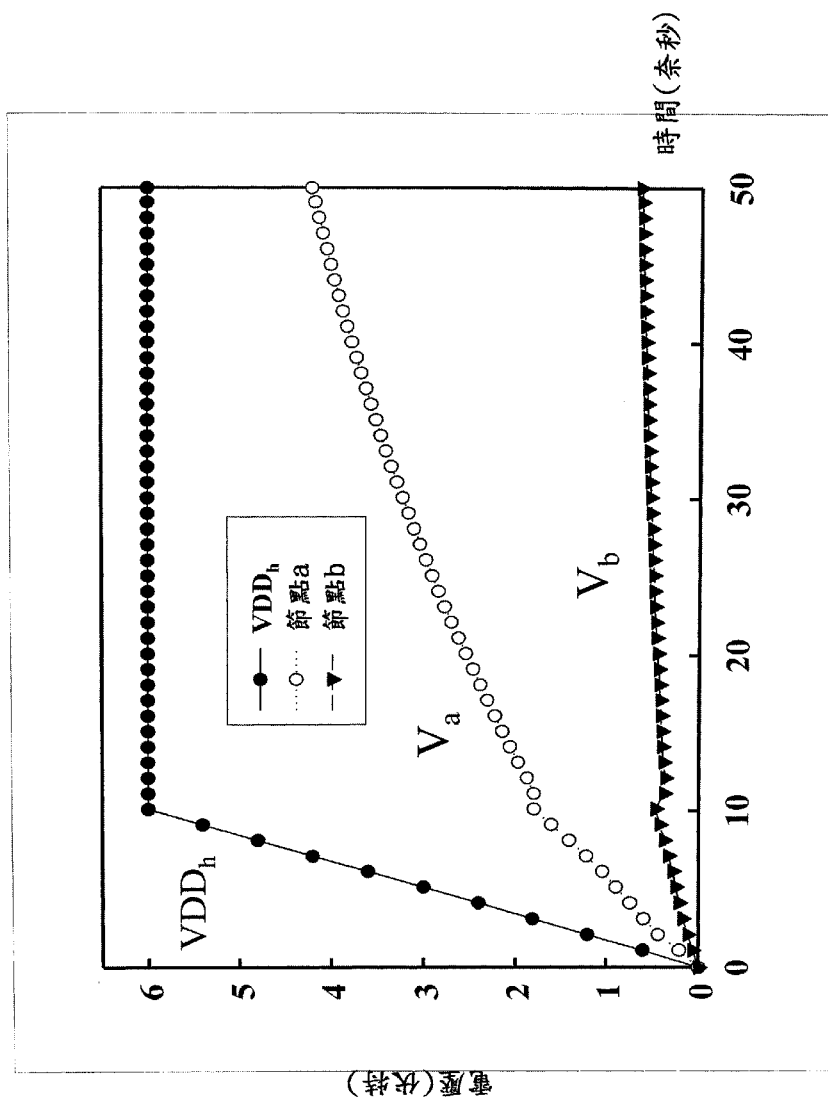


圖 4A

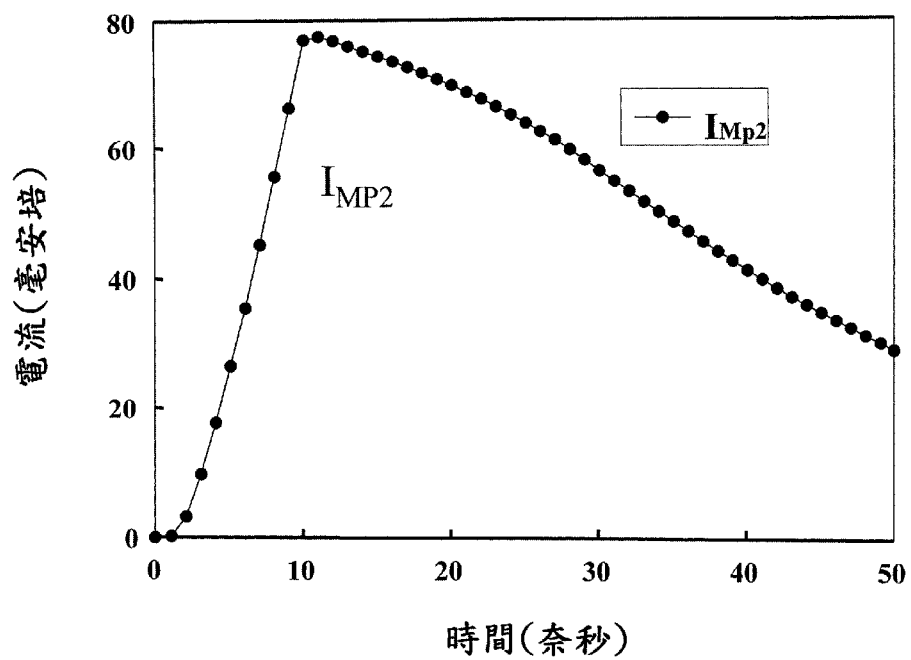


圖 4B

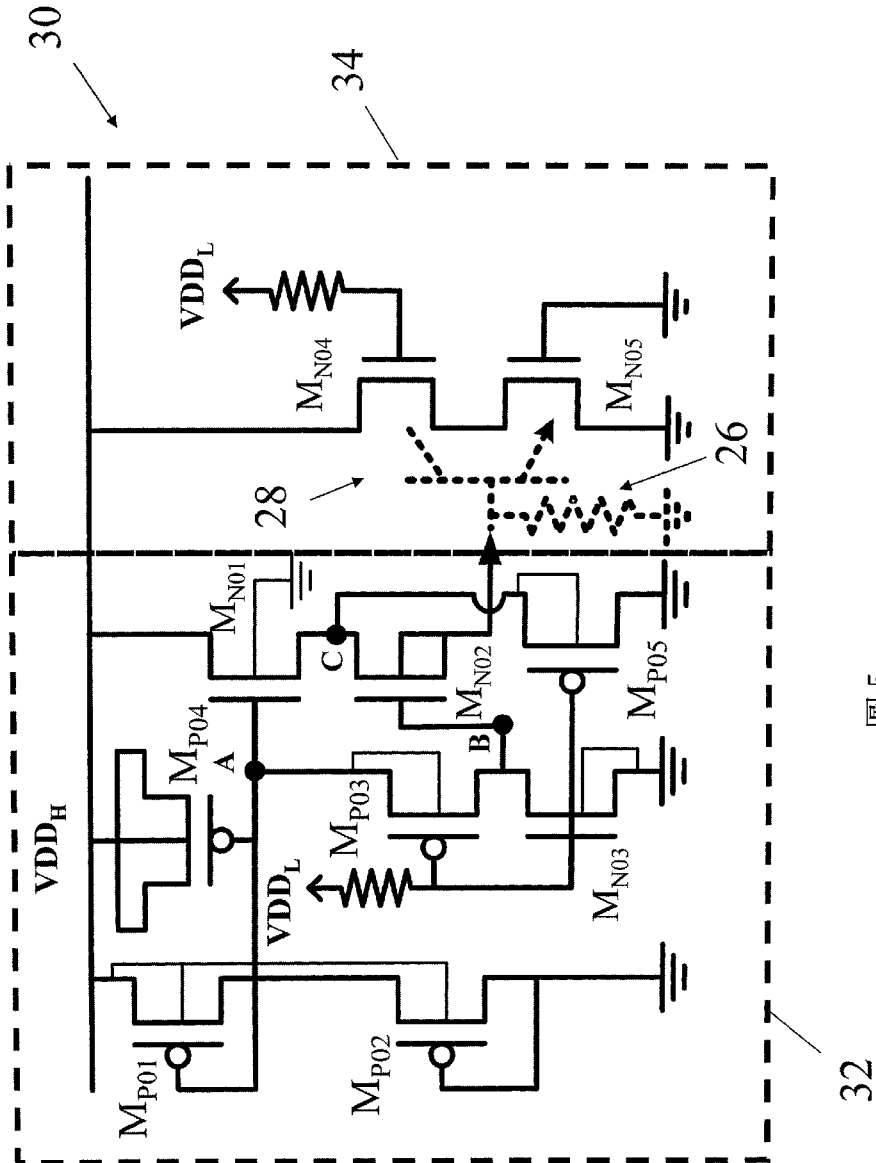


图 5

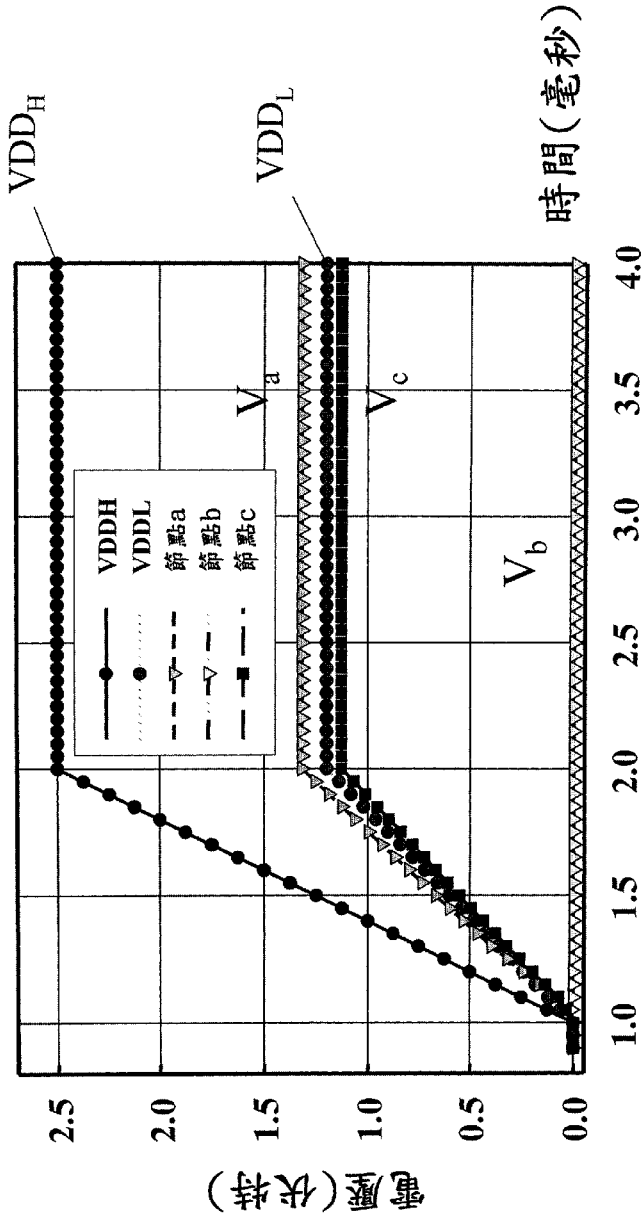


圖 6A

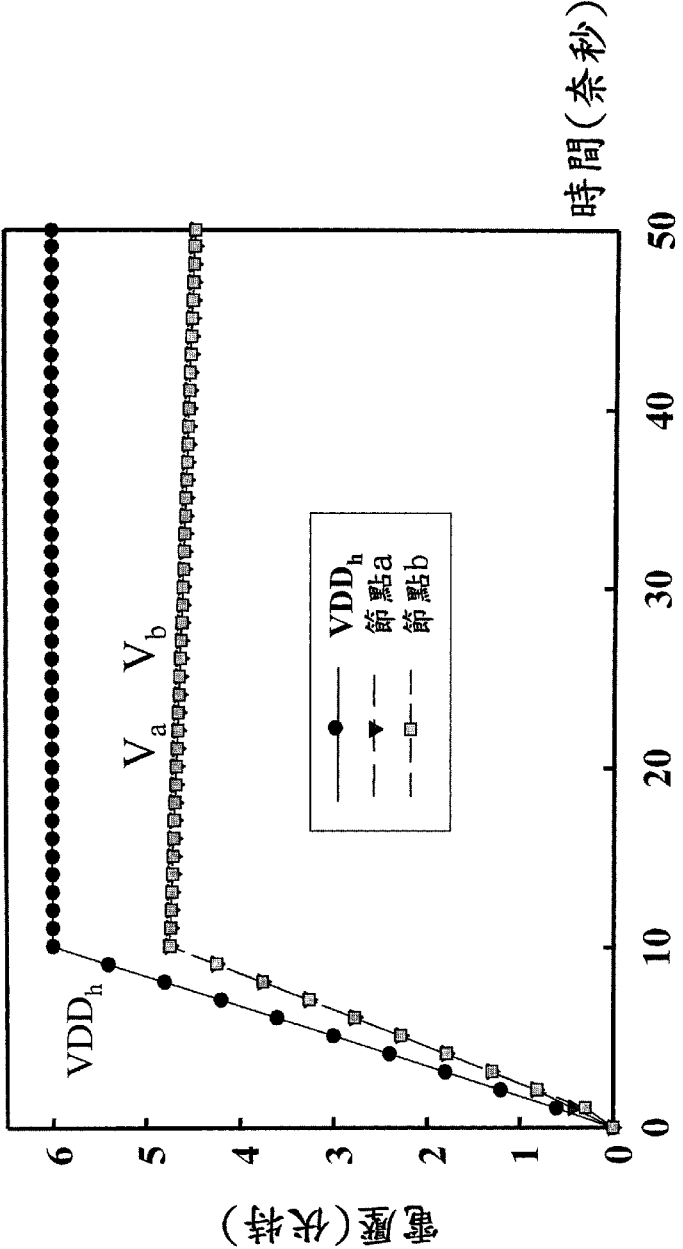


圖 6B

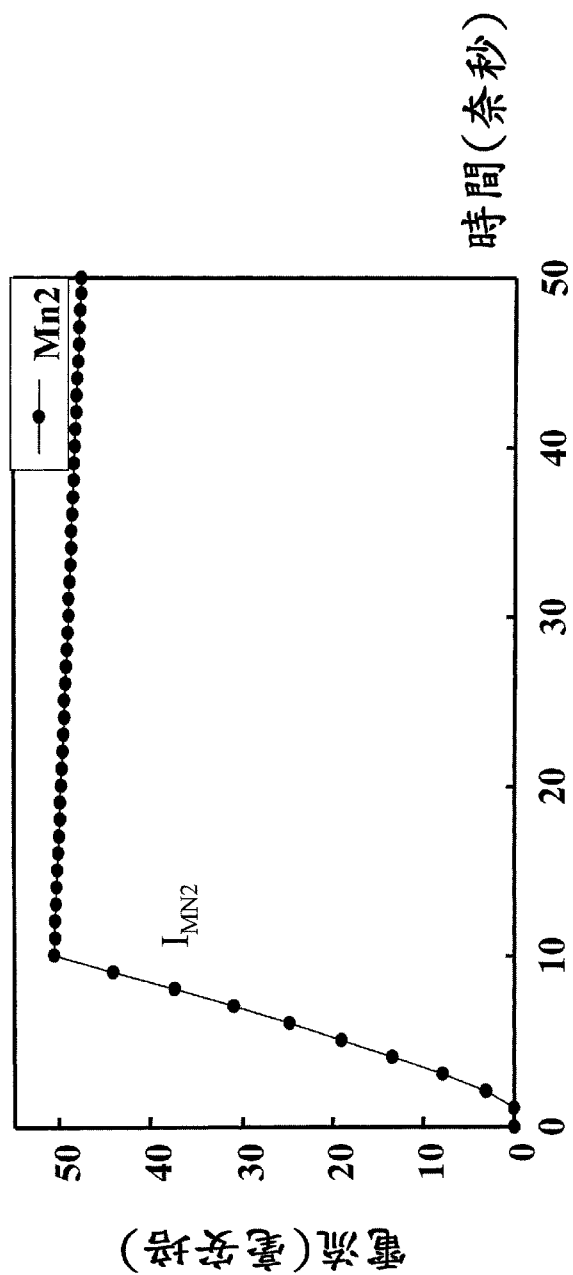


圖 6C

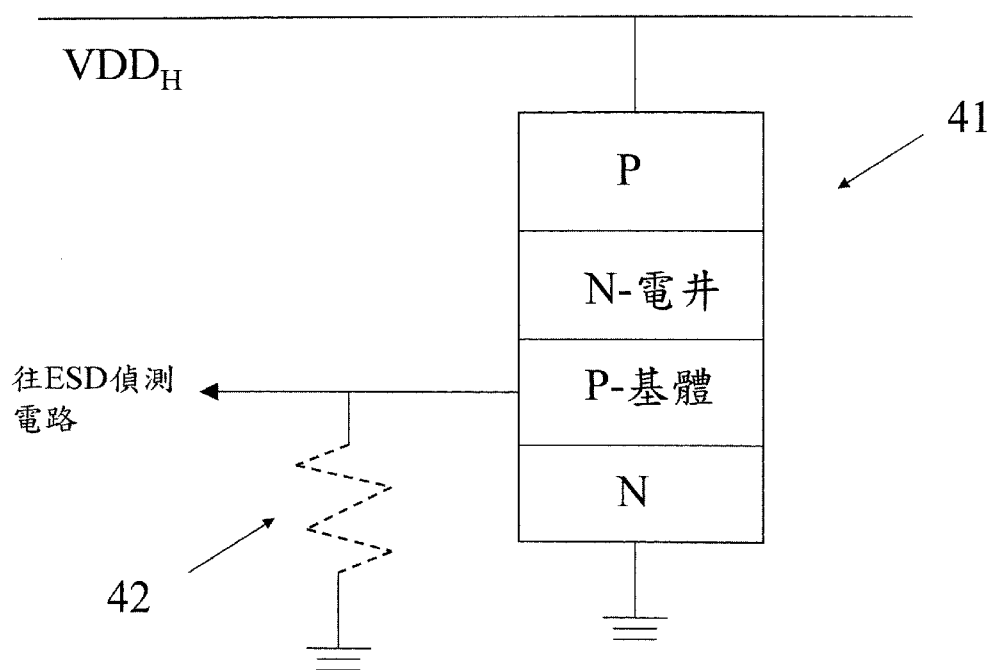


圖 7A

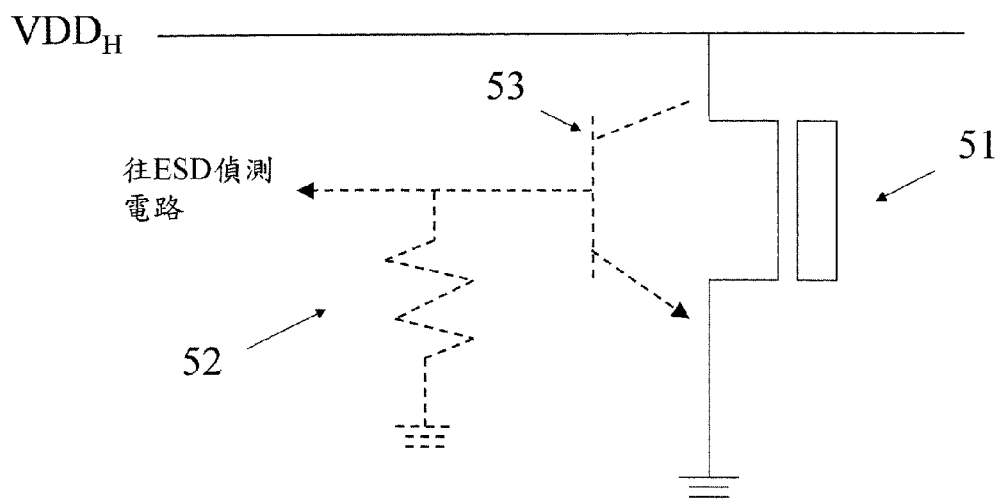


圖 7B

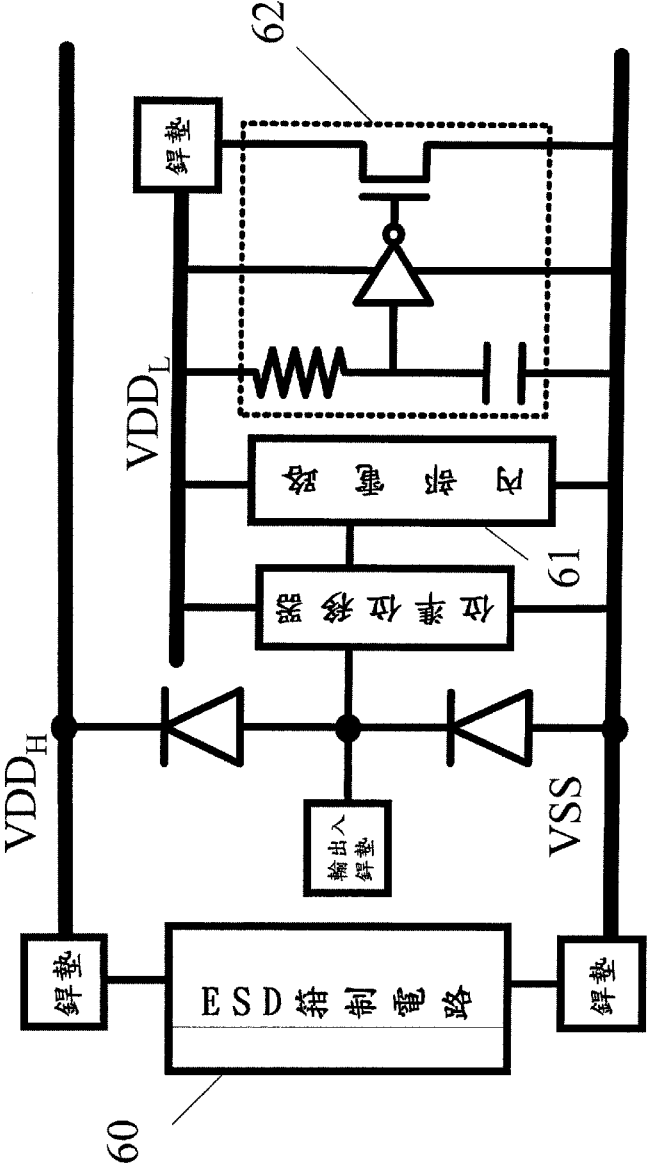


圖 8