

【54】名稱：用以防護功率放大器免受到靜電放電的破壞之電路及方法

CIRCUIT AND METHOD FOR PROTECTING A POWER AMPLIFIER FROM ELECTROSTATIC DISCHARGE

【21】申請案號：094106515

【22】申請日：中華民國94(2005)年3月4日

【11】公開編號：200616496

【43】公開日：中華民國95(2006)年5月16日

【30】優先權：2004/11/02 美國

10/978,387

【72】發明人：莊哲豪 CHUANG, CHE-HAO；柯明道 KER, MING-DOU

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
新竹縣竹東鎮中興路4段195號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

US 6249410B1

US 6400204B1

1

2

[57]申請專利範圍：

1.一種用以防護功率放大器免受到靜電放電(ESD)的破壞之電路，其包括：
一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀態；
一第一二極體，其連接於一耦合至該功率放大器之焊墊與該連接線之間；
一箝位電路，其連接於一第一電源線與該連接線之間；以及

一偵測電路，其連接於該連接線與一第二電源線之間，用以偵測該耦合至該功率放大器之焊墊處是否發生ESD事件，並且響應某一ESD事件來啟動該箝位電路，其中該箝位電路會將因該ESD事件所造成的ESD電流導通至該第一電源線。

2.如請求項1之電路，其進一步包括一連接於該等第一電源線與第二電源線之間的箝位電路。

- 3.如請求項2之電路，其進一步包括一連接於該等第一電源線與第二電源線之間的偵測電路，用以偵測該第一電源線上是否發生ESD事件。
- 4.如請求項3之電路，其中連接於該等第一電源線與第二電源線之間的偵測電路啟動連接於該等第一電源線與第二電源線之間的箝位電路用以將ESD電流從該第一電源線導通至該第二電源線。
- 5.如請求項1之電路，其進一步包括一連接於該連接線與該第二電源線之間的箝位電路。
- 6.如請求項5之電路，其中該偵測電路啟動連接於該連接線與該第二電源線之間的箝位電路用以將ESD電流從該焊墊導通至該第二電源線。
- 7.如請求項1之電路，其進一步包括一耦合於該焊墊與該第二電源線之間的二極體。
- 8.如請求項1之電路，其進一步包括一串列耦合於該連接線與該焊墊之間的二極體串。
- 9.如請求項1之電路，其進一步包括一耦合於該第一電源線與該連接線之間的二極體。
- 10.如請求項1之電路，其進一步包括一連接於該第一電源線與該連接線之間的金氧半導體(MOS)電晶體，其包含一耦合至該連接線的閘極。
- 11.如請求項1之電路，其進一步包括一連接於該第一電源線與該連接線之間的MOS電晶體，其包含一耦合至該第一電源線的閘極。
- 12.如請求項1之電路，其中該箝位電路包含下面其中一者：MOS電晶體或厚氧化層元件(FOD)。
- 13.如請求項2之電路，其中連接至該等第一電源線與第二電源線之間的箝位電路包含下面其中一者：MOS

- 電晶體或FOD。
- 14.如請求項5之電路，其中連接於該連接線與該第二電源線之間的箝位電路包含下面其中一者：MOS電晶體或FOD。
5. 15.如請求項5之電路，其進一步包括MOS電晶體或FOD其中一者，其係連接於該焊墊與該第二電源線之間。
10. 16.如請求項1之電路，其中該偵測電路包含一RC延遲電路。
- 17.一種用以防護功率放大器免受到靜電放電(ESD)的破壞之電路，其包括：
 15. 一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀態；
 - 一第一二極體，其連接於一耦合至該功率放大器之焊墊與該連接線之間；
 20. 一第一箝位電路，其連接於一第一電源線與該連接線之間；以及
 - 一第二箝位電路，其連接於該連接線與一第二電源線之間；以及
 25. 一偵測電路，其連接於該連接線與該第二電源線之間，用以偵測該耦合至該功率放大器之焊墊處是否發生ESD事件，
 - 其中該偵測電路會響應某一ESD事件來啟動該第一箝位電路，用以將ESD電流導通至該第一電源線，並且響應該ESD事件來啟動該第二箝位電路，用以將該ESD電流導通至該第二電源線。
 30. 18.如請求項17之電路，其進一步包括一連接於該等第一電源線與第二電源線之間的第三箝位電路。
 - 19.如請求項18之電路，其進一步包括一連接於該等第一電源線與第二電源線之間的偵測電路，用以偵測該
 - 40.

第一電源線上是否發生 **ESD** 事件。

20.如請求項19之電路，其中連接於該等第一電源線與第二電源線之間的偵測電路會響應某一 **ESD** 事件來啟動該第三箝位電路用以將 **ESD** 電流從該第一電源線導通至該第二電源線。

21.如請求項17之電路，其進一步包括 **MOS** 電晶體或厚氧化層元件(**FOD**) 其中一者，其係連接於該焊墊與該第二電源線之間。

22.如請求項21之電路，其中連接於該連接線與該第二電源線之間的偵測電路會啟動該 **MOS** 電晶體或 **FOD** 用以將 **ESD** 電流從該焊墊導通至該第二電源線。

23.如請求項17之電路，其進一步包括一耦合於該焊墊與該第二電源線之間的二極體。

24.一種用以防護功率放大器免受到靜電放電(**ESD**)的破壞之電路，其包括：

一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀態；

一第一二極體，其連接於一耦合至該功率放大器之焊墊與該連接線之間；

一第一箝位電路，其連接於一第一電源線與該連接線之間；

一第二箝位電路，其連接於該第一電源線與一第二電源線之間；

一第一偵測電路，其連接於該連接線與該第二電源線之間，用以偵測該耦合至該功率放大器之焊墊處是否發生 **ESD** 事件，並且響應該 **ESD** 事件來啟動該第一箝位電路，用以將 **ESD** 電流導通至該第一電源線；以及

一第二偵測電路，其連接於該等第

一電源線與第二電源線之間，用以偵測該第一電源線上是否發生 **ESD** 事件，並且響應該 **ESD** 事件來啟動該第二箝位電路，用以將 **ESD** 電流導通至該第二電源線。

25.如請求項24之電路，其進一步包括一連接於該連接線與該第二電源線之間的第三箝位電路。

26.如請求項25之電路，其中該第一偵測電路啟動該第三箝位電路，用以將 **ESD** 電流導通至該第二電源線。

27.如請求項25之電路，其進一步包括 **MOS** 電晶體或厚氧化層元件(**FOD**) 其中一者，其係連接於該焊墊與該第二電源線之間。

28.如請求項27之電路，其中該第一偵測電路啟動該 **MOS** 電晶體或 **FOD**，用以將 **ESD** 電流從該焊墊導通至該第二電源線。

29.如請求項25之電路，其中該等第一、第二、與第三箝位電路中每一者均包含下面其中一者：**MOS** 電晶體或 **FOD**。

30.如請求項24之電路，其中該等第一與第二偵測電路中每一者均包含一 **RC** 延遲電路。

31.如請求項24之電路，其進一步包括一耦合於該焊墊與該第二電源線之間的二極體。

32.一種用以防護功率放大器免受到靜電放電(**ESD**)的破壞之方法，其包括：

提供一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀態；

提供一第一電源線與一第二電源線；

於該第一電源線與該連接線之間連接一箝位電路；

於該連接線與該第二電源線之間連接一偵測電路；

將一焊墊耦合至該功率放大器；

提供一第一二極體，其連接於該焊墊與該連接線之間；

偵測該焊墊處是否發生 ESD 事件；

當偵測到一 ESD 事件時便啟動該箝位電路；以及

將該 ESD 電流從該焊墊經由該連接線導通至該第一電源線。

33.如請求項32之方法，其進一步包括於該等第一電源線與第二電源線之間連接一箝位電路。

34.如請求項33之方法，其進一步包括於該等第一電源線與第二電源線之間連接一偵測電路，用以偵測該第一電源線上是否發生ESD事件。

35.如請求項34之方法，進一步包括：
假使於該第一電源線上偵測到一
ESD 事件時便啟動連接於該等第一
電源線與第二電源線之間的箝位電
路；以及

將ESD電流從該第一電源線導通至該第二電源線。

36.如請求項32之方法，其進一步包括於該連接線與該第二電源線之間連接一箱位電路。

37.如請求項36之方法，其進一步包括：

假使於該焊墊上偵測到某一 ESD 事件時便啟動連接於該連接線與該第二電源線之間的箝位電路；以及

將ESD電流從該焊墊經由該連接線導通至該第二電源線。

38.如請求項36之方法，其進一步包括於該焊墊與該第二電源線之間連接一MOS電晶體。

39.如請求項 38 之方法，其進一步包括：

假使於該焊墊上偵測到某一ESD事

件時便啟動該 MOS 電晶體；以及將 ESD 電流直接從該焊墊導通至該第二電源線。

40.如請求項 32 之方法，其進一步包括：

於該第一電源線與該連接線之間耦
合一二極體；以及

將該連接線箔止於一固定電壓位準處。

10. 41.如請求項 32 之方法，其進一步包括：

於該第一電源線與該連接線之間連接一 MOS 電晶體；以及

將該連接線箝止於一固定電壓位準處。

42.如請求項32之方法，其進一步包括提供一耦合於該焊墊與該第二電源線之間的二極體。

43.一種用以防護功率放大器免受到靜電放電(ESD)的破壞之電路，其包括：

一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀態；

25. 一第一二極體，其連接於一耦合至該功率放大器之焊墊與該連接線之間；

一第一箝位電路，其連接於一第一電源線與該連接線之間；

30. 一第二箝位電路，其連接於該連接線與一第二電源線之間；以及

一偵測電路，其連接於該連接線與該第二電源線之間，用以偵測該耦合至該功率放大器之焊墊處是否發

35. 生一ESD事件，
其中該偵測電路會響應該ESD事件
來啟動該第一箱位電路，用以將一

40. ESD 電流導通至該第一電源線，並且響應該 ESD 事件來啟動該第二箝位電路，用以將該 ESD 電流導通至

該第二電源線，以及
其中藉由該第一箝位電路所導通之
ESD 電流並不藉由該第二箝位電路
導通，且藉由該第二箝位電路所導
通之 **ESD** 電流並不藉由該第一箝位
電路導通。

- 44.如請求項43之電路，其進一步包括
一連接於該等第一電源線與第二電
源線之間的第三箝位電路。
- 45.如請求項44之電路，其進一步包括
一連接於該等第一電源線與第二電
源線之間的偵測電路，用以偵測該
第一電源線上是否發生一 **ESD** 事
件。
- 46.如請求項45之電路，其中連接於該
等第一電源線與第二電源線之間的
偵測電路會響應一 **ESD** 事件來啟動
該第三箝位電路用以將一 **ESD** 電流
從該第一電源線導通至該第二電源
線。
- 47.如請求項43之電路，其進一步包括
一 **MOS** 電晶體或一厚氧化層元件
(**FOD**)其中一者，其係連接於該焊墊
與該第二電源線之間。
- 48.如請求項47之電路，其中連接於該
連接線與該第二電源線之間的偵測
電路會啟動該 **MOS** 電晶體或 **FOD** 用
以將一 **ESD** 電流從該焊墊導通至該
第二電源線。
- 49.如請求項43之電路，其進一步包括
一耦合於該焊墊與該第二電源線之
間的二極體。
- 50.如請求項43之電路，其進一步包括
一串列耦合於該連接線與該焊墊之
間的二極體串。
- 51.如請求項43之電路，其進一步包括
一耦合於該第一電源線與該連接線
之間的二極體。
- 52.如請求項43之電路，其進一步包括
一連接於該第一電源線與該連接線

之間的金氧半導體(**MOS**)電晶體，其
包含一耦合至該連接線的閘極。

- 53.如請求項43之電路，其進一步包括
一連接於該第一電源線與該連接線
之間的 **MOS** 電晶體，其包含一耦合
至該第一電源線的閘極。
- 54.如請求項43之電路，其中該第一箝
位電路包含下面其中一者：一 **MOS**
電晶體或一厚氧化層元件(**FOD**)。
- 55.如請求項44之電路，其中連接於該
第一電源線與該第二電源線之間的
箝位電路包含下面其中一者：一
MOS 電晶體或一 **FOD**。
- 56.如請求項43之電路，其中連接於該
連接線與該第二電源線之間的箝位
電路包含下面其中一者：一 **MOS** 電
晶體或一 **FOD**。
- 57.如請求項43之電路，其中該偵測電
路包含一 **RC** 延遲電路。
- 58.一種用以防護功率放大器免受到靜
電放電(**ESD**)的破壞之電路，其包
括：
一可承受靜電放電所引起之電流的
連接線，該連接線在該功率放大器
之正常操作期間處於浮接狀態；
一第一二極體，其連接於一耦合至
該功率放大器之焊墊與該連接線之
間；
一第一箝位電路，其連接於一第一
電源線與該連接線之間；
一第二箝位電路，其連接於一第二
電源線與該連接線之間；
一第三箝位電路，其連接於該第一
電源線與該第二電源線之間；
一第一偵測電路，其連接於該連接
線與該第二電源線之間，用以偵測
該耦合至該功率放大器之焊墊處是
否發生一 **ESD** 事件，並且響應該
ESD 事件來啟動該第一箝位電路，
用以將一 **ESD** 電流導通至該第一電

源線，且響應該 ESD 事件來啟動該第二箝位電路，用以將該 ESD 電流導通至該第二電源線；以及

一第二偵測電路，其連接於該等第一電源線與第二電源線之間，用以偵測該第一電源線上是否發生一 ESD 事件，並且響應該 ESD 事件來啟動該第三箝位電路，用以將 ESD 電流導通至該第二電源線，其中藉由該第一箝位電路所導通之 ESD 電流並不藉由該第二箝位電路導通，且藉由該第二箝位電路所導通之 ESD 電流並不藉由該第一箝位電路導通。

59.如請求項 58 之電路，其進一步包括一 MOS 電晶體或一厚氧化層元件 (FOD) 其中一者，其係連接於該焊墊與該第二電源線之間。

60.如請求項 59 之電路，其中該第一偵測電路啟動該 MOS 電晶體或 FOD，用以將一 ESD 電流從該焊墊導通至該第二電源線。

61.如請求項 58 之電路，其中該等第一、第二、與第三箝位電路中每一者皆包含下面其中一者：一 MOS 電晶體或一 FOD。

62.如請求項 58 之電路，其中該等第一與第二偵測電路中每一者皆包含一 RC 延遲電路。

63.如請求項 58 之電路，其進一步包括一耦合於該焊墊與該第二電源線之間的二極體。

64.一種用以防護一功率放大器免受到靜電放電(ESD)的破壞之方法，其包括：

提供一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀提供一第一電源線與一第二電源線；於該第一電源線與該連接線之間連

接一第一箝位電路；

於該連接線與該第二電源線之間連接一第二箝位態；

電路；

5. 於該連接線與該第二電源線之間連接一偵測電路；

將一焊墊耦合至該功率放大器；

提供一第一二極體，其連接於該焊墊與該連接線之間；

10. 偵測該焊墊處是否發生一 ESD 事件；

當偵測到一第一 ESD 事件時便啟動該第一箝位電路；

15. 藉由該連接線將一第一 ESD 電流自該焊墊導通至該第一電源線，該第一 ESD 電流並不藉由該第二箝位電路導通；

當偵測到一第二 ESD 事件時便啟動該第二箝位電路；以及

20. 藉由該連接線將一第二 ESD 電流自該焊墊導通至該第二電源線，該第二 ESD 電流並不藉由該第一箝位電路導通。

65.如請求項 64 之方法，其進一步包括於該等第一電源線與第二電源線之間連接一箝位電路。

25. 66.如請求項 65 之方法，其進一步包括於該等第一電源線與第二電源線之間連接一偵測電路，用以偵測該第一電源線上是否發生一 ESD 事件。

67.如請求項 66 之方法，進一步包括：假使於該第一電源線上偵測到一 ESD 事件時便啟動連接於該等第一電源線與第二電源線之間的箝位電路；以及

35. 將一 ESD 電流從該第一電源線導通至該第二電源線。

68.如請求項 64 之方法，其進一步包括於該焊墊與該第二電源線之間連接一 MOS 電晶體。

40.

69.如請求項 68 之方法，其進一步包括：

假使於該焊墊上偵測到一 ESD 事件時便啟動該 MOS 電晶體；以及將一 ESD 電流直接從該焊墊導通至該第二電源線。

70.如請求項 64 之方法，其進一步包括：

於該第一電源線與該連接線之間耦合一二極體；以及將該連接線箝止於一固定電壓位準處。

71.如請求項 64 之方法，其進一步包括：於該第一電源線與該連接線之間連接一 MOS 電晶體；以及將該連接線箝止於一固定電壓位準處。

72.如請求項 64 之方法，其進一步包括提供一耦合於該焊墊與該第二電源線之間的二極體。

73.一種用以防護一功率放大器免受到靜電放電(ESD)的破壞之電路，其包括：

一可承受靜電放電所引起之電流的連接線，該連接線在該功率放大器之正常操作期間處於浮接狀態；

一第一二極體，其連接於一耦合至該功率放大器之焊墊與該連接線之間；

一第一箝位電路，其連接於一第一電源線與該連接線之間；

一第二箝位電路，其連接於一第二電源線與該連接線之間；

一第三箝位電路，其連接於該第一電源線與該第二電源線之間；

一第一偵測電路，其連接於該連接線與該第二電源線之間，用以偵測該耦合至該功率放大器之焊墊處是否發生一 ESD 事件，並且響應該 ESD 事件來啟動該第一箝位電路，

用以將一 ESD 電流導通至該第一電源線；

一第二偵測電路，其連接於該等第一電源線與第二電源線之間，用以偵測該第一電源線上是否發生一 ESD 事件，並且響應該 ESD 事件來啟動該第三箝位電路，用以將一 ESD 電流導通至該第二電源線；以及

5. 一 MOS 電晶體或一厚氧化層元件(FOD)其中一者，其係連接於該焊墊與該第二電源線之間，

10. 其中該第一偵測電路啟動該 MOS 電晶體或 FOD，用以將一 ESD 電流從該焊墊導通至該第二電源線。

15. 圖式簡單說明：

圖 1 為利用習知的靜電放電(ESD)電路來防護一功率放大器的系統的概略示意圖；

20. 圖 2 為根據本發明一具體實施例的 ESD 防護電路的示意圖；

圖 3 為根據本發明另一具體實施例的 ESD 防護電路的示意圖；

25. 圖 4 為根據本發明另一具體實施例的 ESD 防護電路的示意圖；

圖 5 為根據本發明另一具體實施例的 ESD 防護電路的示意圖；

圖 6A 為根據本發明一具體實施例的 ESD 防護電路的示意圖；

30. 圖 6B 為根據本發明另一具體實施例的 ESD 防護電路的示意圖；

圖 6C 為根據本發明另一具體實施例的 ESD 防護電路的示意圖；

35. 圖 7A 為根據本發明一具體實施例的 ESD 防護電路的電路圖；

圖 7B 為根據本發明另一具體實施例的 ESD 防護電路的電路圖；

圖 8A 為根據本發明一具體實施例的 ESD 防護電路的電路圖；

40. 圖 8B 為根據本發明另一具體實施

15

例的ESD防護電路的電路圖；

圖9A為根據本發明一具體實施例的ESD防護電路的模擬結果關係圖；

16

以及

圖9B為根據本發明一具體實施例的ESD防護電路的模擬結果關係圖。

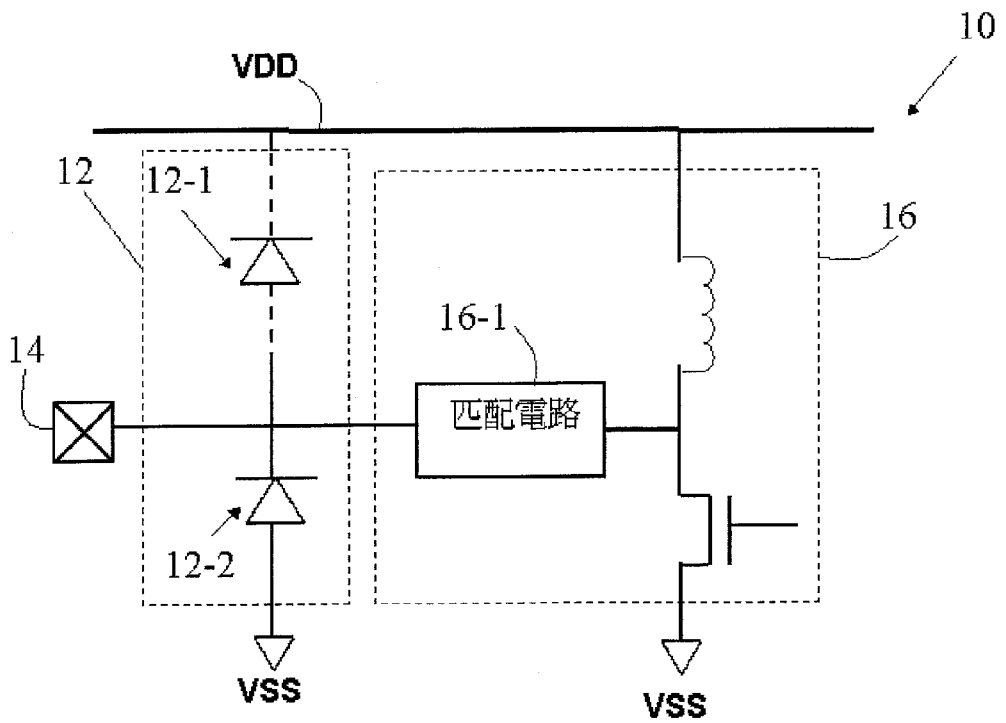
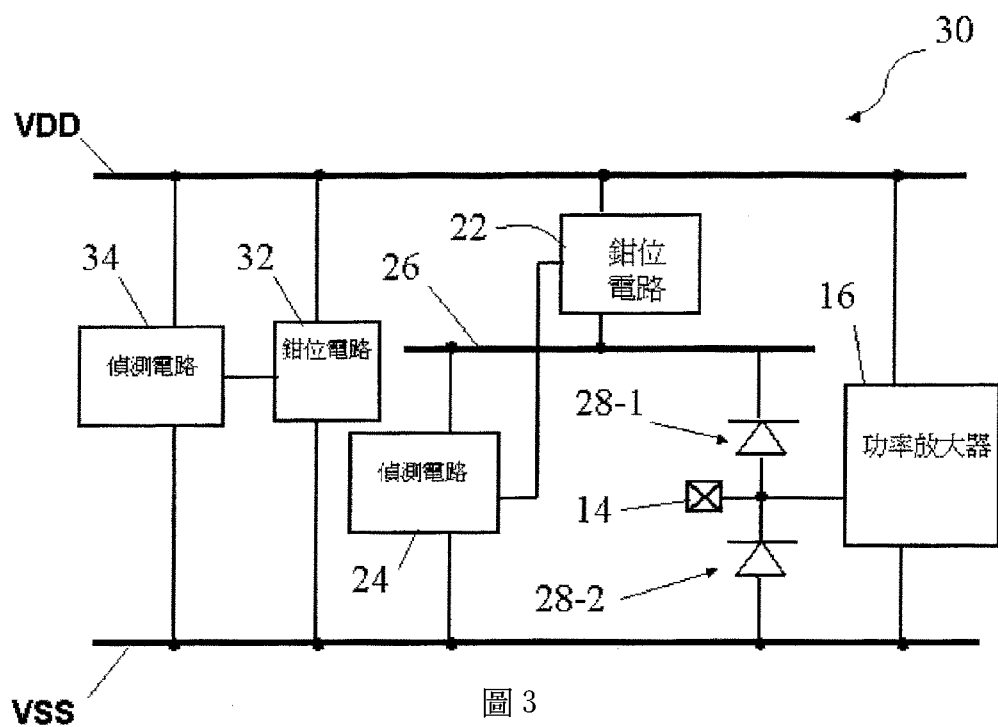
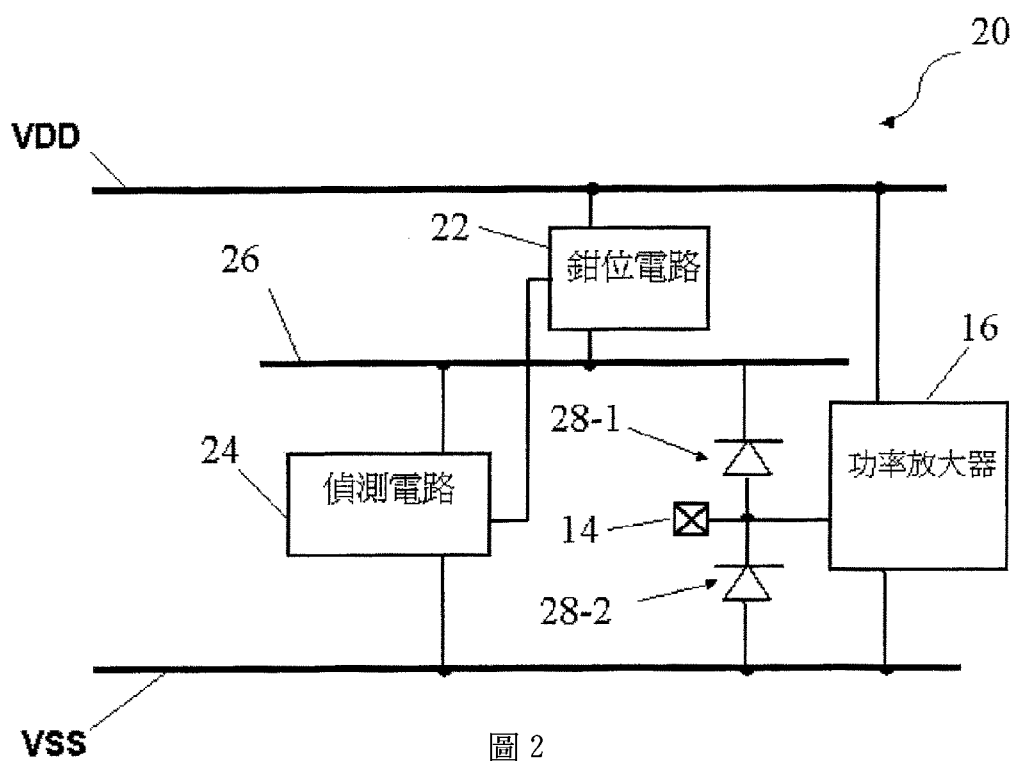
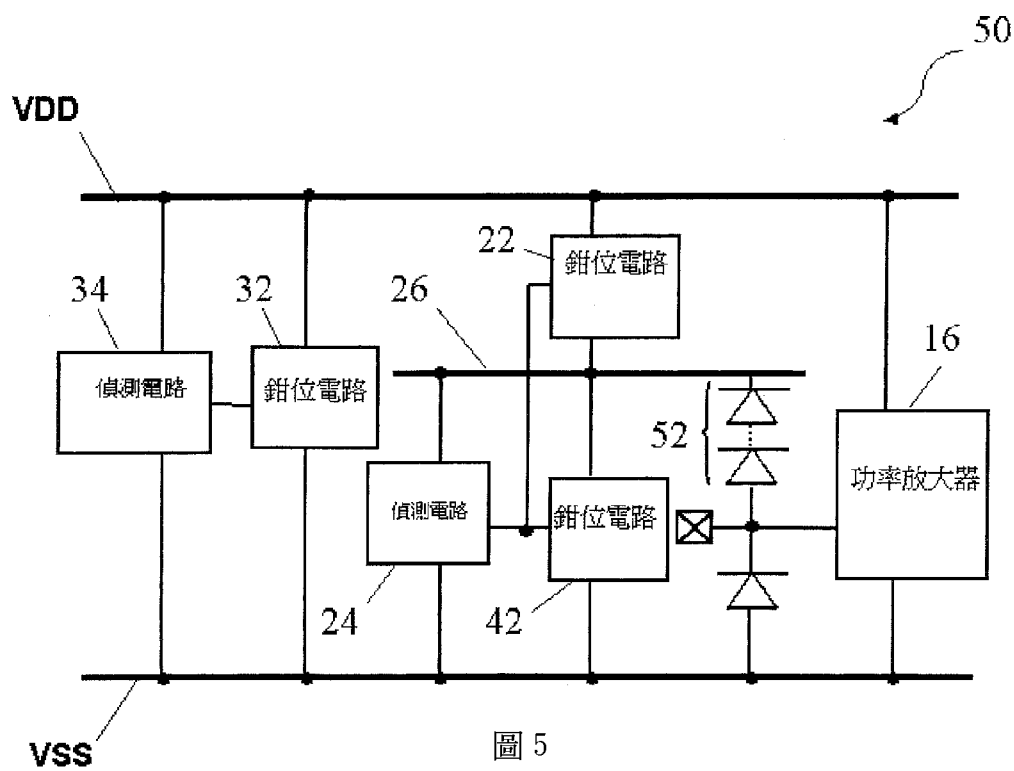
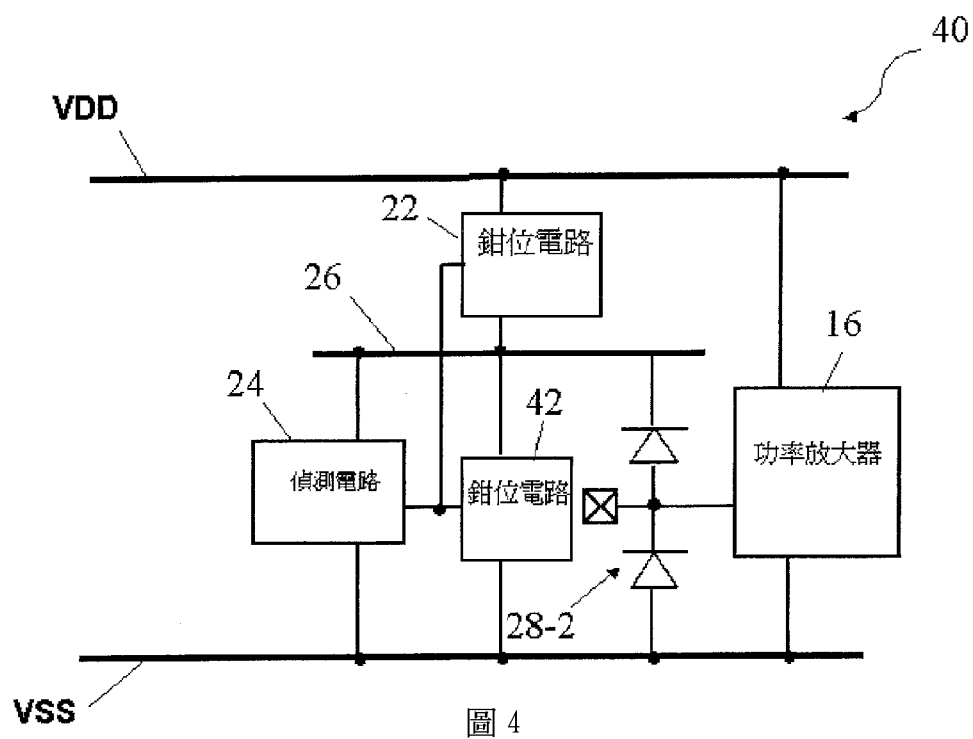


圖 1

(9)





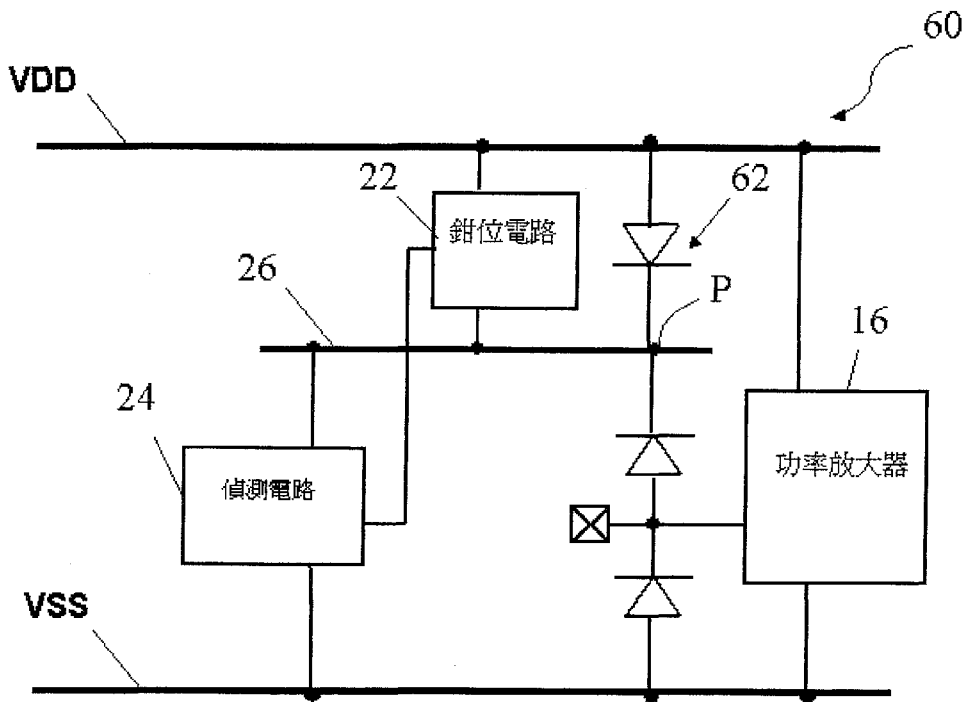


圖 6A

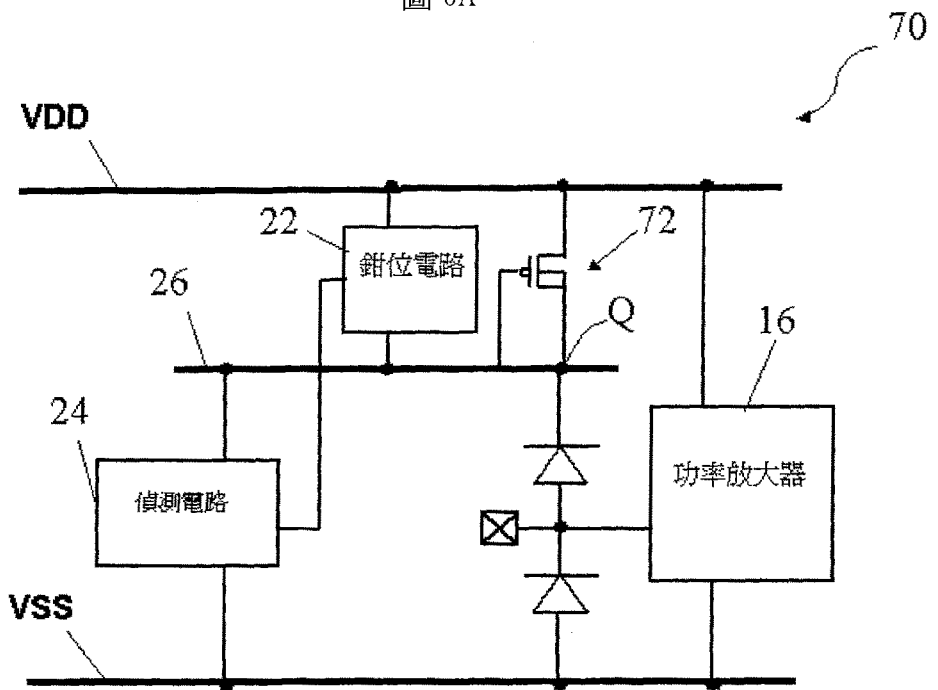


圖 6B

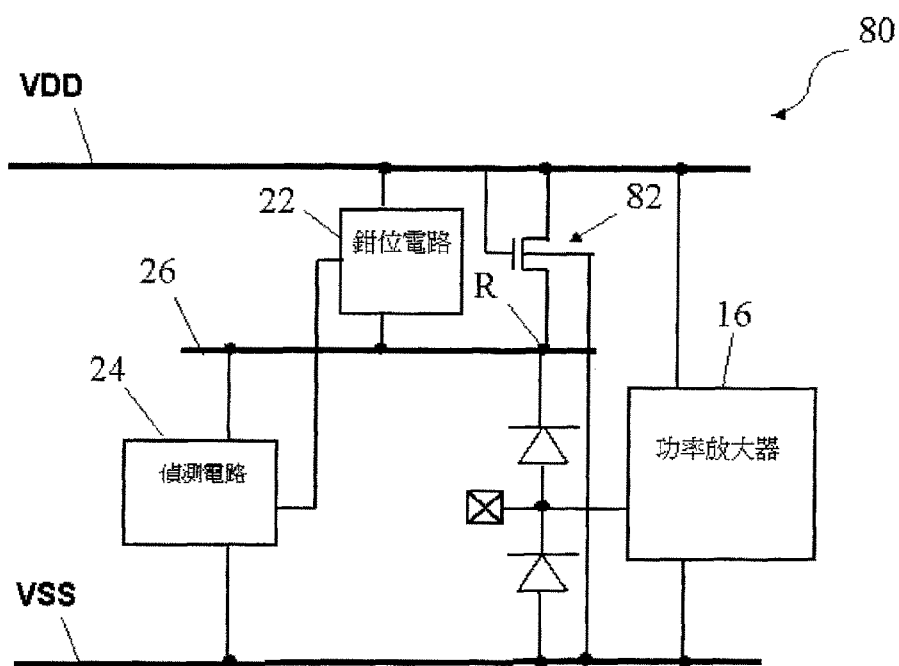


圖 6C

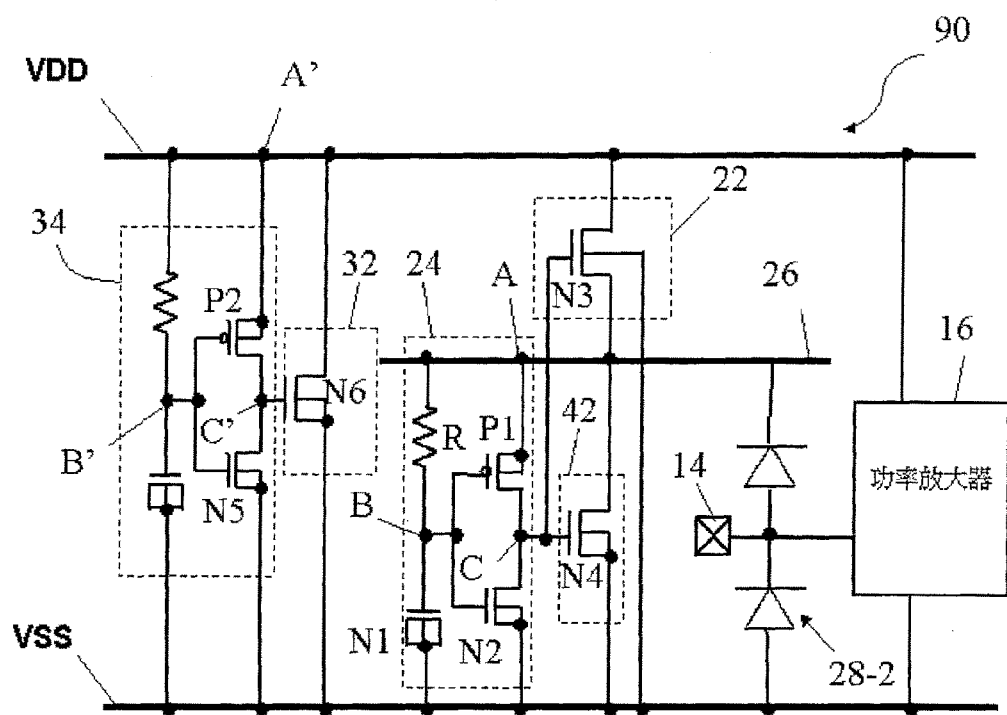
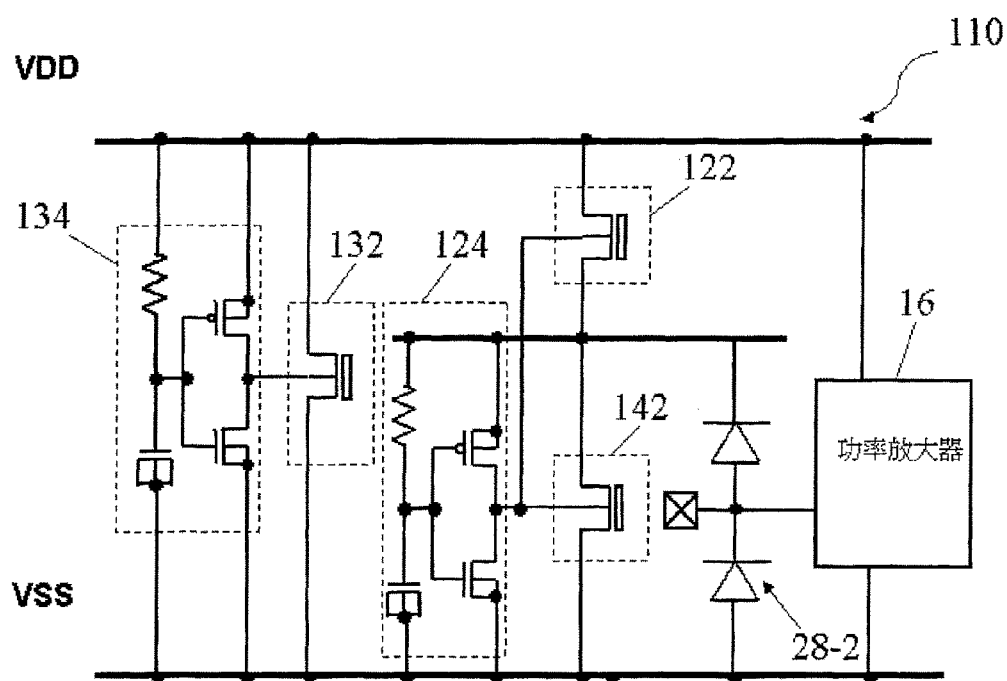
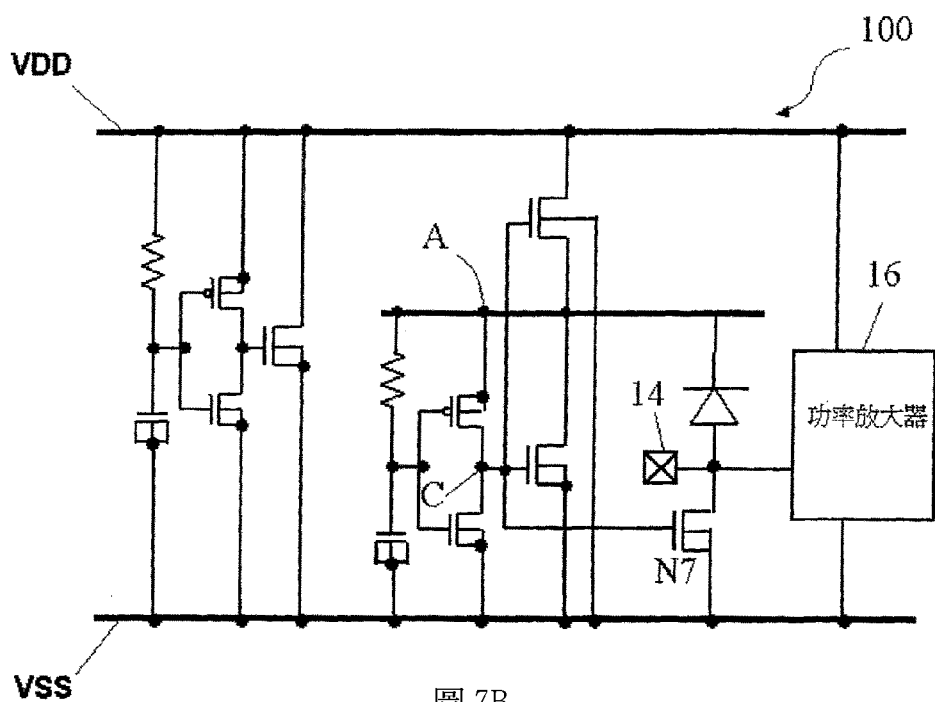


圖 7A



(14)

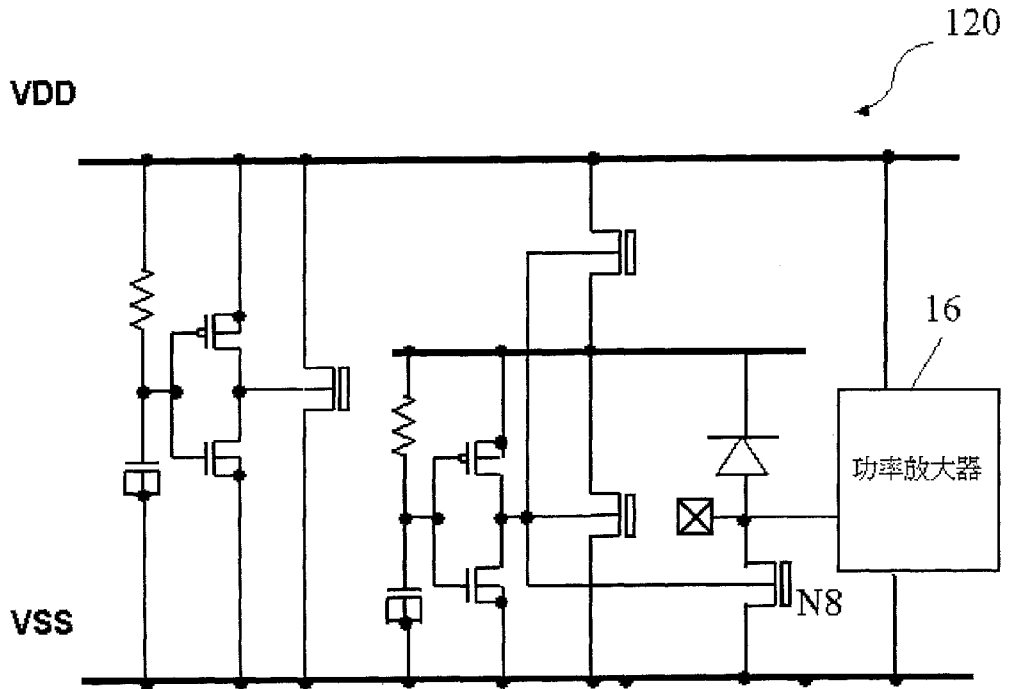


圖 8B

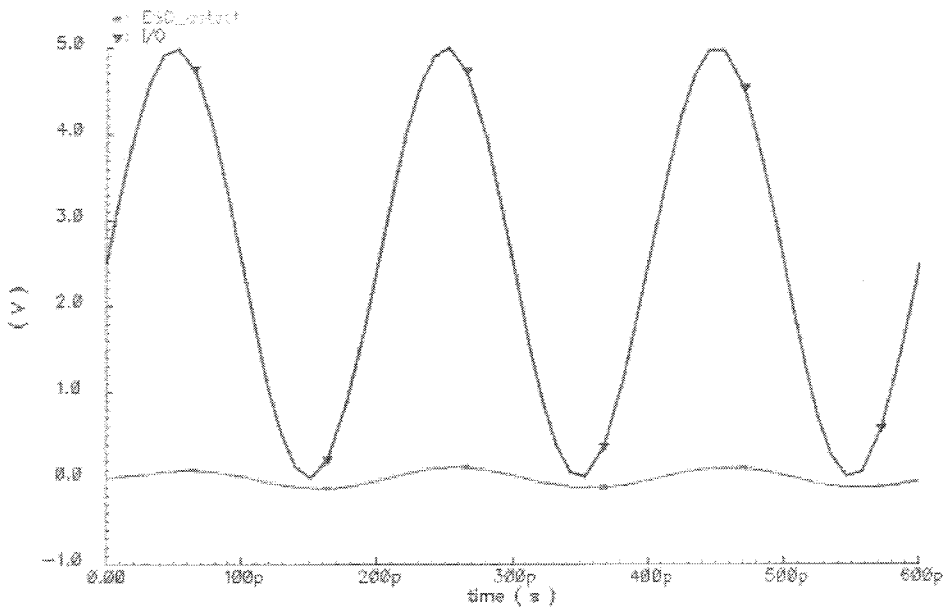


圖 9A

(15)

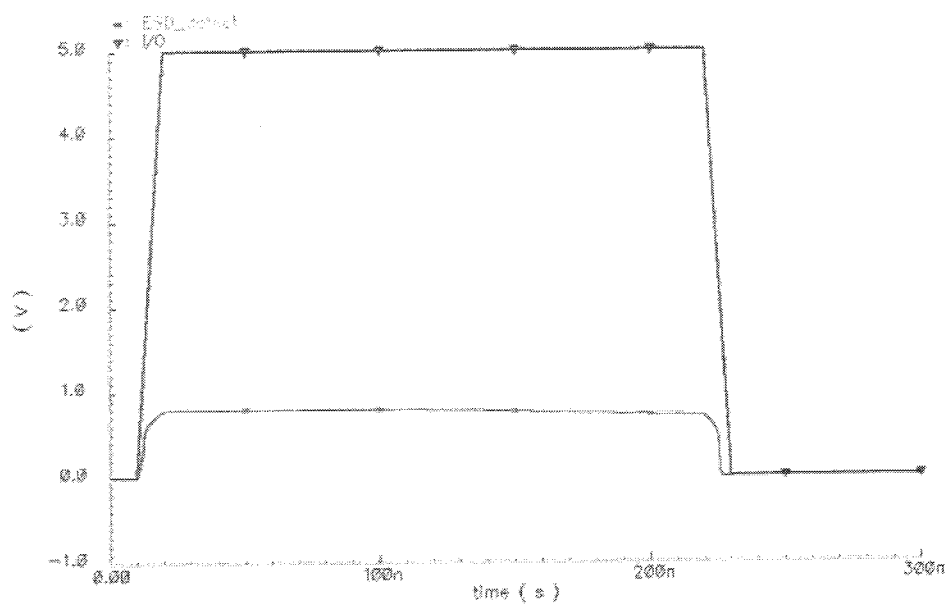


圖 9B

