

中 華 民 國 專 利 公 報 (19)(12)

(11)公告編號：310472

(44)中華民國86年(1997)07月11日

發 明

全 6 頁

(51)Int. Cl.⁶: H01L23/60

(54)名 稱：藉電容效應觸發之靜電放電保護電路

(21)申 請 案 號：85102216

(22)申請日期：中華民國85年(1996)02月27日

(72)發 明 人：

吳昭能

柯明道

高雄縣鳳山市南華路三十之四號

台南縣歸仁鄉西埔村大埔十一號

(71)申 請 人：

華邦電子股份有限公司

新竹科學工業園區研新三路四號

(74)代 理 人：洪澄文 先生

1

2

[57]申請專利範圍：

1.一種藉電容效應觸發之靜電放電保護電路，包括：

一N型半導體基底；

一P型井區，形成於該基底內；

至少一接觸區，形成於該P型井區內；

一絕緣結構，覆於該P型井區以外之該基底上；

一複晶矽層，形成於該絕緣結構上，耦接至該接觸區；

一介電層，覆於該複晶矽層上；

一接合墊，形成於該複晶矽層上之該介電層上，與該複晶矽層間建構得一電容器，當有靜電放電應力及於該接合墊時，則經該電容器耦合一靜電放電電壓及於該P型井區；

一第一N型濃摻植區以及至少一第二N型濃摻植區，互為相隔設置於該P型井區內，該第一N型濃摻植區耦接至該接合墊，而該第二N型濃摻植區耦接至電路接地點，其中，該等N型濃摻植區和該

P型井區建構得一雙極性接面電晶體，藉以均勻釋放及於該接合墊上之該靜電放電應力；以及

5. 一電阻器，耦接於接觸區和電路接地點之間，於該靜電放電應力發生時，提供予該電容器一RC時間延遲。

2.如申請專利範圍第1項所述之該藉電容效應觸發之靜電放電保護電路，其中，該第一N型濃摻植區和該第二N型濃摻植區，係以場氧化物互為相隔。

3.如申請專利範圍第2項所述之該藉電容效應觸發之靜電放電保護電路，其中，該接合墊是一輸入接合墊。

4.如申請專利範圍第3項所述之該藉電容效應觸發之靜電放電保護電路，尚包括一二極體，以其陽極和陰極極分別耦接至該電路接地點和該輸入接合墊上。

5.如申請專利範圍第2項所述之該藉電容效應觸發之靜電放電保護電路，其中，該接合墊是一輸出接合墊。

6. 如申請專利範圍第 5 項所述之該藉電容效應觸發之靜電放電保護電路，其中，該輸出接合墊係連接至一輸出緩衝器，該輸出緩衝器包含有一 NMOS 電晶體，其汲極和源極分別連接至該輸出接合墊和該電路接地點，而其基體極則連接至該源極。
7. 如申請專利範圍第 6 項所述之該藉電容效應觸發之靜電放電保護電路，其中，尚包括一二極體，係由該 NMOS 電晶體之該汲極和該基體極建構而得。
8. 如申請專利範圍第 2 項所述之該藉電容效應觸發之靜電放電保護電路，其中，該接合墊是一電源線。
9. 如申請專利範圍第 8 項所述之該藉電容效應觸發之靜電放電保護電路，尚包括一二極體，以其陽極和陰極分別耦接至電源接地點和該電源線上。

圖示簡單說明：

第一圖係顯示用以說明習知以一 NMOS 電晶體保護輸入緩衝接合墊處的電路示意圖；

第二圖係顯示用以說明習知以一輸

出緩衝器保護輸出緩衝接合墊處的電路示意圖；

第三圖係顯示用以說明習知以一厚氧化物元件保護輸入緩衝接合墊的電路示意圖；

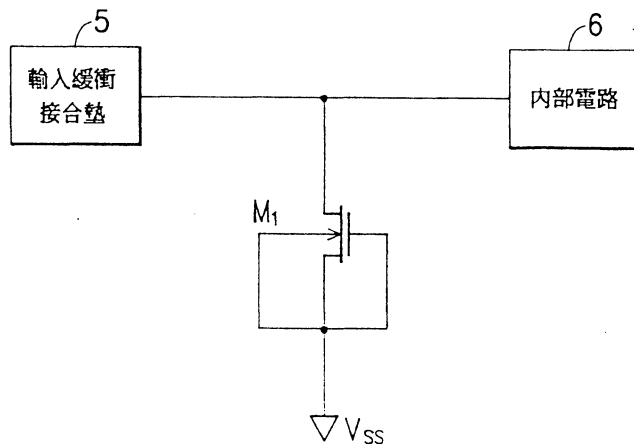
第四圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於一輸入緩衝接合墊處的電路示意圖；

10. 第五圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於一輸出緩衝接合墊處的電路示意圖；

15. 第六圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於電源線 V_{DD} 和 V_{SS} 間的電路示意圖；

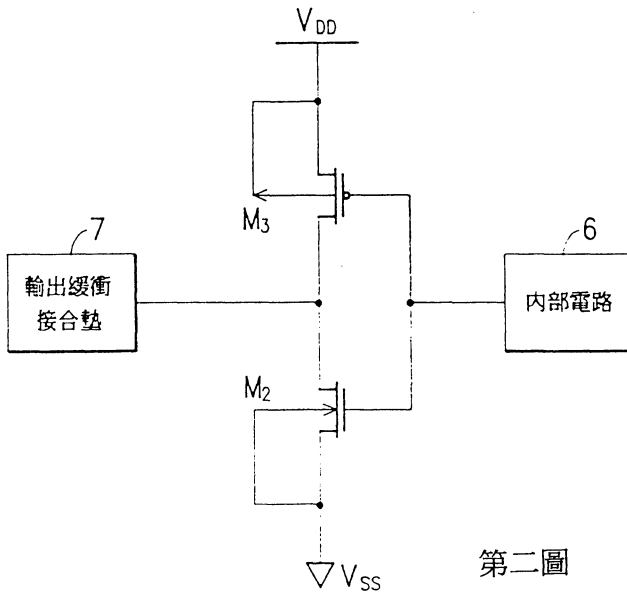
20. 第七圖係顯示用以說明，根據本發明一較佳實施例製作於一半導體基底的剖面圖；以及

第八圖係顯示用以說明，根據本發明一藉電容效應觸發之靜電放電保護電路設置於全般晶片上的電路示意圖。

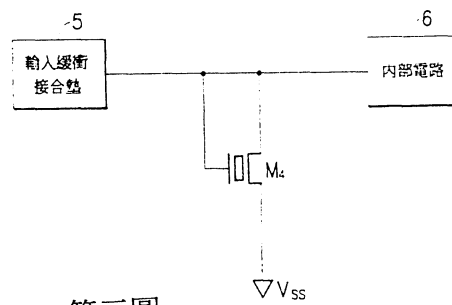


第一圖

(3)

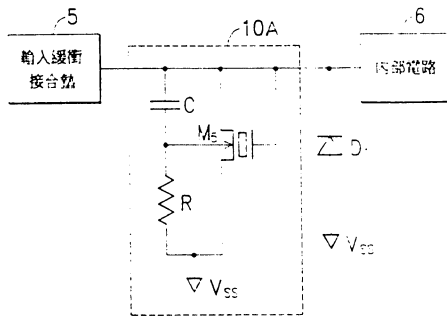


第二圖

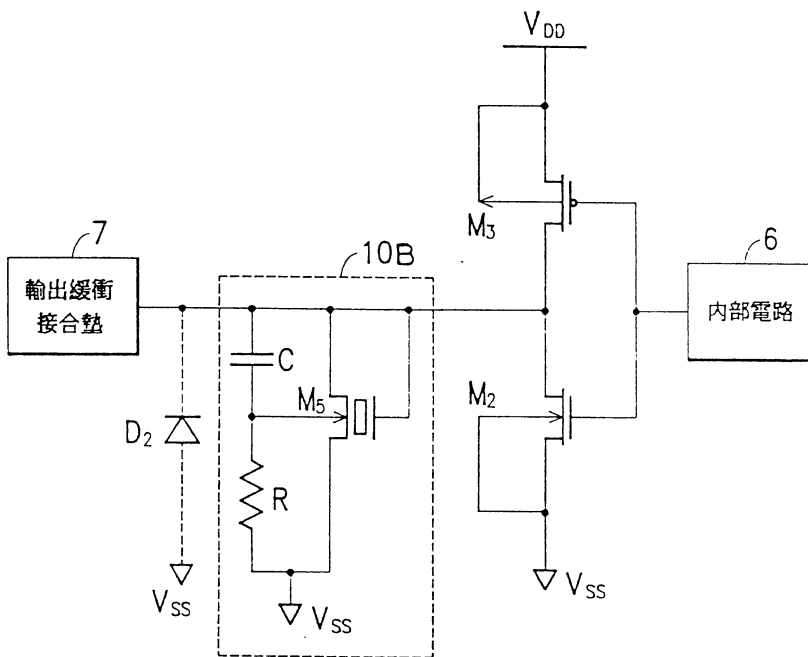


第三圖

(4)

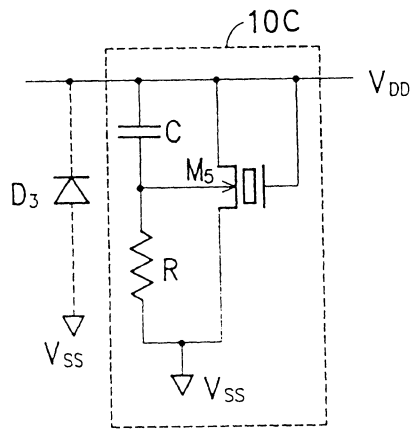


第四圖

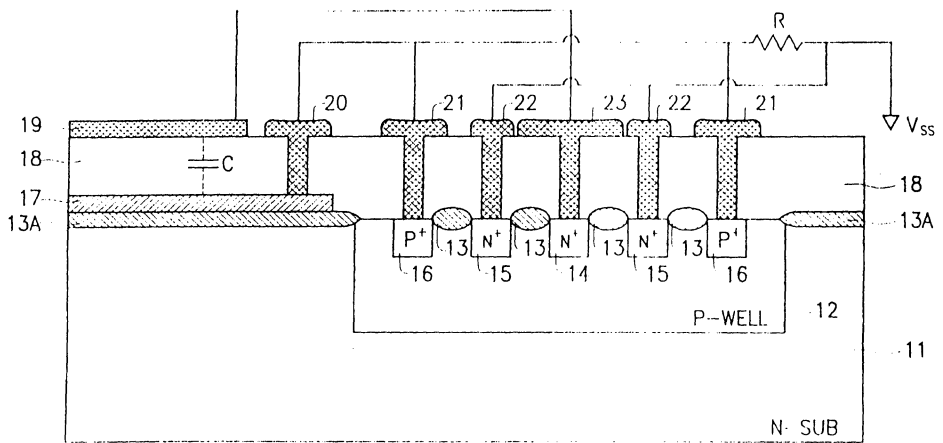


第五圖

(5)

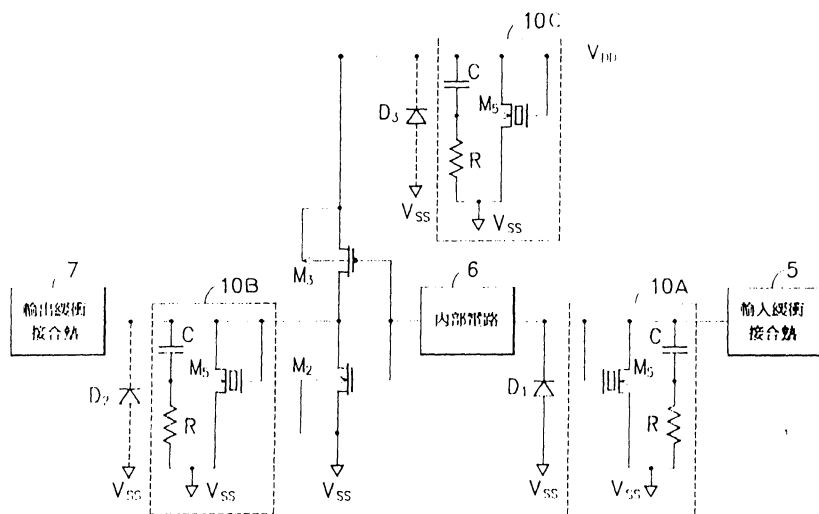


第六圖



第七圖

(6)



第八圖