

【11】 證書號數：I324383**【45】 公告日：**中華民國 99 (2010) 年 05 月 01 日**【51】 Int. Cl.：** H01L23/60 (2006.01)

發明

全 14 頁

【54】 名 稱：靜電放電防護裝置及其佈局ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND LAYOUT
THEREOF**【21】 申請案號：**095147900**【22】 申請日：**中華民國 95 (2006) 年 12 月 20 日**【11】 公開編號：**200828556**【43】 公開日期：**中華民國 97 (2008) 年 07 月 01 日**【72】 發明人：**柯明道 (TW) KER, MING DOU；陳佳惠 (TW) CHEN, JIA HUEI；姜信欽 (TW) JIANG, RYAN HSIN CHIN**【71】 申請人：**晶焱科技股份有限公司 AMAZING MICROELECTRONIC
臺北縣中和市中正路 716 號 15 樓之 2**【74】 代理人：**詹銘文；蕭錫清**【56】 參考文獻：**

TW	573346	TW	582109
US	5631793	US	5686751
US	5744842	US	5811856
US	6465768B1	US	6740934B2

[57]申請專利範圍

1. 一種靜電放電防護裝置，包括：多個靜電放電防護單元，用以傳導靜電流於一第一導電路徑與一第二導電路徑之間，其中每一靜電放電防護單元包含：一寄生電晶體，其集極與射極各自耦接至該第一導電路徑與該第二導電路徑；以及一寄生電阻，其耦接於該寄生電晶體之基極與該第二導電路徑之間；以及一偏壓導線，耦接至每一上述寄生電晶體之基極。
2. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第二導電路徑為系統電壓軌線。
3. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第二導電路徑為接地電壓軌線。
4. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第一導電路徑耦接至一輸入焊墊。
5. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第一導電路徑耦接至一輸出焊墊。
6. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中每一上述靜電放電防護單元更包括：一金氧半電晶體，其汲極與源極各自耦接至該第一導電路徑與該第二導電路徑，而該金氧半電晶體之閘極耦接至該第二導電路徑。
7. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中每一上述靜電放電防護單元更包括：一金氧半電晶體，其汲極與源極各自耦接至該第一導電路徑與該第二導電路徑，而該金氧半電晶體之閘極浮接。
8. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中每一上述靜電放電防護單元更包括：一第一金氧半電晶體；以及一第二金氧半電晶體，其中該第一與第二金氧半電晶體

串聯於該第一導電路徑與該第二導電路徑之間，而該第一與第二金氧半電晶體之閘極各自耦接至該第二導電路徑與一第三導電路徑。

9. 如申請專利範圍第 8 項所述之靜電放電防護裝置，其中該第三導電路徑為系統電壓軌線，而該第二導電路徑為接地電壓軌線。
10. 一種靜電放電防護裝置，包括：多個輸出驅動單元，用以依據一核心輸出信號產生一外部輸出訊號並輸出至一第一導電路徑，其中每一輸出驅動單元包含：一寄生電晶體，其集極與射極各自耦接至該第一導電路徑與一第二導電路徑；以及一寄生電阻，其耦接於該寄生電晶體之基極與該第二導電路徑之間；以及一偏壓導線，耦接至每一上述寄生電晶體之基極。
11. 如申請專利範圍第 10 項所述之靜電放電防護裝置，其中該第一導電路徑耦接至一輸出焊墊。
12. 如申請專利範圍第 10 項所述之靜電放電防護裝置，其中該第二導電路徑為系統電壓軌線。
13. 如申請專利範圍第 10 項所述之靜電放電防護裝置，其中該第二導電路徑為接地電壓軌線。
14. 如申請專利範圍第 10 項所述之靜電放電防護裝置，其中每一上述輸出驅動單元更包括：一金氧半電晶體，其汲極與源極各自耦接至該第一導電路徑與該第二導電路徑，而該金氧半電晶體之閘極接收該核心輸出信號。
15. 如申請專利範圍第 10 項所述之靜電放電防護裝置，其中每一上述輸出驅動單元更包括：一第一金氧半電晶體；以及一第二金氧半電晶體，其中該第一與第二金氧半電晶體串聯於該第一導電路徑與該第二導電路徑之間，該第一金氧半電晶體之閘極耦接至一第三導電路徑，而該第二金氧半電晶體之閘極接收該核心輸出信號。
16. 如申請專利範圍第 15 項所述之靜電放電防護裝置，其中該第三導電路徑為系統電壓軌線，而該第二導電路徑為接地電壓軌線。
17. 一種靜電放電防護裝置，包括：多個電晶體，其集極與射極各自耦接至一第一導電路徑與一第二導電路徑，用以傳導靜電流於一第一導電路徑與一第二導電路徑之間；多個電阻，分別耦接於對應之該電晶體之基極與該第二導電路徑之間；以及一偏壓導線，耦接至每一上述電晶體之基極。
18. 如申請專利範圍第 17 項所述之靜電放電防護裝置，其中該第一導電路徑耦接至一輸入焊墊。
19. 如申請專利範圍第 17 項所述之靜電放電防護裝置，其中該第一導電路徑耦接至一輸出焊墊。
20. 如申請專利範圍第 17 項所述之靜電放電防護裝置，其中該第二導電路徑為系統電壓軌線。
21. 如申請專利範圍第 17 項所述之靜電放電防護裝置，其中該第二導電路徑為接地電壓軌線。
22. 一種靜電放電防護佈局，包括：一基體，具有一寄生電阻；一第一摻雜區，配置於該基體，以作為該基體之電極；一第一導電路徑，配置於該基體上方；一第二導電路徑，配置於該基體上方；多個靜電放電防護單元，配置於該基體且不與該第一摻雜區相接觸，用以傳導靜電流於該第一導電路徑與該第二導電路徑之間，其中該靜電放電防護單元具有一寄生電晶體結構；多個第二摻雜區，配置於該基體且配置於該些靜電放電防護單元之間，其中該些第二摻雜區不與該些靜電放電防護單元相接觸；以及一偏壓導線，配置於該基體上方，其中該偏壓導線電性連接至每一上述第二摻雜區。

23. 如申請專利範圍第 22 項所述之靜電放電防護佈局，更包括：一焊墊，其中該第一導電路徑電性連接至該輸入焊墊。
24. 如申請專利範圍第 22 項所述之靜電放電防護佈局，其中該第二導電路徑為系統電壓軌線。
25. 如申請專利範圍第 22 項所述之靜電放電防護佈局，其中該第二導電路徑為接地電壓軌線。
26. 如申請專利範圍第 22 項所述之靜電放電防護佈局，其中每一上述靜電放電防護單元包括：一金氧半電晶體，其汲極與源極各自耦接至該第一導電路徑與該第二導電路徑，而該金氧半電晶體之閘極耦接至該第二導電路徑。
27. 如申請專利範圍第 22 項所述之靜電放電防護佈局，其中每一上述靜電放電防護單元包括：一金氧半電晶體，其汲極與源極各自耦接至該第一導電路徑與該第二導電路徑，而該金氧半電晶體之閘極浮接。
28. 如申請專利範圍第 22 項所述之靜電放電防護佈局，其中每一上述靜電放電防護單元包括：一第一金氧半電晶體；以及一第二金氧半電晶體，其中該第一與第二金氧半電晶體串聯於該第一導電路徑與該第二導電路徑之間。
29. 如申請專利範圍第 28 項所述之靜電放電防護佈局，其中該第一與第二金氧半電晶體之閘極各自耦接至該第二導電路徑與一第三導電路徑。
30. 如申請專利範圍第 29 項所述之靜電放電防護佈局，該第三導電路徑為系統電壓軌線，而該第二導電路徑為接地電壓軌線。
31. 如申請專利範圍第 29 項所述之靜電放電防護佈局，該第二導電路徑為系統電壓軌線，而該第三導電路徑為接地電壓軌線。
32. 如申請專利範圍第 28 項所述之靜電放電防護佈局，更包括：多個第三摻雜區，配置於該基體中且配置於該些第一與第二金氧半電晶體之間，且該些第三摻雜區不與該些第一與第二金氧半電晶體相接觸，其中該些第三摻雜區電性連接至該偏壓導線。
33. 如申請專利範圍第 32 項所述之靜電放電防護佈局，其中是以場氧化層隔離該些第三摻雜區與該些第一與第二金氧半電晶體。
34. 如申請專利範圍第 32 項所述之靜電放電防護佈局，其中是以場氧化層隔離該些第二摻雜區與該些靜電放電防護單元。
35. 一種靜電放電防護佈局，包括：一基體；一第一摻雜區，配置於該基體，以作為該基體之電極；一第一導電路徑，配置於該基體上方；一第二導電路徑，配置於該基體上方；多個靜電放電防護單元，配置於該基體且不與該第一摻雜區相接觸，用以傳導靜電流於該第一導電路徑與該第二導電路徑之間，其中每一該些靜電放電防護單元包括：一第一金氧半電晶體；以及一第二金氧半電晶體，其中該第一與第二金氧半電晶體串聯於該第一導電路徑與該第二導電路徑之間；多個第三摻雜區，配置於該基體中且配置於該些第一與第二金氧半電晶體之間，其中該些第三摻雜區不與該些第一與第二金氧半電晶體相接觸；以及一偏壓導線，配置於該基體上方，其中該偏壓導線電性連接至每一上述第三摻雜區。
36. 如申請專利範圍第 35 項所述之靜電放電防護佈局，其中該第一導電路徑耦接至一焊墊。
37. 如申請專利範圍第 35 項所述之靜電放電防護佈局，其中該第二導電路徑為系統電壓軌線。
38. 如申請專利範圍第 35 項所述之靜電放電防護佈局，其中該第二導電路徑為接地電壓軌線。

39. 如申請專利範圍第 35 項所述之靜電放電防護佈局，其中是以場氧化層隔離該些第三摻雜區與該些第一與第二金氧半電晶體。

圖式簡單說明

圖 1 繪示靜電放電防護電路方塊圖。

圖 2 繪示為以閘極接地 N 型金氧半電晶體所實施的靜電放電保護裝置。

圖 3A 繪示為習知之靜電放電防護電路佈局之俯視圖。

圖 3B 繪示為習知之靜電放電防護電路佈局之截面圖。

圖 4 繪示為習知之靜電防護電路。

圖 5 繪示為習知之靜電防護電路。

圖 6 繪示為習知之靜電防護電路。

圖 7 繪示為本發明之一較佳實施例的靜電放電防護裝置。

圖 8 繪示為本發明之一較佳實施例的靜電放電防護裝置。

圖 9 繪示為本發明之一較佳實施例的靜電放電防護裝置。

圖 10 繪示為本發明之一較佳實施例的靜電放電防護裝置。

圖 11 繪示為本發明之一較佳實施例的靜電放電防護裝置。

圖 12 繪示為本發明之一較佳實施例的靜電放電防護裝置。

圖 13A 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

圖 13B 繪示為本發明之一較佳實施例的靜電放電防護佈局的截面圖。

圖 14 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

圖 15 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

圖 16A 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

圖 16B 繪示為本發明之一較佳實施例的靜電放電防護佈局的截面圖。

圖 17 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

圖 18 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

圖 19 繪示為本發明之一較佳實施例的靜電放電防護佈局的俯視圖。

(5)

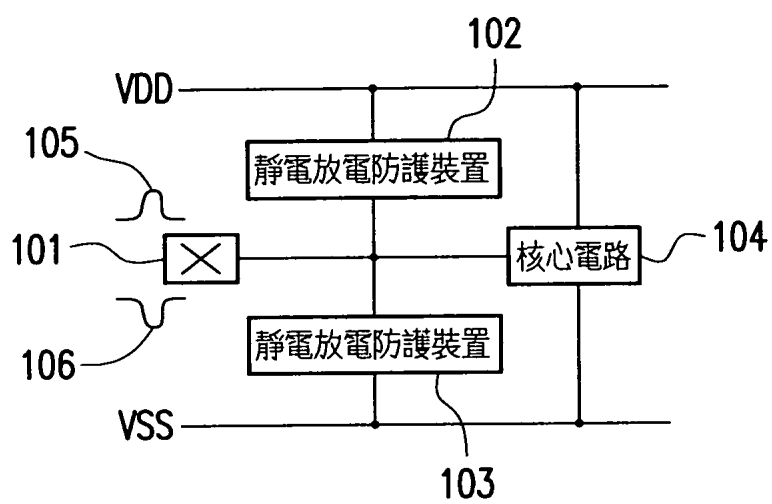


圖 1

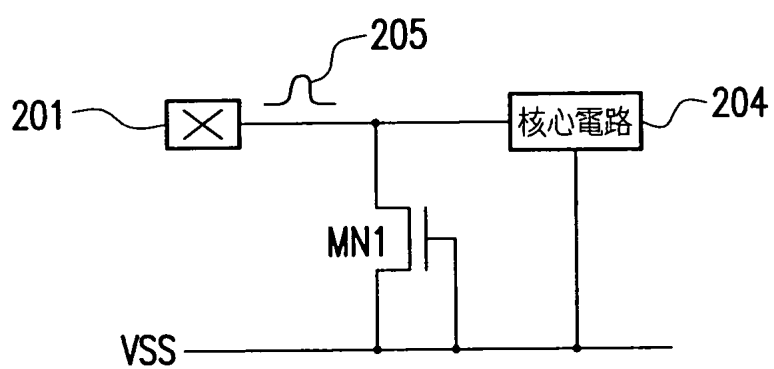


圖 2

(7)

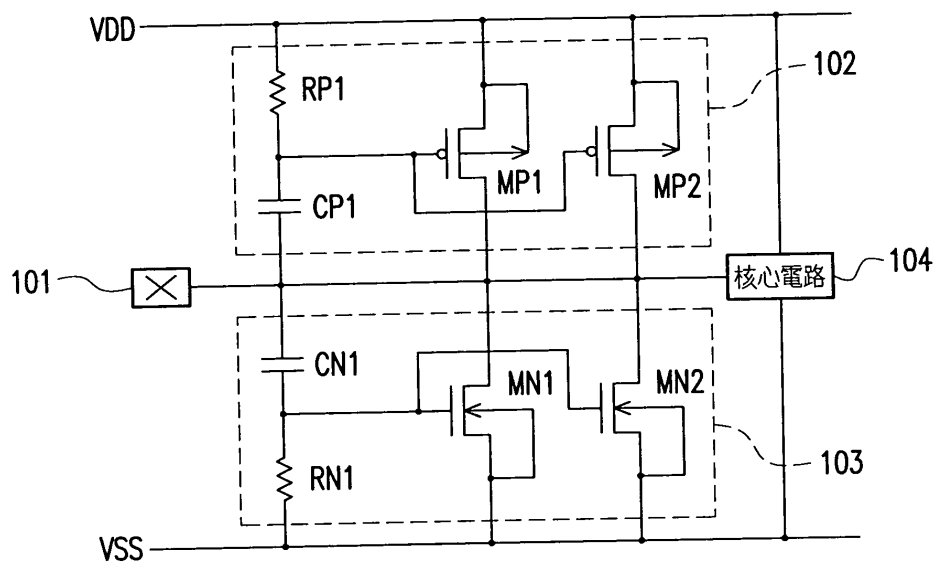


圖 4

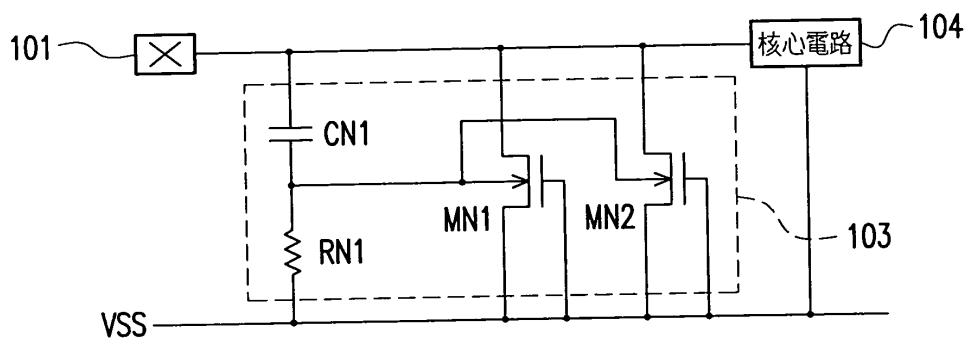


圖 5

(8)

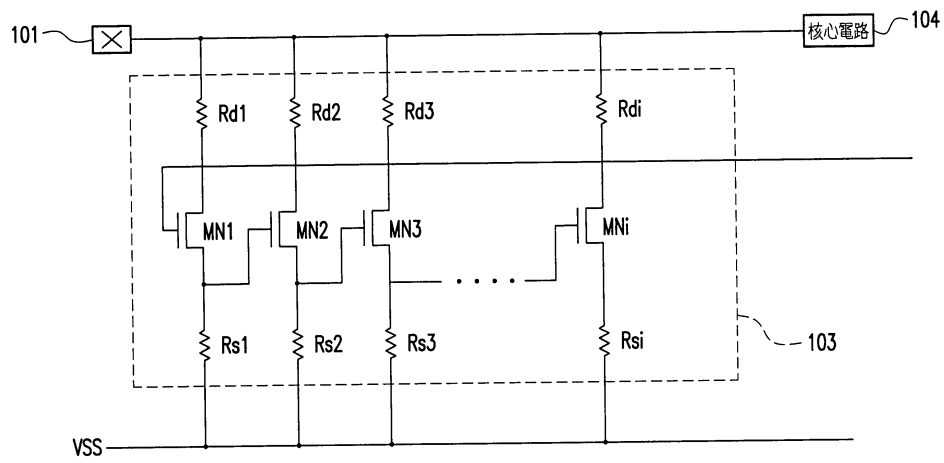


圖 6

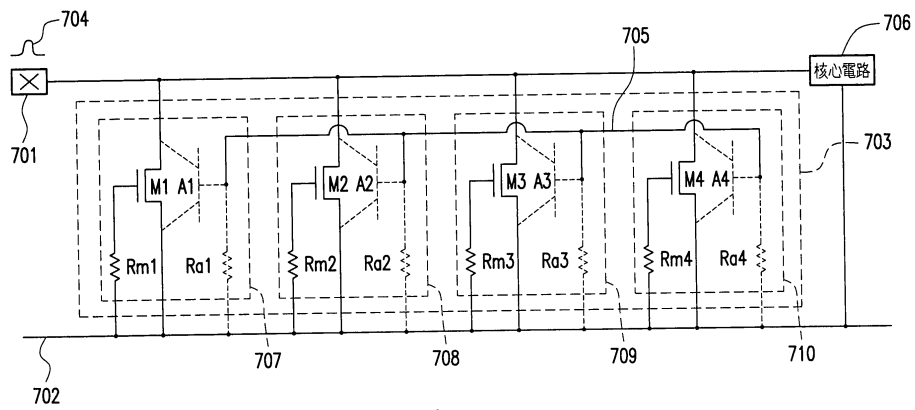


圖 7

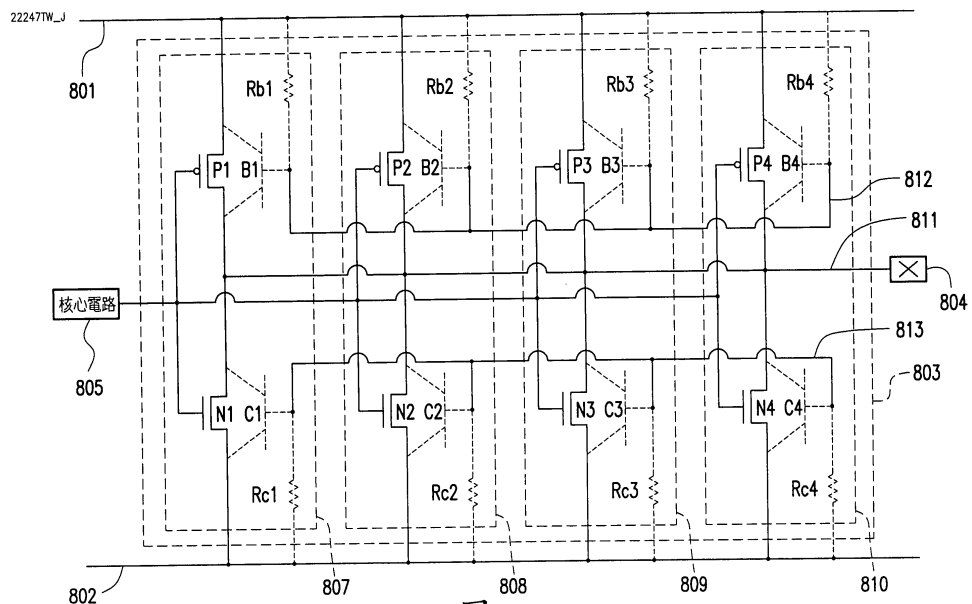
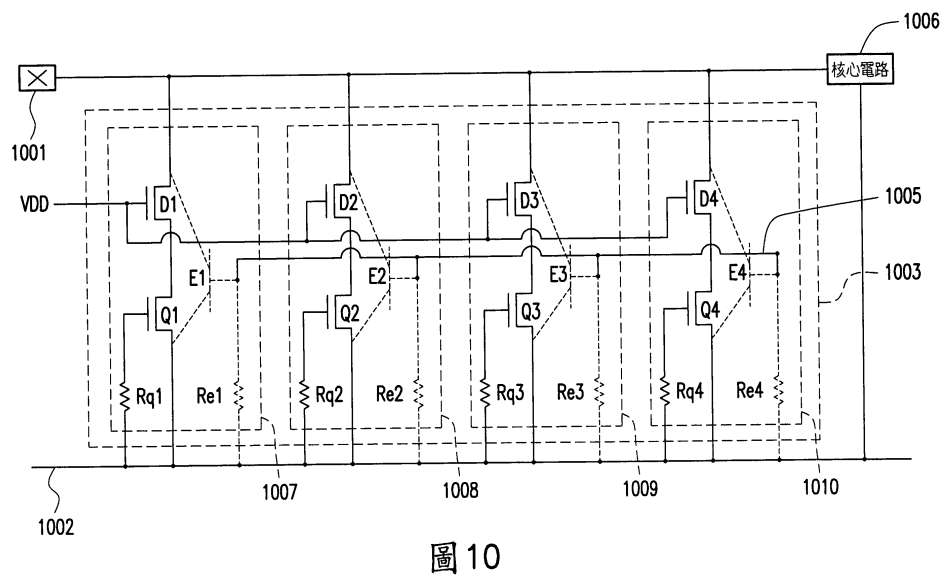
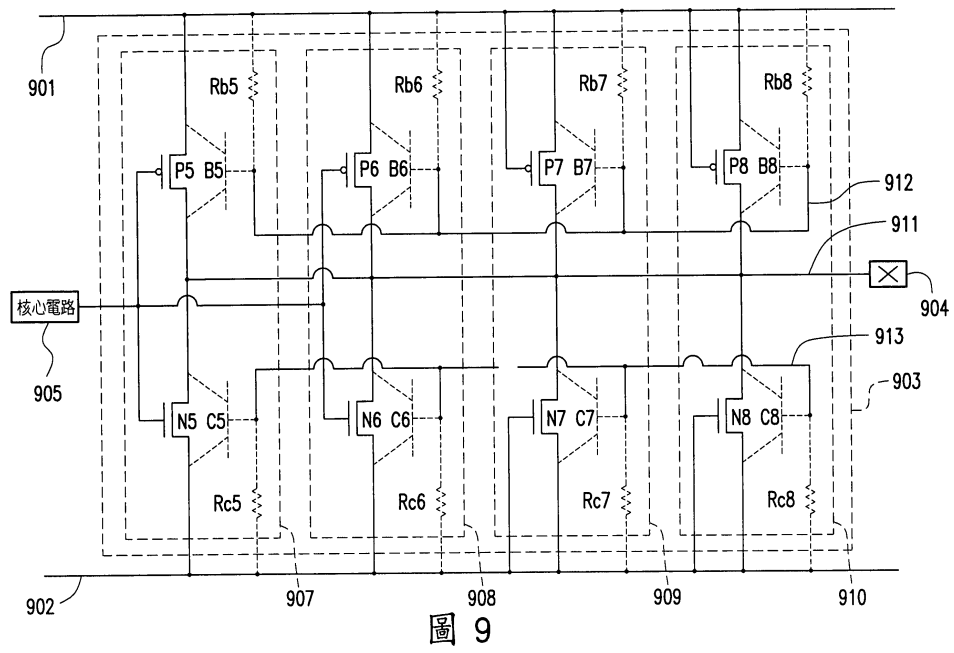


圖 8

(9)



(10)

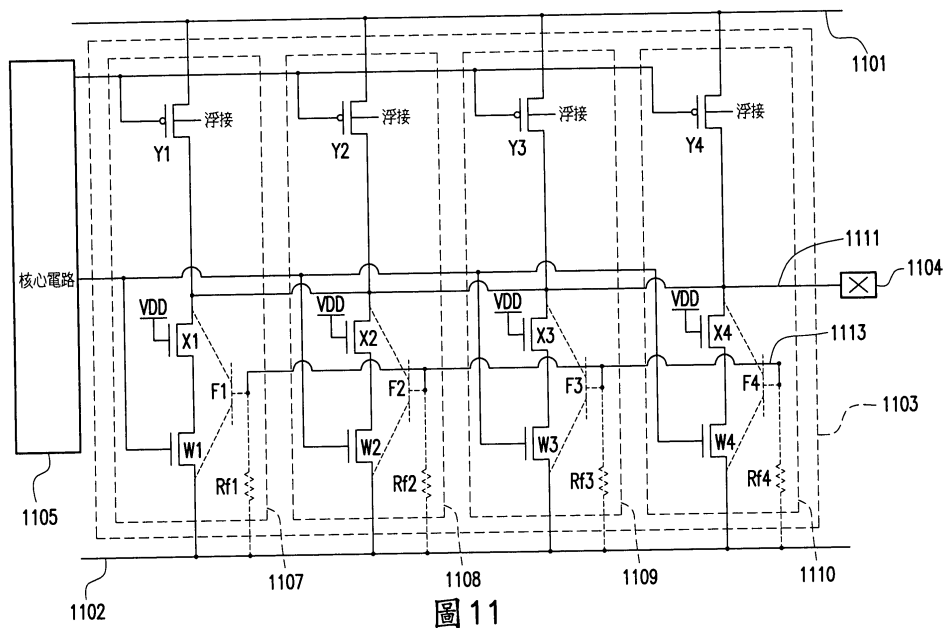


圖 11

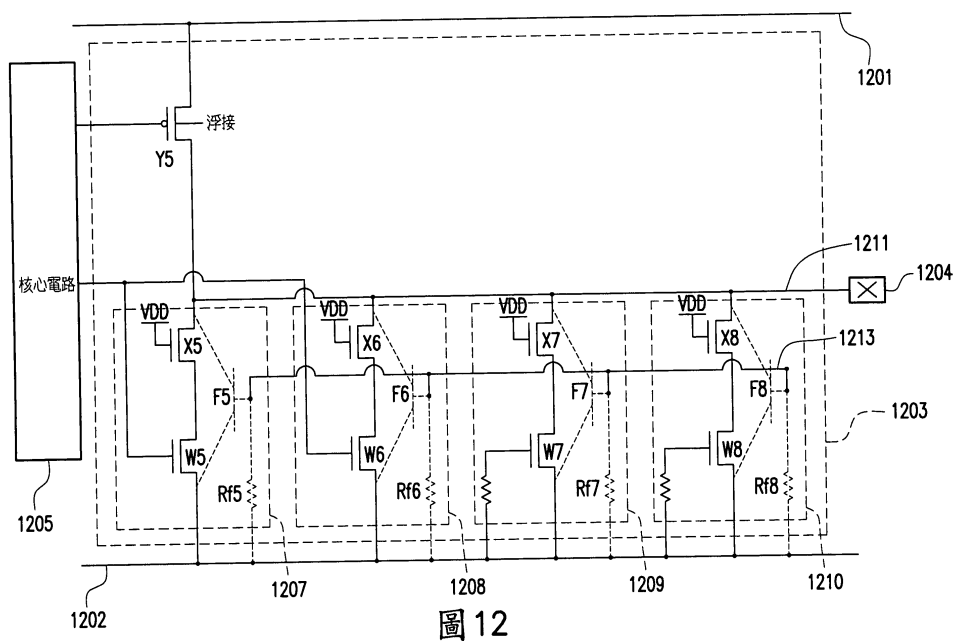


圖 12

(11)

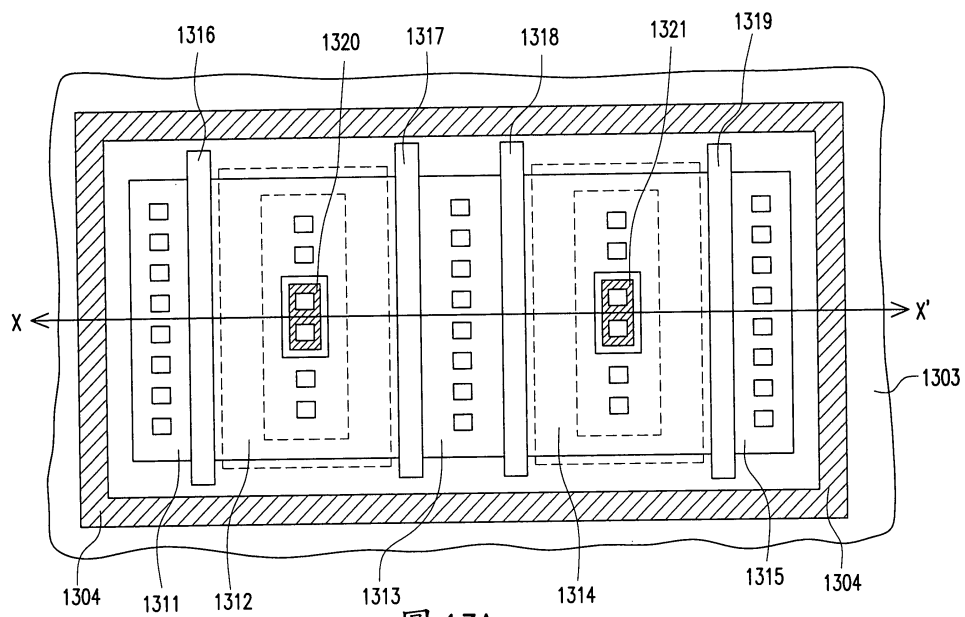


圖 13A

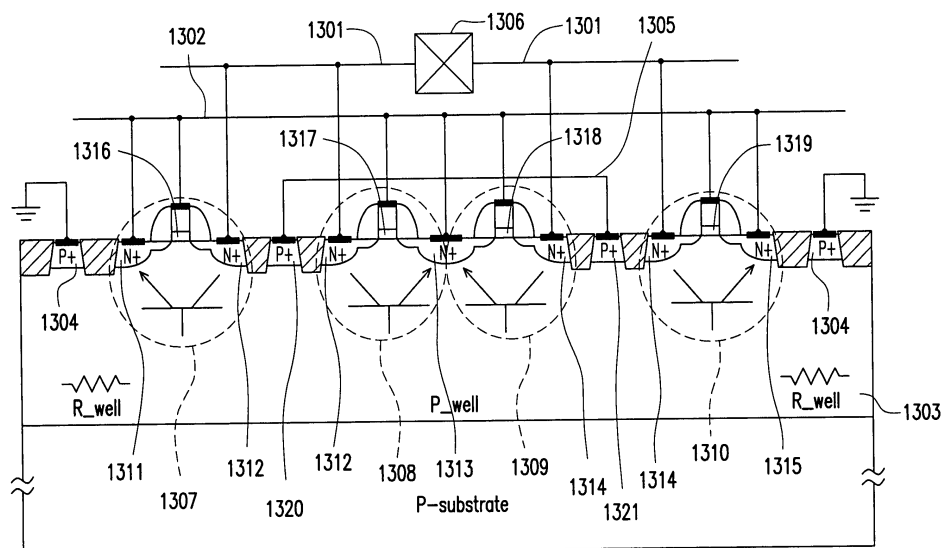


圖 13B

(12)

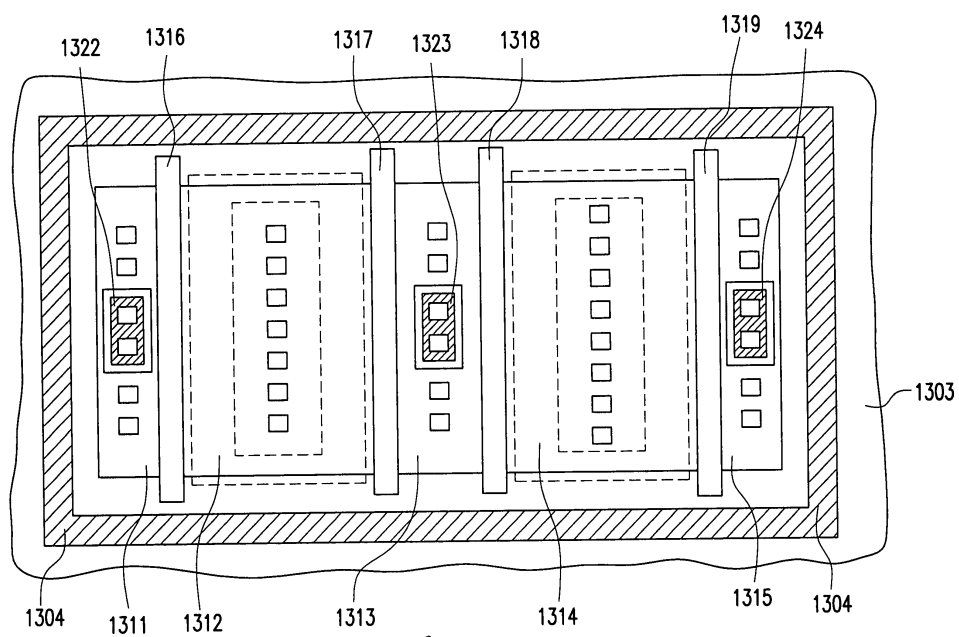


圖 14

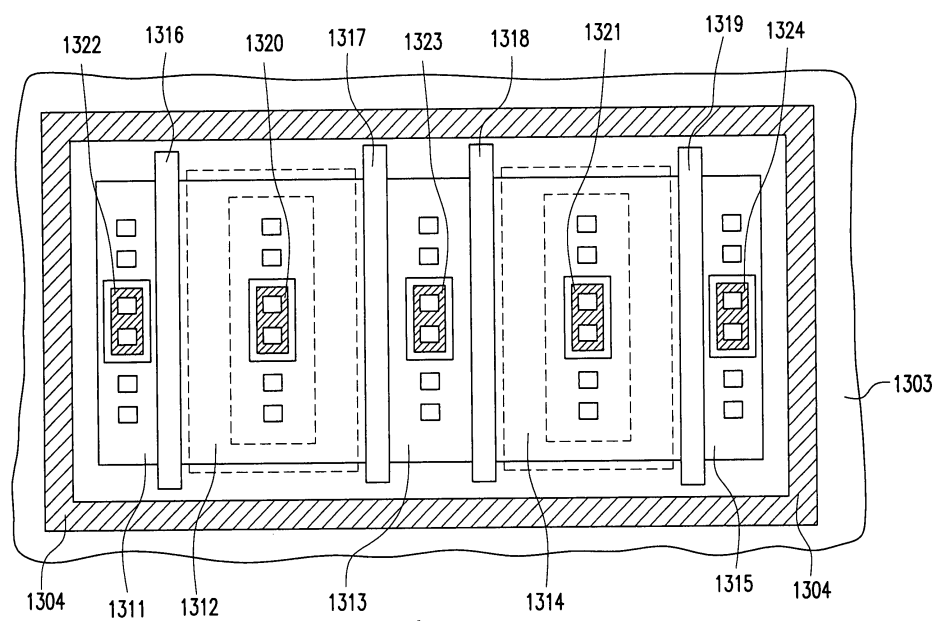


圖 15

(13)

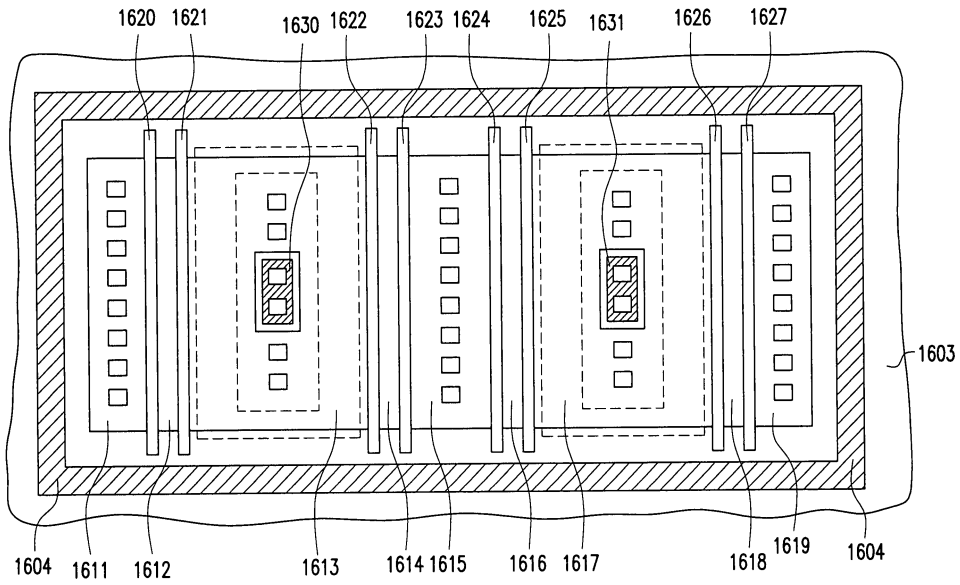


圖 16A

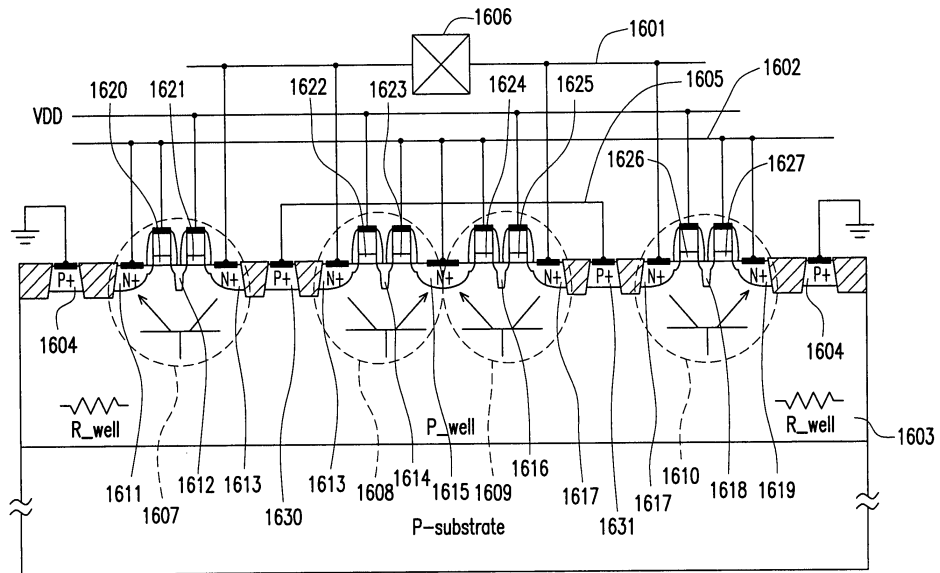


圖 16B

(14)

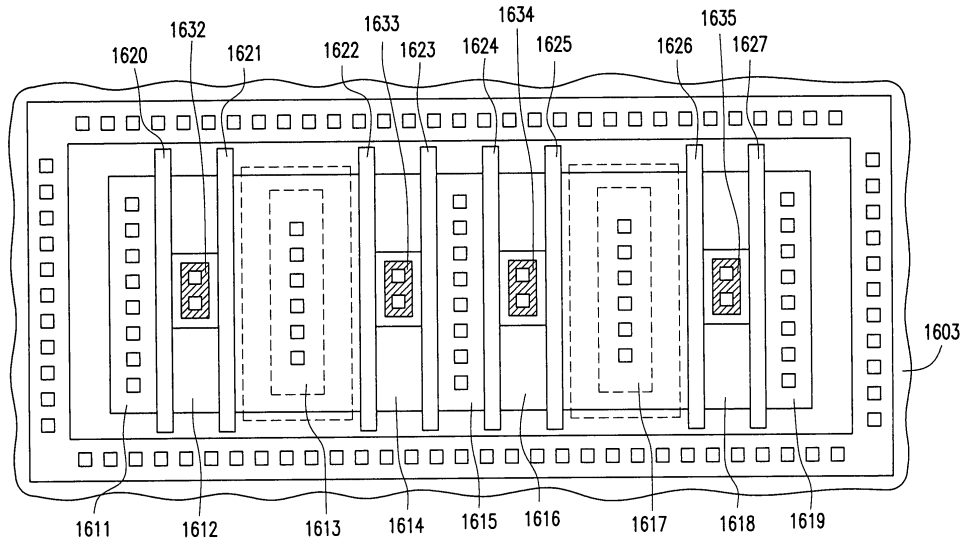


圖 17

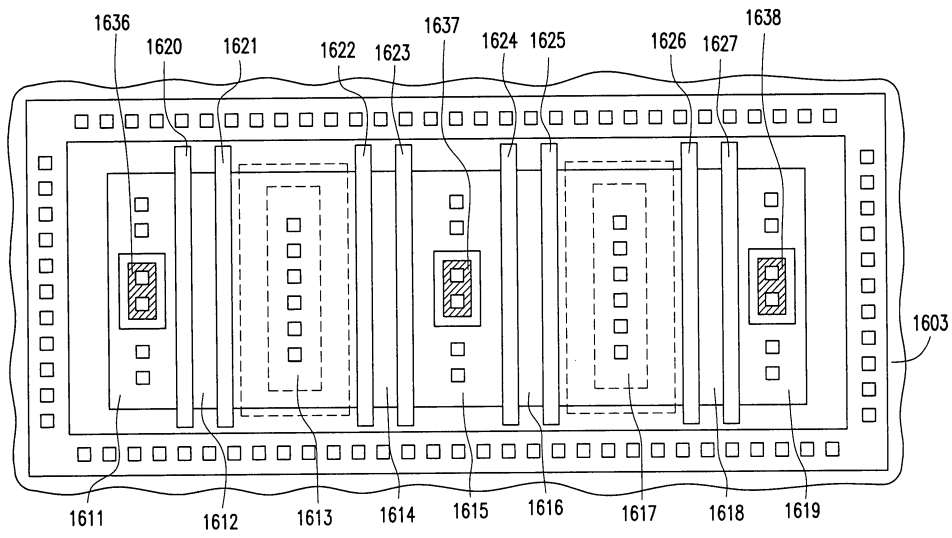


圖 18

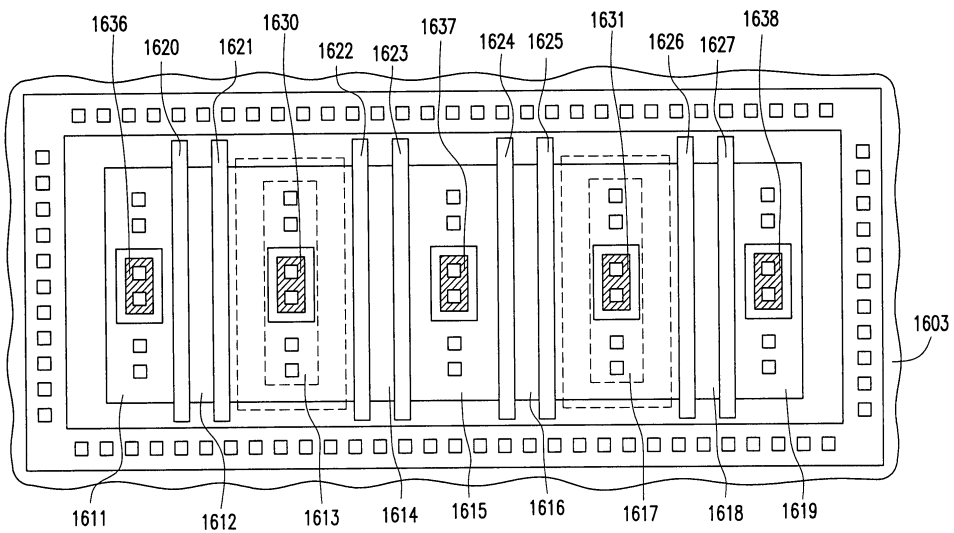


圖 19