

中華民國專利公報 (19)(12)

(11)公告編號: 334628

(44)中華民國87年(1998)06月21日

發明

全 13 頁

(51)Int. Cl.⁶: H01L23/60

(54)名稱: 一種VDD與VSS間之靜電放電防護電路

(21)申請案號: 85114110

(22)申請日期: 中華民國85年(1996)11月18日

(72)發明人:

柯明道

新竹市東區寶山路二〇〇巷三號四樓之一

(71)申請人:

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代理人:

1

2

[57]申請專利範圍:

1. 一種用於積體電路中的靜電放電保護電路, 介於VDD和VSS電源線之間, 該靜電放電保護電路包含:
一連接於該VDD和VSS電源線間的靜電放電偵測裝置; 和
一由該靜電放電偵測裝置所驅動, 並且連接於該VDD和VSS電源線間之靜電放電裝置, 其中該靜電放電裝置包含一具有一射極(emitter)和一集極(collector)之雙載子電晶體, 該射極和該集極分別電性連接至VSS, 和VDD, 其中該雙載子電晶體之結構係選自包含一垂直雙載子電晶體、和一厚氧化層元件的群組, 並且該雙載子電晶體具有一由該靜電放電偵測裝置所驅動之基極(base)。
2. 如申請專利範圍第1項所述之靜電放電保護電路, 其中該射極和該集極電性連接至VSS和VDD電源線的方式係為直接連接。

3. 如申請專利範圍第1項所述之靜電放電保護電路, 其中該雙載子電晶體係由厚氧化層元件所構成, 該厚氧化層元件包含一汲極區域、一源極區域和一介於該二區域間的通道區域, 該通道區域係被一厚氧化層所覆蓋。
4. 如申請專利範圍第3項所述之靜電放電保護電路, 其中該通道區域窄到足使該厚氧化層元件操作成該雙載子電晶體。
5. 如申請專利範圍第4項所述之靜電放電保護電路, 其中該厚氧化層元件尚包含一作在該源極區域底下之井區, 該井區係和該源極區域具有相同之極性。
6. 如申請專利範圍第1項所述之靜電放電保護電路, 其中該厚氧化層元件係為一N型厚氧化層元件。
7. 如申請專利範圍第6項所述之靜電放電保護電路, 其中該靜電放電裝置係以p型基底作成, 其中該厚氧化層元件包含:

- 一 P 型區域作在該 P 型基底中；
 - 一第一 N 型區域作在該 P 型基底中，該第一 N 型區域係包圍該 P 型區域；
 - 一第二 N 型區域作在該 P 型基底中，該第二 N 型區域係包圍該第一 N 型區域；和
 - 一氧化層跨接在該第一和該第二 N 型區域之間。
8. 如申請專利範圍第 7 項所述之靜電放電保護電路，其中該厚氧化層元件尚包含一第三 N 型區域，通過並作在該第二 N 型區域的下面，以形成一個 N 型井區的結構。
 9. 如申請專利範圍第 8 項所述之靜電放電保護電路，其中該第三 N 型區域係包圍該第一 N 型區域。
 10. 如申請專利範圍第 9 項所述之靜電放電保護電路，其中該厚氧化層元件尚包括一第二 P 型區域作在該 P 型基底中，該第一 P 型區域係包圍該第二 N 型區域。
 11. 如申請專利範圍第 10 項所述之靜電放電保護電路，其中該第一和該第二 N 型區域係擴散成 N+ 程度的濃度。
 12. 如申請專利範圍第 11 項所述之靜電放電保護電路，其中該第一 P 型區域係擴散成 P+ 程度的濃度。
 13. 如申請專利範圍第 6 項所述之靜電放電保護電路，其中該靜電放電裝置係以 N 型基底作成，其中該厚氧化層元件包含：
 - 一 P 型井區作在該 N 型基底中；
 - 一 P 型區域作在該 P 型井區中；
 - 一第一 N 型區域作在該 P 型井區中，該第一 N 型區域係包圍該 P 型區域；
 - 一第二 N 型區域作在該 P 型井區中，該第二 N 型區域係包圍該第一 N 型區域；和
 - 一氧化層跨接在該第一和該第二 N 型區域之間。

14. 如申請專利範圍第 13 項所述之靜電放電保護電路，其中該第一和該第二 N 型區域係擴散成 N+ 程度的濃度。
15. 如申請專利範圍第 14 項所述之靜電放電保護電路，其中該第一 P 型區域係擴散成 P+ 程度的濃度。
16. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該雙載子電晶體係由垂直式雙載子電晶體所構成。
17. 如申請專利範圍第 16 項所述之靜電放電保護電路，其中該垂直式雙載子電晶體係為一 p-n-p 元件。
18. 如申請專利範圍第 17 項所述之靜電放電保護電路，其中該靜電放電裝置係作在 P 型基底，該垂直式雙載子電晶體包含：
 - 一 N 型井區作在該 P 型基底中；
 - 一 N 型區域作在該 N 型井區中；
 - 一第一 P 型區域作在該 N 型井區中，該第一 P 型區域係包圍該 N 型區域，形成該垂直式雙載子電晶體之射極；和
 - 一第二 P 型區域係包圍該第一 N 型井區。
19. 如申請專利範圍第 18 項所述之靜電放電保護電路，其中該第一和該第二 P 型區域係擴散成 P+ 程度的濃度。
20. 如申請專利範圍第 19 項所述之靜電放電保護電路，其中該 N 型區域係擴散成 N+ 程度的濃度。
21. 如申請專利範圍第 16 項所述之靜電放電保護電路，其中該垂直式雙載子電晶體係為一 n-p-n 元件。
22. 如申請專利範圍第 21 項所述之靜電放電保護電路，其中該靜電放電裝置係作在 N 型基底，該垂直式雙載子電晶體包含：
 - 一 P 型井區作在該 N 型基底中；
 - 一 P 型區域作在該 P 型井區中；
 - 一第一 N 型區域作在該 P 型井區中，該第一 N 型區域係包圍該 P 型區域，

形成該垂直式雙載子電晶體之射極；和一第二 N 型區域作在該 N 型基底中，該第二 N 型區域係包圍該 P 型區域。

23. 如申請專利範圍第 22 項所述之靜電放電保護電路，其中該第一和該第二 N 型區域係擴散成 N+ 程度的濃度。
24. 如申請專利範圍第 23 項所述之靜電放電保護電路，其中該 P 型區域係擴散成 P+ 程度的濃度。
25. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該靜電放電偵測裝置包含一串聯之電阻與電容，和一耦接至該電阻與電容之反相器。
26. 如申請專利範圍第 25 項所述之靜電放電保護電路，其中該電容係由一 NMOS 元件所構成。
27. 如申請專利範圍第 26 項所述之靜電放電保護電路，其中該反相器係包含一串聯之 PMOS 元件與 NMOS 元件所構成。
28. 如申請專利範圍第 27 項所述之靜電放電保護電路，其中該反相器之輸出係驅動該雙載子電晶體之基極。

圖示簡單說明：

第一 (a-d) 圖係顯示靜電放電發生在一積體電路之輸入腳或輸出腳上的四種放電模式；

第二圖係顯示一 ND 模式之靜電放電發生在一輸入墊上，因而造成內部電路遭受異常靜電放電損傷的示意圖；

第三圖係顯示一 ND 模式之靜電放電發生在一互補式金氧半積體電路之輸出墊上，因而造成內部電路遭受異常靜電放電損傷的示意圖；

第四圖係顯示一典型之先前技術所設計的靜電放電防護電路；

第五圖係顯示一先前技術所設計之 VDD 到 VSS 靜電放電防護電路之概念圖；

第六圖係顯示先前技術利用一 RC 時間常數所設計的 VDD 到 VSS 靜電放電防護電路；

第七圖係顯示先前技術利用更複雜的電路來偵測靜電放電，所設計之 VDD 到 VSS 靜電放電防護電路；

第八圖係顯示本發明節省佈局面積之 VDD 到 VSS 靜電放電防護電路；

第九 (a-b) 圖係顯示一 N 型厚氧化層元件，及其寄生雙載子電晶體之元件特性；

第十圖係顯示本發明之靜電放電偵測電路的實際設計；

第十一 (a-b) 圖係顯示本發明之靜電放電偵測電路在靜電放電情形下 V_{ESD} 和 V_B ，及在正常電源電壓上升情形下 V_B 和 V_{DD} 的變化示意圖；

第十二圖係顯示本發明在 P 型基底 N 型井區半導體製程之一種實施例；

第十三圖係顯示本發明之一 N 型厚氧化層元件的佈局實施例；

第十四圖係顯示本發明之一完整佈局實施例；

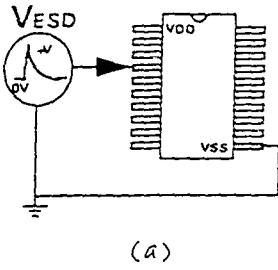
第十五圖係顯示本發明在 P 型基底 N 型井區半導體製程之另一種實施例，其中利用到一垂直方向的雙載子電晶體元件；

第十六圖係顯示本發明在 N 型基底 P 型井區半導體製程下之一種實施例；

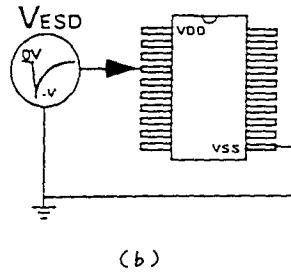
第十七圖係顯示本發明在 N 型基底 P 型井區半導體製程下之另一種實施例，其中利用到一垂直方向的雙載子電晶體元件。

(4)

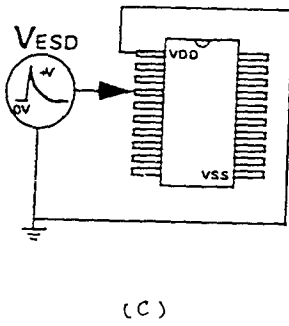
(1) PS-模式



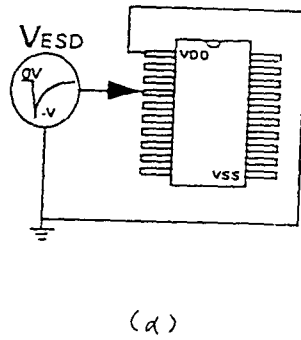
(2) NS-模式



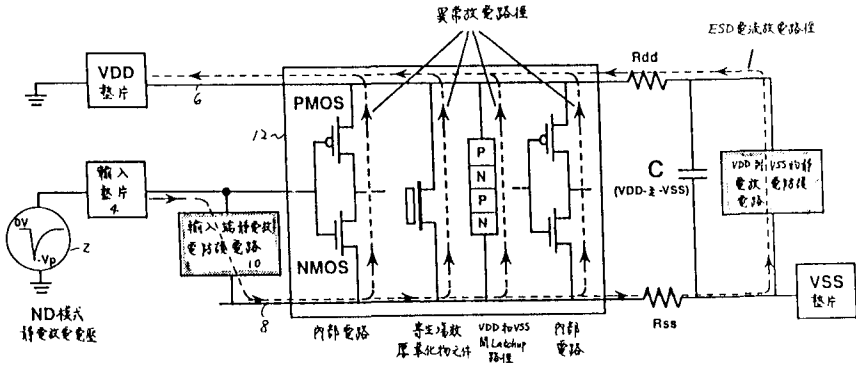
(3) PD-模式



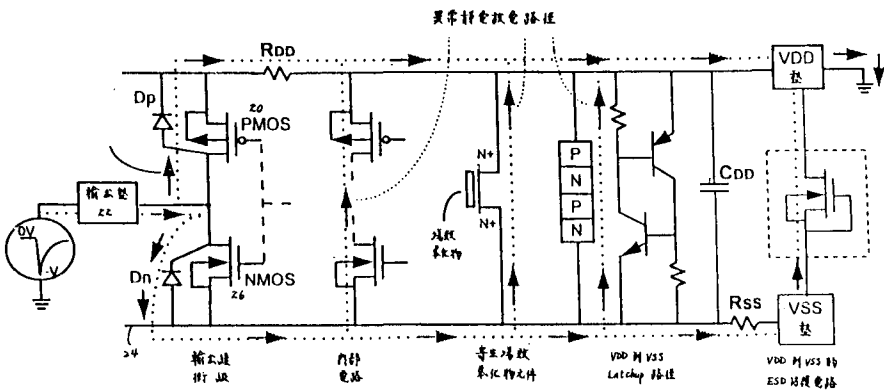
(4) ND-模式



第一圖

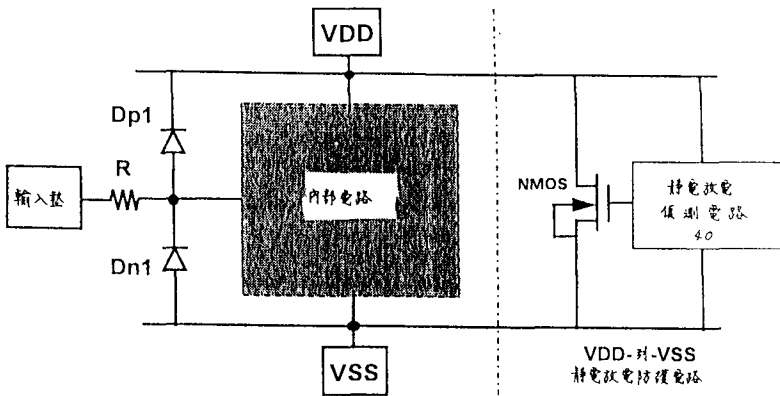
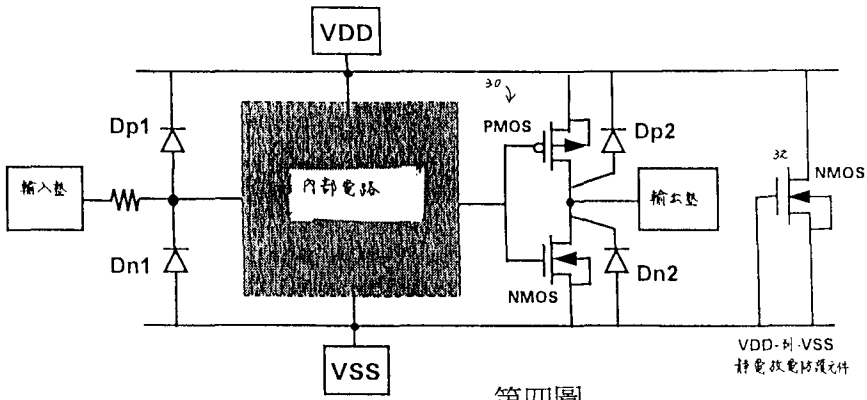


第二圖

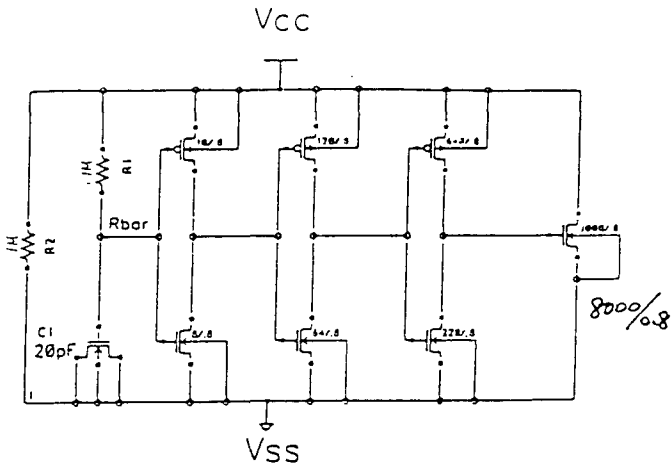


第三圖

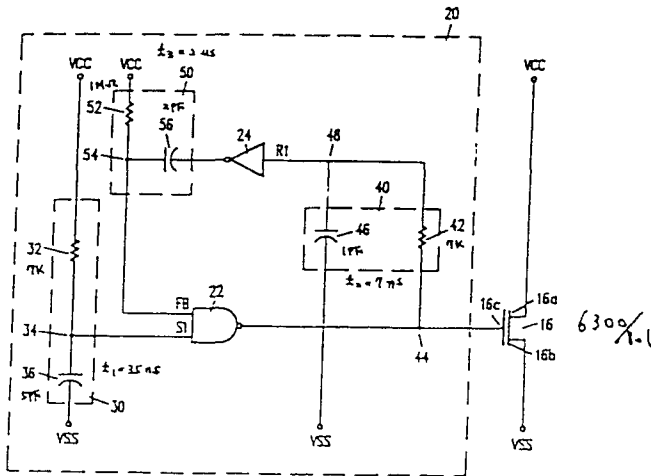
(6)



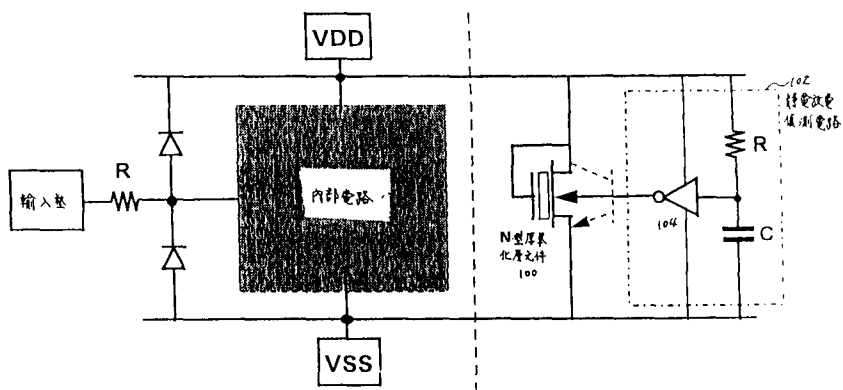
(7)



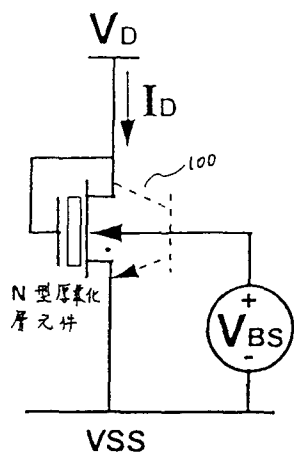
第六圖



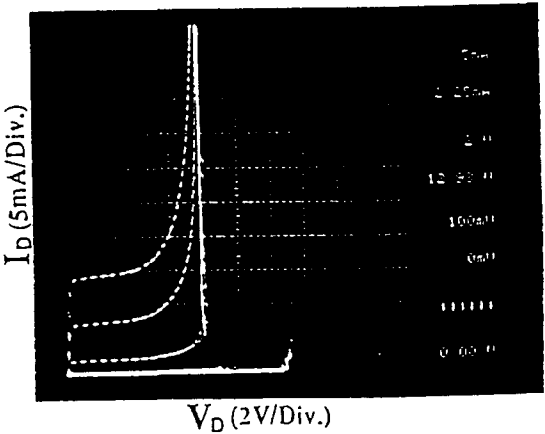
第七圖



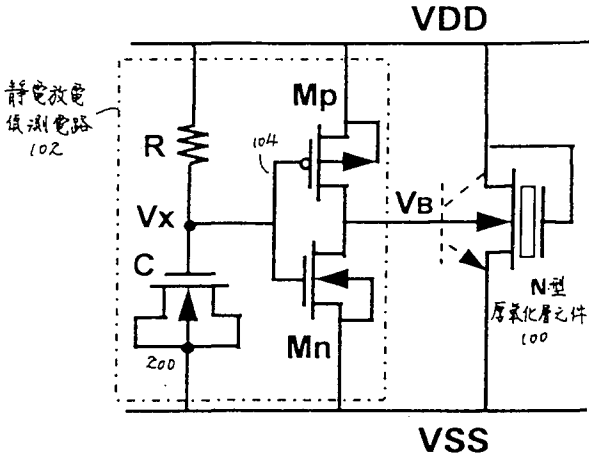
第八圖



第九圖 (a)

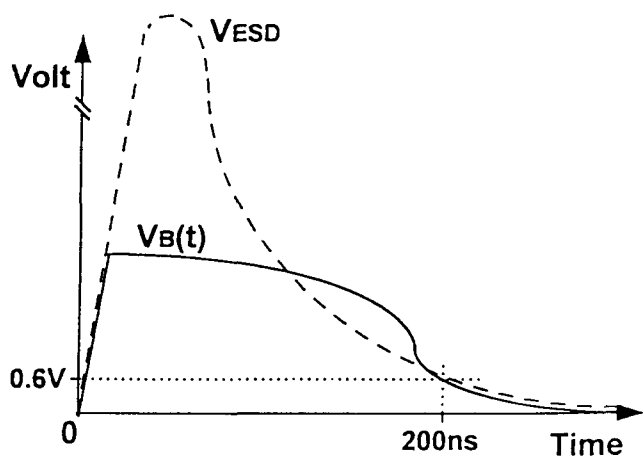


第九圖 (b)

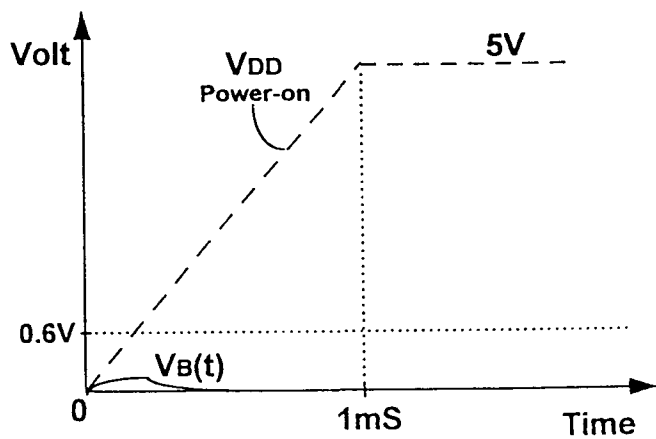


第十圖

(10)

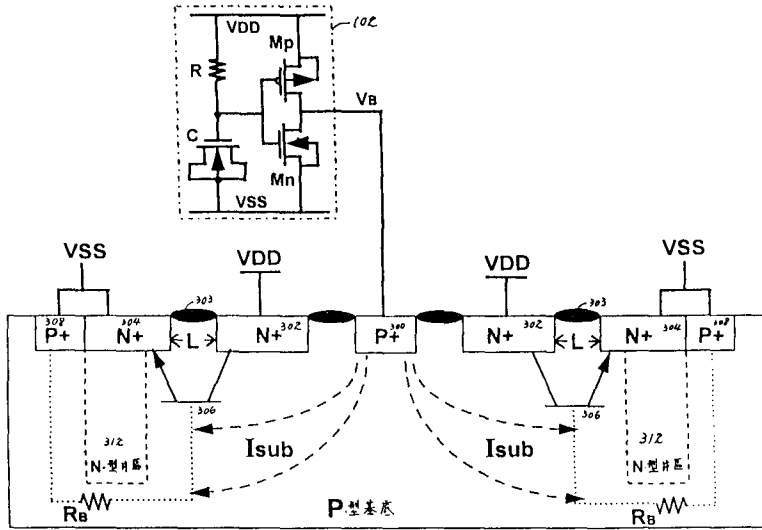


(a)

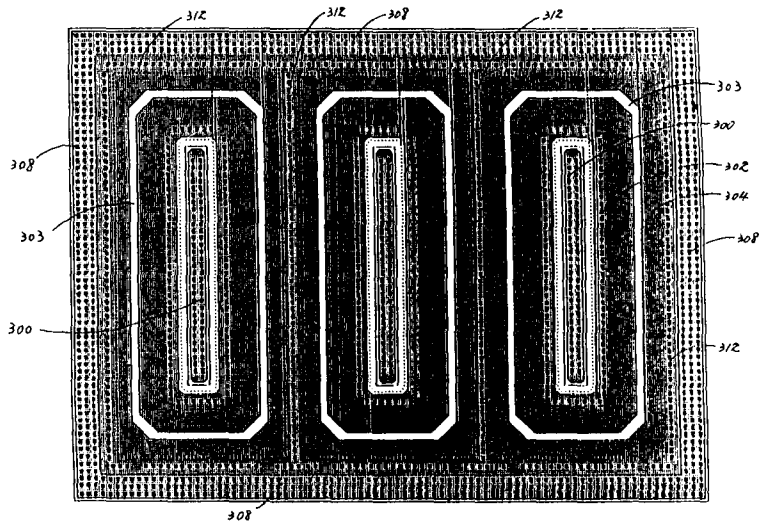


(b)

第十一圖

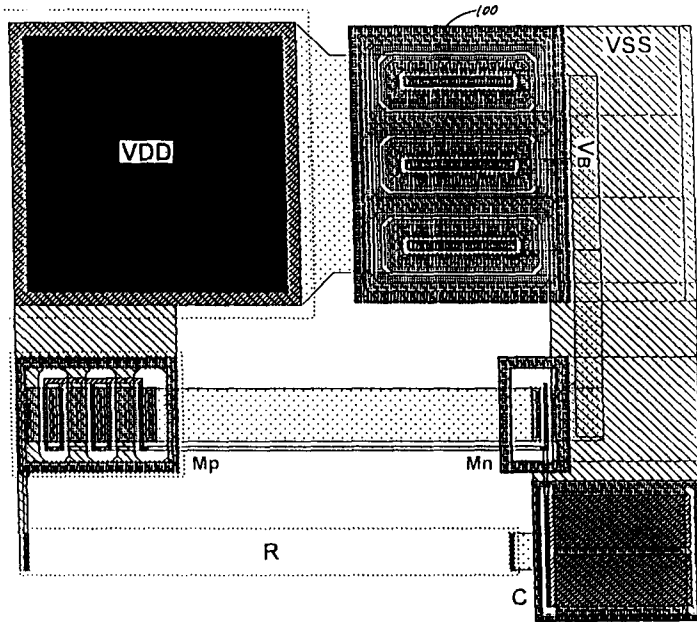


第十二圖

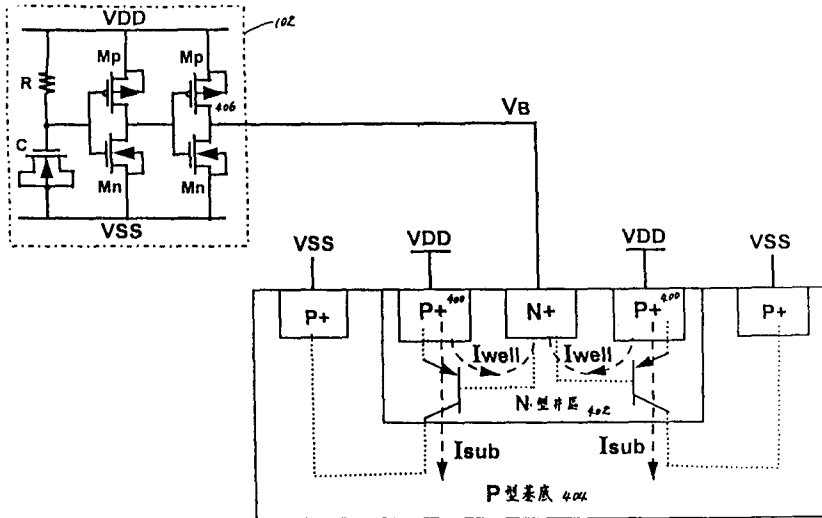


第十三圖

(12)

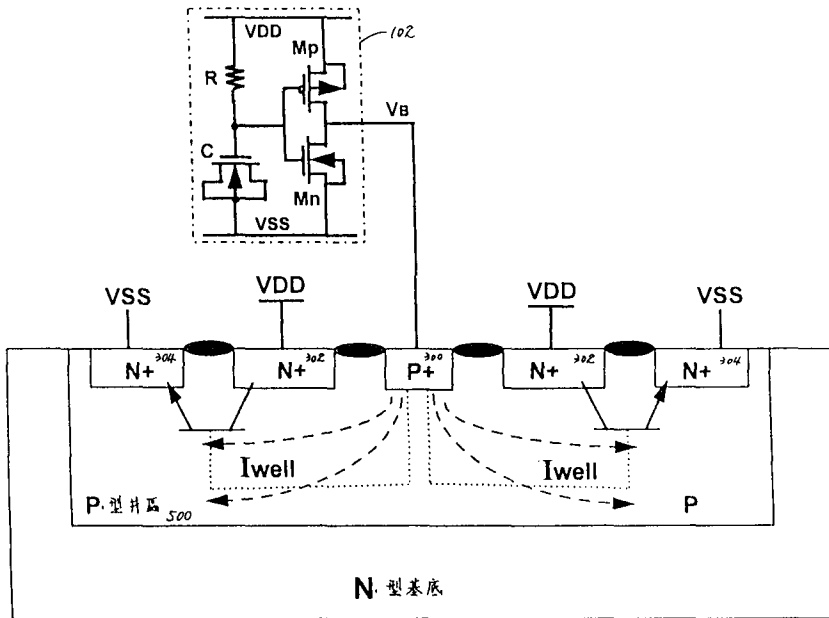


第十四圖

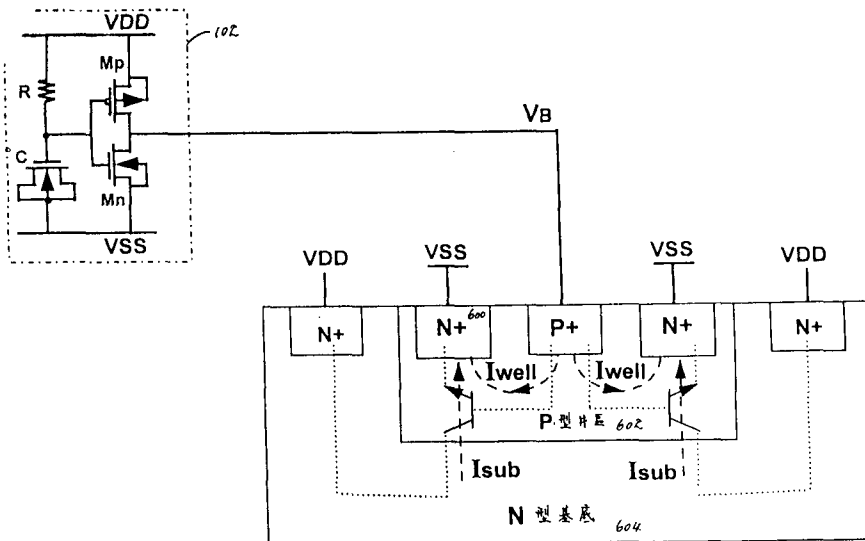


第十五圖

(13)



第十六圖



第十七圖

