

【11】證書號數：I334697

【45】公告日：中華民國 99 (2010) 年 12 月 11 日

【51】Int. Cl.：H03K19/0185(2006.01)

發明

全 8 頁

【54】名稱：抑制熱載子劣化效應之混合電壓輸出入緩衝器

MIXED-VOLTAGE I/O BUFFER TO LIMIT HOT-CARRIER
DEGRADATION

【21】申請案號：096136557

【22】申請日：中華民國 96 (2007) 年 09 月 29 日

【11】公開編號：200901626

【43】公開日期：中華民國 98 (2009) 年 01 月 01 日

【30】優先權：2007/06/28

美國

11/769,716

【72】發明人：柯明道 (TW) KER, MING DOU；蔡惠雯 (TW) TSAI, HUI WEN；姜信欽 (TW)
RYAN HSIN CHIN JIANG

【71】申請人：晶焱科技股份有限公司

AMAZING MICROELECTRONIC
CORPORATION

臺北縣中和市中正路 716 號 15 樓之 2

【74】代理人：詹銘文；蕭錫清

【56】參考文獻：

US 2003/0117171A1

US 2006/0049847A1

Ming-Dou Ker, Shih-Lun Chen, Chia-Sheng Tsai, " Overview and Design of Mixed-Voltage I/O Buffers With Low-Voltage Thin-Oxide CMOS Transistors," IEEE Transactions on Circuits and Systems I, Volume: 53 , Issue: 9, Digital Object Identifier: 10.1109/TCSI.2006.882816, Page(s): 1934 - 1945, 2006.

[57]申請專利範圍

1. 一種混合電壓輸出入緩衝器，其耦接至一焊墊，包括：一前級驅動單元，輸出一第一信號及一第二信號；一基體電壓產生單元，用以依據該焊墊之電壓準位而決定將一第一電壓或該焊墊之電壓導接輸出做為一基體電壓；一第一電晶體，其閘極接收該第一信號，其第一源/汲極耦接該第一電壓，其第二源/汲極耦接該焊墊，其基體耦接該基體電壓；一第二電晶體，其閘極接收該基體電壓，其第一源/汲極耦接該第一電晶體之第二源/汲極；一第三電晶體，其閘極接收該第二信號，其第一源/汲極耦接該第二電晶體之第二源/汲極，其第二源/汲極耦接一第二電壓；以及一輸入級單元，耦接該第三電晶體之第一源/汲極，用以接收該焊墊之一輸入信號。
2. 如申請專利範圍第 1 項所述之混合電壓輸出入緩衝器，更包括：一閘極電壓追隨單元，耦接於該第一電晶體之閘極與該前級驅動單元之間，其中若該焊墊之電壓大於該第一信號，則選擇將該焊墊之電壓導引輸出給該第一電晶體之閘極，否則選擇將該第一信號導引輸出給該第一電晶體之閘極。
3. 如申請專利範圍第 2 項所述之混合電壓輸出入緩衝器，其中該閘極電壓追隨單元包括：一第四電晶體，其閘極耦接該基體電壓，其第一源/汲極耦接該前級驅動單元，其第二源/汲極耦接該第一電晶體之閘極；以及一第五電晶體，其閘極耦接該第一電壓，其第一源/汲極耦接該第一電晶體之閘極，其第二源/汲極耦接該第一電晶體之第二源/汲極，其基體耦接該基體電壓。

4. 如申請專利範圍第 3 項所述之混合電壓輸出入緩衝器，其中該閘極電壓追隨單元更包括：一第六電晶體，其第一源/汲極耦接該第四電晶體之第一源/汲極，其第二源/汲極及基體耦接該第四電晶體之第二源/汲極；以及一第七電晶體，其閘極耦接該第三電晶體之第一源/汲極，其第一源/汲極耦接該第六電晶體之閘極，其第二源/汲極及基體耦接該第一電晶體之第二源/汲極。
5. 如申請專利範圍第 4 項所述之混合電壓輸出入緩衝器，其中該閘極電壓追隨單元更包括：一第八電晶體，其閘極耦接該第一電壓，其第一源/汲極耦接該前級驅動單元，其第二源/汲極耦接該第四電晶體之第一源/汲極；以及一第九電晶體，其閘極耦接該第七電晶體之第一源/汲極，其第一源/汲極耦接該第八電晶體之第一源/汲極，其第二源/汲極耦接該第八電晶體之第二源/汲極。
6. 如申請專利範圍第 4 項所述之混合電壓輸出入緩衝器，其中該閘極電壓追隨單元更包括：一第十電晶體，其閘極耦接該基體電壓，其第一源/汲極耦接該第六電晶體之閘極；以及一第十一電晶體，其閘極接收一致能信號，其第一源/汲極耦接該第十電晶體之第二源/汲極，其第二源/汲極耦接該第二電壓。
7. 如申請專利範圍第 6 項所述之混合電壓輸出入緩衝器，其中該閘極電壓追隨單元更包括：一第十二電晶體，其閘極耦接該第一電壓，其第一源/汲極耦接該第十電晶體之第二源/汲極，其第二源/汲極耦接該第十一電晶體之第一源/汲極。
8. 如申請專利範圍第 4 項所述之混合電壓輸出入緩衝器，其中該基體電壓產生單元包括：一第十三電晶體，其閘極耦接該第一電壓，其第一源/汲極耦接該第一電晶體之第二源/汲極，其第二源/汲極及基體耦接該第一電晶體之基體以輸出該基體電壓；一第十四電晶體，其閘極耦接該第七電晶體之第一源/汲極，其第一源/汲極耦接該第一電壓，其第二源/汲極及基體耦接該第十三電晶體之第二源/汲極。
9. 如申請專利範圍第 3 項所述之混合電壓輸出入緩衝器，該閘極電壓追隨單元更包括：一第六電晶體，其第一源/汲極耦接該第四電晶體之第一源/汲極，其第二源/汲極及基體耦接該第四電晶體之第二源/汲極；一第七電晶體，其第一源/汲極耦接該第六電晶體之閘極，其第二源/汲極及基體耦接該第一電晶體之第二源/汲極；一第十五電晶體，其閘極耦接該第一電壓，其第一源/汲極耦接該第二電晶體之第二源/汲極，其第二源/汲極耦接該第七電晶體之閘極；以及一第十六電晶體，其閘極耦接該輸入級單元，其第一源/汲極耦接該第七電晶體之閘極，其第二源/汲極及基體耦接該第一電壓。
10. 如申請專利範圍第 9 項所述之混合電壓輸出入緩衝器，該輸入級單元包括：一第十七電晶體，其閘極耦接該第十六電晶體之閘極，其第一源/汲極耦接該第三電晶體之第一源/汲極，其第二源/汲極及基體耦接該第一電壓；一反相器，其輸入端耦接該第十七電晶體之第一源/汲極，其輸出端耦接該第十七電晶體之閘極；以及一緩衝器，其輸入端耦接該反相器之輸出端。
11. 如申請專利範圍第 1 項所述之混合電壓輸出入緩衝器，其中該輸入級單元包括：一第十七電晶體，其第一源/汲極耦接該第三電晶體之第一源/汲極，其第二源/汲極及基體耦接該第一電壓；一反相器，其輸入端耦接該第十七電晶體之第一源/汲極，其輸出端耦接該第十七電晶體之閘極；以及一緩衝器，其輸入端耦接該反相器之輸出端。
12. 如申請專利範圍第 1 項所述之混合電壓輸出入緩衝器，更包括：一第十八電晶體，其閘極耦接該第一電壓，其第一源/汲極耦接該第二電晶體之第二源/汲極，其第二源/汲極耦接該第三電晶體之第一源/汲極。
13. 如申請專利範圍第 1 項所述之混合電壓輸出入緩衝器，其中該焊墊為一輸入焊墊。
14. 如申請專利範圍第 1 項所述之混合電壓輸出入緩衝器，其中該焊墊為一輸出焊墊。

圖式簡單說明

圖 1 繪示為傳統混合電壓輸出入緩衝器電路圖。

圖 2 繪示為傳統混合電壓輸出入緩衝器電路圖。

圖 3 繪示為傳統混合電壓輸出入緩衝器電路圖。

圖 4 繪示為本發明之一實施例混合電壓輸出入緩衝器示意圖。

圖 5 繪示為本發明之一實施例基體電壓產生單元所提供之基體電壓的圖表。

圖 6 繪示為本發明之一實施例混合電壓輸出入緩衝器電路圖。

圖 7 繪示為本發明之一實施例混合電壓輸出入緩衝器電路圖。

圖 8 繪示為本發明之一實施例混合電壓輸出入緩衝器電路圖。

圖 9 繪示為本發明之一實施例混合電壓輸出入緩衝器的電路圖。

圖 10 繪示為本發明之一實施例混合電壓輸出入緩衝器電路圖。

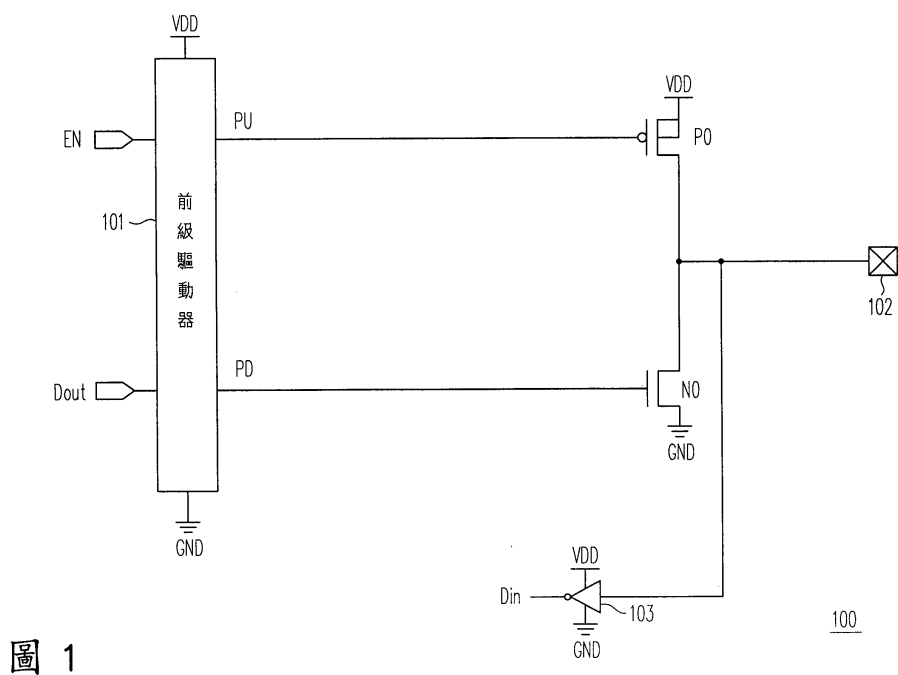


圖 1

(4)

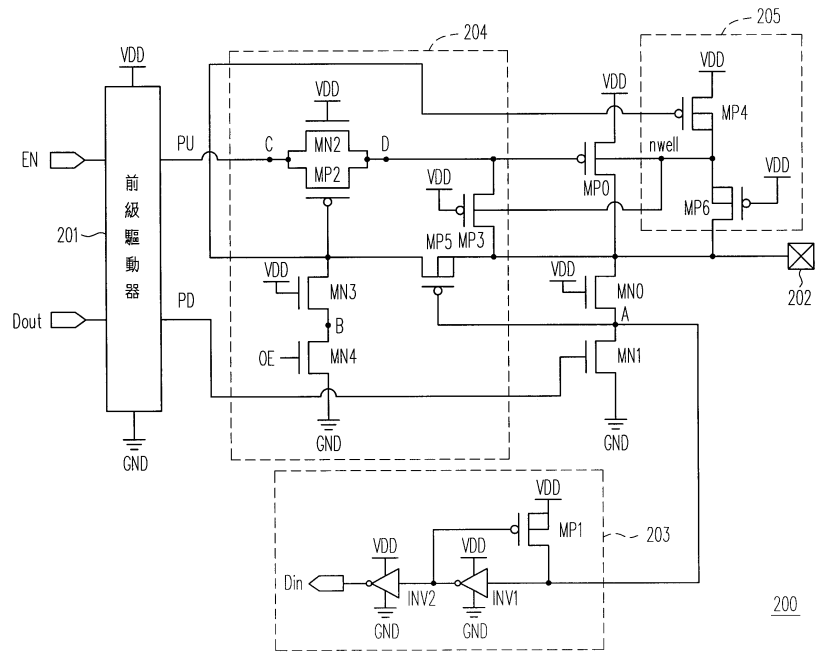


圖 2

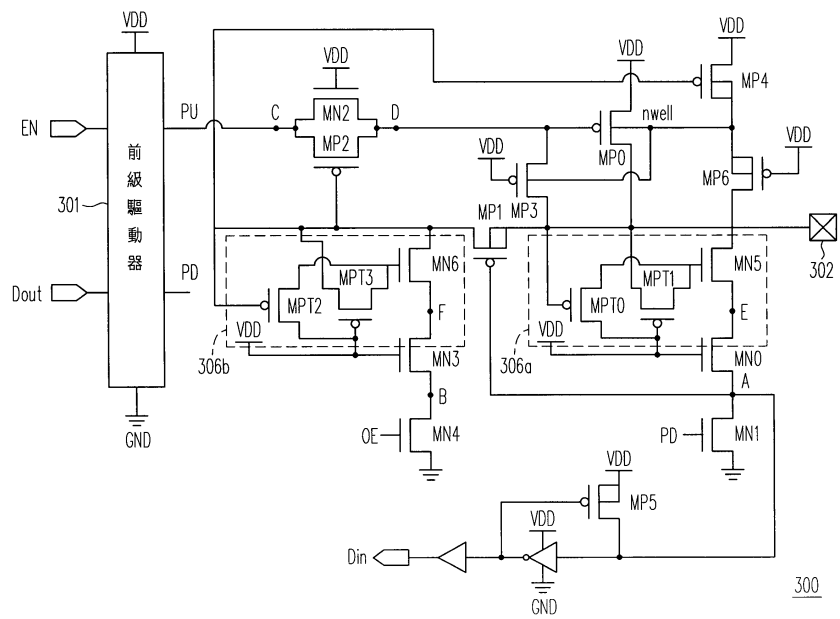


圖 3

(5)

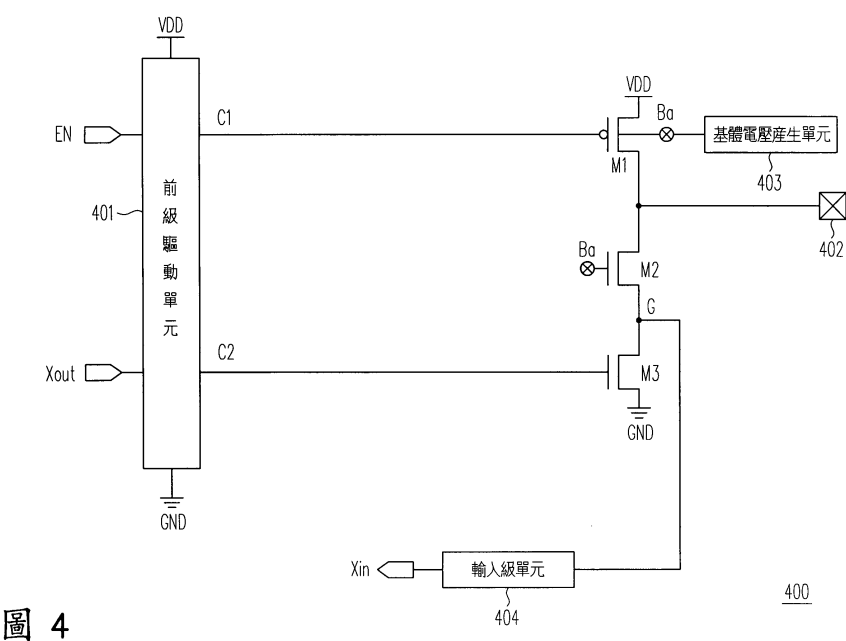


圖 4

操作模式	焊墊之訊號	基體電壓
輸入模式	邏輯低準位 (0V)	邏輯高準位 (VDD)
輸入模式	高電壓準位 (2xVDD)	高電壓準位 (2xVDD)
輸出模式	邏輯低準位 (0V)	邏輯高準位 (VDD)
輸出模式	邏輯高準位 (VDD)	邏輯高準位 (VDD)

圖 5

(6)

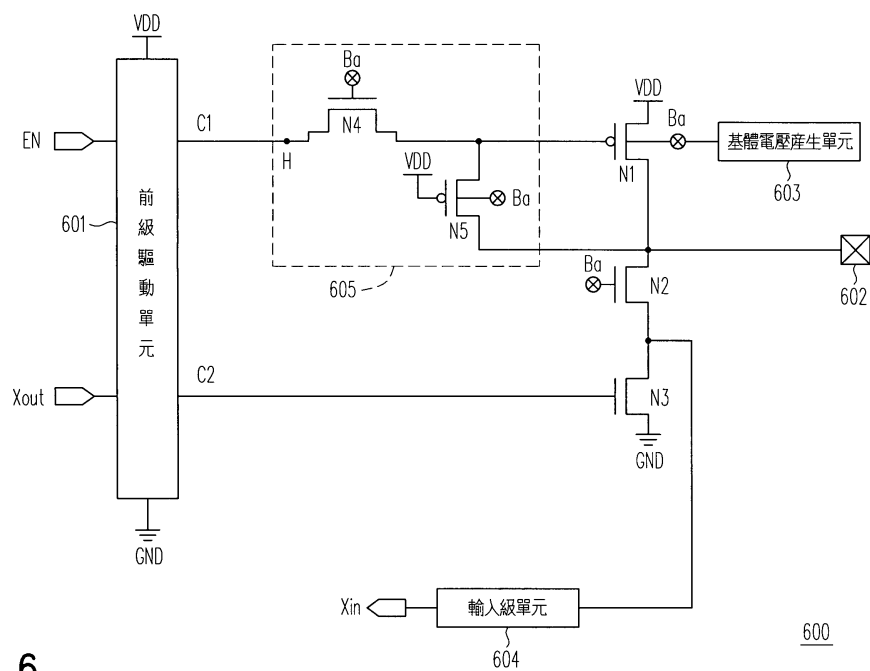


圖 6

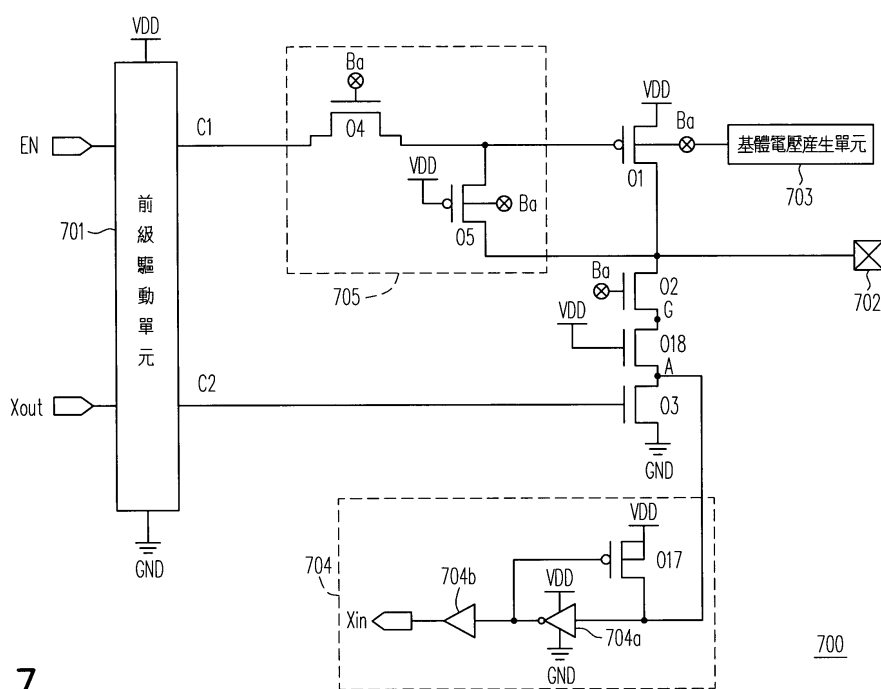


圖 7

(8)

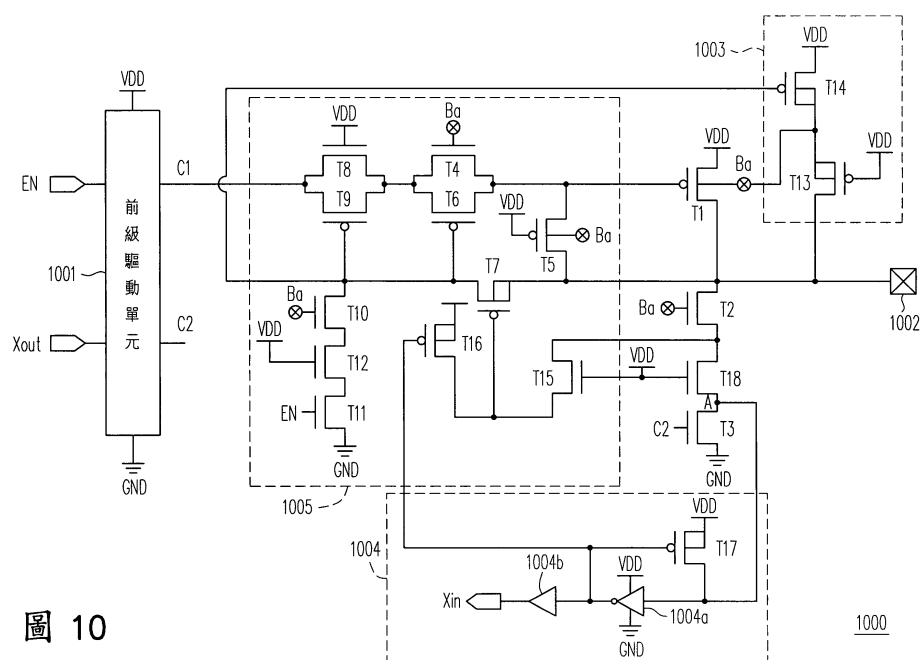


圖 10