

【11】證書號數：I336127

【45】公告日：中華民國 100 (2011) 年 01 月 11 日

【51】Int. Cl.：H01L27/04 (2006.01)

發明

全 6 頁

【54】名稱：靜電放電保護裝置及其製造方法

ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND
FABRICATION METHOD THEREOF

【21】申請案號：096109058

【22】申請日：中華民國 96 (2007) 年 03 月 16 日

【11】公開編號：200840014

【43】公開日期：中華民國 97 (2008) 年 10 月 01 日

【72】發明人：賴泰翔 (TW) LAI, TAI HSIANG；張瑋仁 (TW) CHANG, WEI JEN；柯明道 (TW) KER, MING DOU；唐天浩 (TW) TANG, TIEN HAO

【71】申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.
新竹市新竹科學工業園區力行二路 3 號

【74】代理人：詹銘文；蕭錫清

【56】參考文獻：

TW 503536

TW 200505021A

US 6137140

US 2002/0145163A1

[57]申請專利範圍

1. 一種靜電放電保護裝置，包括：一基底；一 N 型井，配置於該基底中；一 P 型摻雜區，配置於該 N 型井中；一第一 N + 型摻雜區，配置於該 P 型摻雜區中；一第一 P + 型摻雜區，配置於該 P 型摻雜區中；一第二 P + 型摻雜區，配置於該 N 型井中以及該 P 型摻雜區外，其中該第二 P + 型摻雜區與該 P 型摻雜區不相接觸；一閘極，其配置於該 N 型井上以及於該第二 P + 型摻雜區與該 P 型摻雜區之間；一第一電極，其經由一第一電性導體連接該第一 N + 型摻雜區與該第一 P + 型摻雜區；以及一第二電極，其經由一第二電性導體連接該第二 P + 型摻雜區與該閘極。
2. 如申請專利範圍第 1 項所述之靜電放電保護裝置，其中該 P 型摻雜區為 P 型漸進區。
3. 如申請專利範圍第 1 項所述之靜電放電保護裝置，更包括一第一場氧化層，其配置於該 N 型井中以及該閘極與該第一 P + 型摻雜區之間。
4. 如申請專利範圍第 1 項所述之靜電放電保護裝置，更包括：一第二 N + 型摻雜區，配置於該 N 型井中以及該 P 型摻雜區外，其中該第二 N + 型摻雜區與該 P 型摻雜區不相接觸。
5. 如申請專利範圍第 4 項所述之該靜電放電保護裝置，其中該第二 P + 型摻雜區與該第二 N + 型摻雜區二者相鄰接。
6. 如申請專利範圍第 1 項所述之靜電放電保護裝置，更包括：一 N 型場區，配置於該 N 型井中；以及一第三 N + 型摻雜區，配置於該 N 型場區中，其中該第二電極經由該第二電性導體連接該第三 N + 型摻雜區。
7. 如申請專利範圍第 6 項所述之靜電放電保護裝置，更包括一第二場氧化層，其配置於該 N 型井中以及該第二 P + 型摻雜區與該第三 N + 型摻雜區之間。
8. 如申請專利範圍第 1 項所述之靜電放電保護裝置，其中該第一電極電性連接至一焊墊。
9. 如申請專利範圍第 1 項所述之靜電放電保護裝置，其中該第二電極電性連接至一系統電壓軌線。

10. 如申請專利範圍第 1 項所述之該靜電放電保護裝置，其中該第一電性導體與該第二電性導體係為金屬。
11. 如申請專利範圍第 1 項所述之該靜電放電保護裝置，其中該第一 P + 型摻雜區與該第一 N + 型摻雜區二者相鄰接。
12. 一種靜電放電保護裝置，包括：一 N 型基底；一 P 型摻雜區，配置於該 N 型基底中；一第一 N + 型摻雜區，配置於該 P 型摻雜區中；一第一 P + 型摻雜區，配置於該 P 型摻雜區中；一第二 P + 型摻雜區，配置於該 N 型基底中以及該 P 型摻雜區外，其中該第二 P + 型摻雜區與該 P 型摻雜區不相接觸；一閘極，其配置於該 N 型基底上以及於該第二 P + 型摻雜區與該 P 型摻雜區之間；一第一電極，其經由一第一電性導體連接該第一 N + 型摻雜區與該第一 P + 型摻雜區；以及一第二電極，其經由一第二電性導體連接該第二 P + 型摻雜區與該閘極。
13. 如申請專利範圍第 12 項所述之靜電放電保護裝置，其中該 P 型摻雜區為 P 型漸進區。
14. 如申請專利範圍第 12 項所述之靜電放電保護裝置，更包括一第一場氧化層，其配置於該 N 型基底中以及該閘極與該第一 P + 型摻雜區之間。
15. 如申請專利範圍第 12 項所述之靜電放電保護裝置，更包括：一第二 N + 型摻雜區，配置於該 N 型基底中以及該 P 型摻雜區外，其中該第二 N + 型摻雜區與該 P 型摻雜區不相接觸。
16. 如申請專利範圍第 15 項所述之該靜電放電保護裝置，其中該第二 P + 型摻雜區與該第二 N + 型摻雜區二者相鄰接。
17. 如申請專利範圍第 12 項所述之靜電放電保護裝置，更包括：一 N 型場區，配置於該 N 型基底中；以及一第三 N + 型摻雜區，配置於該 N 型場區中，其中該第二電極經由該第二電性導體連接該第三 N + 型摻雜區。
18. 如申請專利範圍第 17 項所述之靜電放電保護裝置，更包括一第二場氧化層，其配置於該 N 型基底中以及該第二 P + 型摻雜區與該第三 N + 型摻雜區之間。
19. 如申請專利範圍第 12 項所述之靜電放電保護裝置，其中該第一電極電性連接至一焊墊。
20. 如申請專利範圍第 12 項所述之靜電放電保護裝置，其中該第二電極電性連接至一系統電壓軌線。
21. 如申請專利範圍第 12 項所述之該靜電放電保護裝置，其中該第一電性導體與該第二電性導體係為金屬。
22. 如申請專利範圍第 12 項所述之該靜電放電保護裝置，其中該第一 P + 型摻雜區與該第一 N + 型摻雜區二者相鄰接。
23. 一種靜電放電保護裝置之製造方法，包括：提供一基底；於該基底中形成一 N 型井；於該 N 型井中形成一 P 型摻雜區；於該 P 型摻雜區中形成一第一 N + 型摻雜區；於該 P 型摻雜區中形成一第一 P + 型摻雜區；於該 N 型井中以及該 P 型摻雜區外形成一第二 P + 型摻雜區，其中該第二 P + 型摻雜區與該 P 型摻雜區不相接觸；於該 N 型井上以及於該第二 P + 型摻雜區與該 P 型摻雜區之間形成一閘極；形成一第一電極，其中該第一電極經由一第一電性導體連接該第一 N + 型摻雜區與該第一 P + 型摻雜區；以及形成一第二電極，其中該第二電極經由一第二電性導體連接該第二 P + 型摻雜區與該閘極。
24. 如申請專利範圍第 23 項所述靜電放電保護裝置之製造方法，其中該 P 型摻雜區為 P 型漸進區。
25. 如申請專利範圍第 23 項所述靜電放電保護裝置之製造方法，更包括：於該 N 型井中以及該閘極與該第一 P + 型摻雜區之間形成一第一場氧化層。

(3)

26. 如申請專利範圍第 23 項所述靜電放電保護裝置之製造方法，更包括：於該 N 型井中以及該 P 型摻雜區外形成一第二 N + 型摻雜區，其中該第二 N + 型摻雜區與該 P 型摻雜區不相接觸。
27. 如申請專利範圍第 26 項所述該靜電放電保護裝置之製造方法，其中該第二 P + 型摻雜區與該第二 N + 型摻雜區二者相鄰接。
28. 如申請專利範圍第 23 項所述靜電放電保護裝置之製造方法，更包括：於該 N 型井中形成一 N 型場區；以及於該 N 型場區中形成一第三 N + 型摻雜區，其中該第二電極經由該第二電性導體連接該第三 N + 型摻雜區。
29. 如申請專利範圍第 28 項所述靜電放電保護裝置之製造方法，更包括：於該 N 型井中以及該第二 P + 型摻雜區與該第三 N + 型摻雜區之間形成一第二場氧化層。
30. 如申請專利範圍第 23 項所述靜電放電保護裝置之製造方法，其中該第一電極電性連接至一焊墊。
31. 如申請專利範圍第 23 項所述靜電放電保護裝置之製造方法，其中該第二電極電性連接至一系統電壓軌線。
32. 如申請專利範圍第 23 項所述該靜電放電保護裝置之製造方法，其中該第一電性導體與該第二電性導體係為金屬。
33. 如申請專利範圍第 23 項所述該靜電放電保護裝置之製造方法，其中該第一 P + 型摻雜區與該第一 N + 型摻雜區二者相鄰接。

圖式簡單說明

圖 1 繪示美國專利公告第 6,459,127 號專利案之靜電放電防護裝置之佈局剖面圖。

圖 2 是依照本發明實施例說明一種靜電放電保護裝置之佈局剖面圖。

圖 3 是依照本發明說明圖 2 靜電放電保護裝置之應用範例。

圖 4 為依據本發明說明圖 2 靜電放電保護裝置之另一種應用範例。

圖 5 為依據本發明說明圖 2 靜電放電保護裝置之又一種應用範例。

圖 6 是依照本發明說明靜電放電保護裝置之另一實施範例之佈局剖面圖。

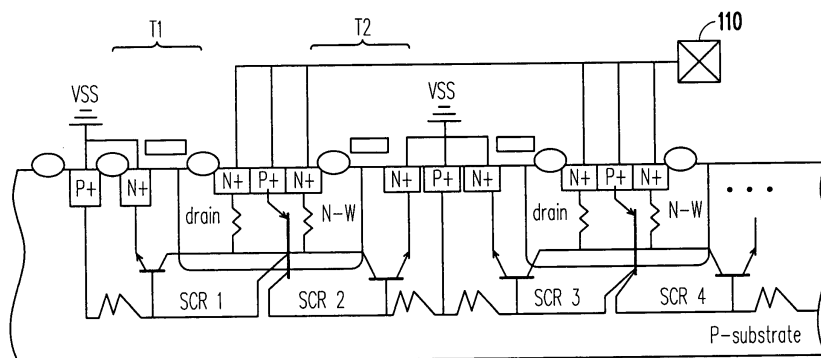


圖 1

(4)

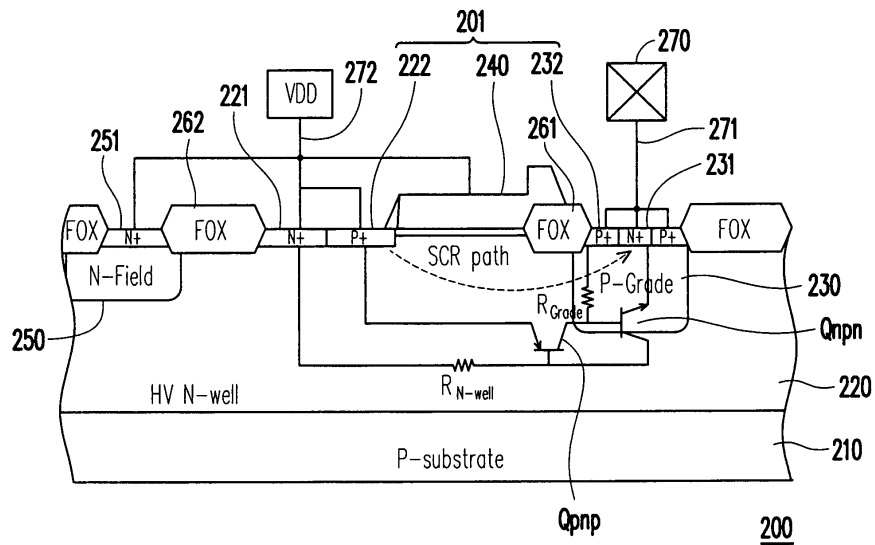


圖 2

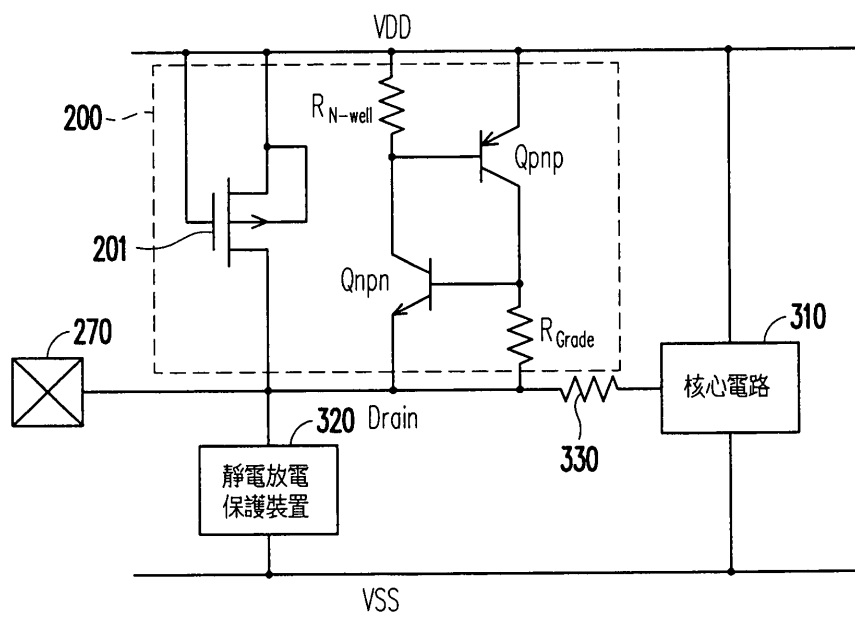


圖 3

(5)

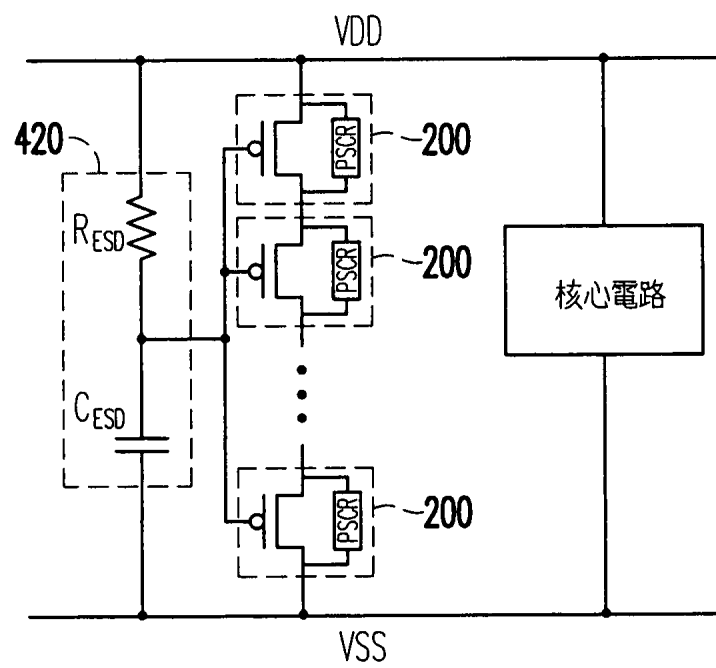


圖 4

(6)

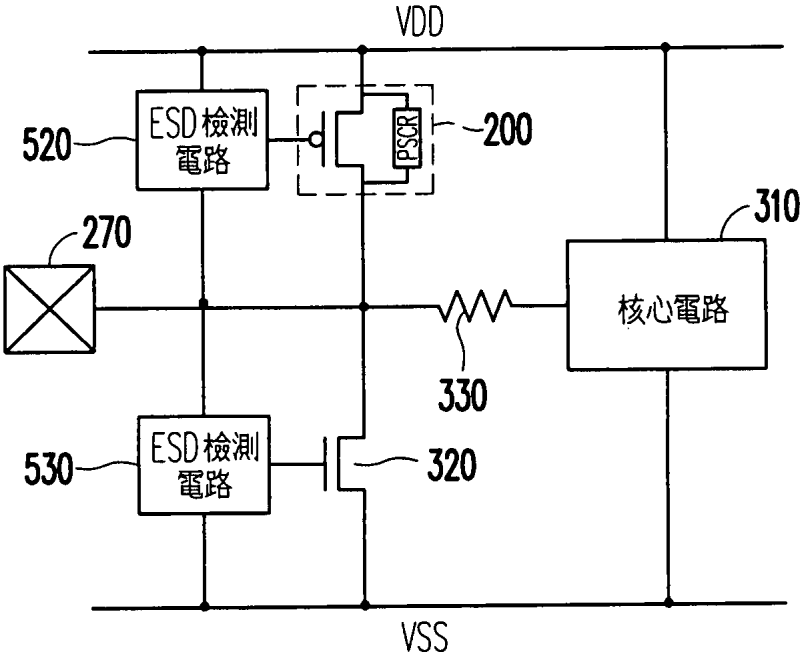


圖 5

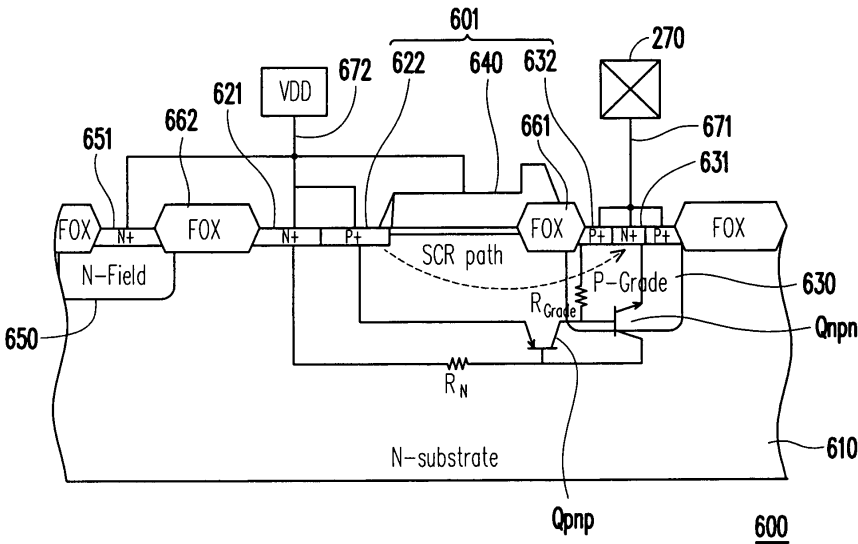


圖 6