

【11】證書號數：I341086

【45】公告日：中華民國 100 (2011) 年 04 月 21 日

【51】Int. Cl. : H03K19/0175(2006.01) H03H9/19 (2006.01)

發明

全 7 頁

【54】名稱：具高低電壓共容特性之介面電路與石英振盪電路

INTERFACE CIRCUIT AND CRYSTAL OSCILLATOR CIRCUIT WITH  
HIGH AND LOW VOLTAGE TOLERANT

【21】申請案號：096128404

【22】申請日：中華民國 96 (2007) 年 08 月 02 日

【11】公開編號：200903998

【43】公開日期：中華民國 98 (2009) 年 01 月 16 日

【30】優先權：2007/07/06

美國

11/773,966

【72】發明人：柯明道 (TW) KER, MING DOU；廖宏泰 (TW) LIAO, HUNG TAI；姜信欽  
(TW) RYAN HSIN CHIN JIANG

【71】申請人：晶焱科技股份有限公司

AMAZING MICROELECTRONIC  
CORPORATION

新北市中和區中正路 716 號 15 樓之 2

【74】代理人：詹銘文；蕭錫清

【56】參考文獻：

US 6456150B1

US 6927602B2

US 6970024B1

## [57]申請專利範圍

1. 一種具高低電壓共容特性之介面電路，包括：一第一電晶體，包括閘極、第一源/汲極、第二源/汲極、以及基體，其第一源/汲極耦接一輸入節點；一基體電壓產生模組，耦接該第一電晶體之第一源/汲極，用以依據該輸入節點之電壓，而決定提供一第一電壓或一特定電壓至該第一電晶體之基體，其中該特定電壓大於該第一電壓；以及一偏壓模組，耦接該第一電晶體之閘極，用以提供一偏壓至該第一電晶體之閘極，使該第一電晶體導通，進而控制該第一電晶體之第二源/汲極電壓。
2. 如申請專利範圍第 1 項所述具高低電壓共容特性之介面電路，其中該第一電壓為系統電壓。
3. 如申請專利範圍第 1 項所述具高低電壓共容特性之介面電路，其中該輸入節點為一輸入焊墊。
4. 如申請專利範圍第 1 項所述具高低電壓共容特性之介面電路，更包括：一第二電晶體，其第一與第二源/汲極分別耦接該第一電晶體之第一與第二源/汲極，而該第二電晶體之閘極耦接該第一電壓。
5. 如申請專利範圍第 1 項所述具高低電壓共容特性之介面電路，其中該偏壓模組包括：一第一電路，耦接於該第一電晶體之第二源/汲極與閘極之間，用以偵測該第一電晶體之第二源/汲極電壓，以提供該偏壓至該第一電晶體之閘極；以及一第二電路，耦接該第一電晶體之第一源/汲極與閘極之間，用以偵測該第一電晶體之第一源/汲極電壓，決定是否調整該偏壓之大小。
6. 如申請專利範圍第 5 項所述具高低電壓共容特性之介面電路，其中該第二電路包括：一第三電晶體，其第一源/汲極耦接該第一電晶體之第一源/汲極，其閘極耦接該第一電壓，其第二源/汲極耦接該第一電晶體之閘極，其基體耦接該第一電晶體之基體。

(2)

7. 如申請專利範圍第 5 項所述具高低電壓共容特性之介面電路，其中該第一電路包括：一第一反相器，其輸入端耦接該第一電晶體之第二源/汲極；一第四電晶體，其第一源/汲極耦接一第二電壓，其閘極耦接該第一反相器之輸出端；一第五電晶體，其第一源/汲極耦接該第四電晶體之第二源/汲極，其閘極耦接該第一電壓，其第二源/汲極耦接該第一電晶體之閘極；以及一控鎖器，耦接該第四電晶體之第二源/汲極。
8. 如申請專利範圍第 7 項所述具高低電壓共容特性之介面電路，其中該第二電壓為接地電壓。
9. 如申請專利範圍第 7 項所述具高低電壓共容特性之介面電路，其中該控鎖器包括：一第二反相器，其輸入端耦接該第四電晶體之第二源/汲極；以及一第三反相器，其輸入端耦接該第二反相器之輸出端，其輸出端耦接該第二反相器之輸入端。
10. 如申請專利範圍第 1 項所述具高低電壓共容特性之介面電路，其中該基體電壓產生模組包括：一第六電晶體，其第一源/汲極耦接該第一電晶體之第一源/汲極，其閘極耦接該第一電壓，其第二源/汲極及基體耦接該第一電晶體之基體；以及一第七電晶體，其第一源/汲極耦接該第一電壓，其閘極耦接該第一電晶體之閘極，其第二源/汲極及基體耦接該第一電晶體之基體。
11. 如申請專利範圍第 1 項所述具高低電壓共容特性之介面電路，更包括：一反相放大器，其輸入端耦接該第一電晶體之第二源/汲極，其輸出端耦接一輸出節點。
12. 如申請專利範圍第 11 項所述具高低電壓共容特性之介面電路，其中該輸出節點為一輸出焊墊。
13. 如申請專利範圍第 11 項所述具高低電壓共容特性之介面電路，其中該反相放大器包括：一第八電晶體，其第一源/汲極耦接該第一電壓，其閘極耦接該第一電晶體之第二源/汲極，其第二源/汲極耦接該輸出節點；一第九電晶體，其第一源/汲極耦接該第八電晶體之第一源/汲極，其閘極接收一致能信號，其第二源/汲極耦接該第八電晶體之第二源/汲極；一第十電晶體，其第一源/汲極耦接該第八電晶體之第二源/汲極，其閘極耦接該第九電晶體之閘極；以及一第十一電晶體，其第一源/汲極耦接該第十電晶體之第二源/汲極，其閘極耦接該第八電晶體之閘極，其第二源/汲極耦接一第二電壓。
14. 一種具高低電壓共容特性之石英振盪電路，包括：一石英單元，耦接一輸入焊墊與一輸出焊墊之間，用以提供一振盪信號；一第一電晶體，包括閘極、第一源/汲極、第二源/汲極、以及基體，其第一源/汲極耦接該輸入焊墊；一基體電壓產生模組，耦接該第一電晶體之第一源/汲極，用以依據該輸入焊墊之電壓，而決定提供一第一電壓或一特定電壓至該第一電晶體之基體，其中該特定電壓大於該第一電壓；一偏壓模組，耦接該第一電晶體之閘極，用以提供一偏壓至該第一電晶體之閘極，使該第一電晶體導通，進而控制該第一電晶體之第二源/汲極電壓；以及一反相放大器，其輸入端耦接該第一電晶體之第二源/汲極，其輸出端耦接該輸出焊墊。
15. 如申請專利範圍第 14 項所述具高低電壓共容特性之石英振盪電路，其中該第一電壓為系統電壓。
16. 如申請專利範圍第 14 項所述具高低電壓共容特性之石英振盪電路，更包括：一第二電晶體，其第一源/汲極耦接該第一電晶體之第一源/汲極，其閘極耦接該第一電壓，其第二源/汲極耦接該第一電晶體之第二源/汲極。
17. 如申請專利範圍第 14 項所述具高低電壓共容特性之石英振盪電路，其中該偏壓模組包括：一第一電路，耦接該第一電晶體之第二源/汲極與閘極之間，用以偵測該第一電晶體之第二源/汲極電壓，以提供該偏壓至該第一電晶體之閘極；以及一第二電路，耦接於該

(3)

第一電晶體之第一源/汲極與閘極之間，用以偵測該第一電晶體之第一源/汲極電壓，決定是否調整該偏壓之大小。

18. 如申請專利範圍第 17 項所述具高低電壓共容特性之石英振盪電路，其中該第二電路包括：一第三電晶體，其第一源/汲極耦接該第一電晶體之第一源/汲極，其閘極耦接該第一電壓，其第二源/汲極耦接該第一電晶體之閘極，其基體耦接該第一電晶體之基體。
19. 如申請專利範圍第 17 項所述具高低電壓共容特性之石英振盪電路，其中該第一電路包括：一第一反相器，其輸入端耦接該第一電晶體之第二源/汲極；一第四電晶體，其第一源/汲極耦接一第二電壓，其閘極耦接該第一反相器之輸出端；一第五電晶體，其第一源/汲極耦接該第四電晶體之第二源/汲極，其閘極耦接該第一電壓，其第二源/汲極耦接該第一電晶體之閘極；以及一拴鎖器，耦接該第四電晶體之第二源/汲極。
20. 如申請專利範圍第 19 項所述具高低電壓共容特性之石英振盪電路，其中該第二電壓為接地電壓。
21. 如申請專利範圍第 19 項所述具高低電壓共容特性之石英振盪電路，其中該拴鎖器包括：一第二反相器，其輸入端耦接該第四電晶體之第二源/汲極；以及一第三反相器，其輸入端耦接該第二反相器之輸出端，其輸出端耦接該第二反相器之輸入端。
22. 如申請專利範圍第 14 項所述具高低電壓共容特性之石英振盪電路，其中該基體電壓產生模組包括：一第六電晶體，其第一源/汲極耦接該第一電晶體之第一源/汲極，其閘極耦接該第一電壓，其第二源/汲極及基體耦接該第一電晶體之基體；以及一第七電晶體，其第一源/汲極耦接該第一電壓，其閘極耦接該第一電晶體之閘極，其第二源/汲極及基體耦接該第一電晶體之基體。
23. 如申請專利範圍第 14 項所述具高低電壓共容特性之石英振盪電路，其中該反相放大器包括：一第八電晶體，其第一源/汲極耦接該第一電壓，其閘極耦接該第一電晶體之第二源/汲極，其第二源/汲極耦接該輸出焊墊；一第九電晶體，其第一源/汲極耦接該第八電晶體之第一源/汲極，其閘極接收一致能信號，其第二源/汲極耦接該第八電晶體之第二源/汲極；一第十電晶體，其第一源/汲極耦接該第八電晶體之第二源/汲極，其閘極耦接該第九電晶體之閘極；以及一第十一電晶體，其第一源/汲極耦接該第十電晶體之第二源/汲極，其閘極耦接該第八電晶體之閘極，其第二源/汲極耦接一第二電壓。
24. 如申請專利範圍第 14 項所述具高低電壓共容特性之石英振盪電路，其中該石英單元包括：一石英，其第一端耦接該輸入焊墊，其第二端耦接該輸出焊墊；一電阻，其第一端耦接該石英之第一端，其第二端耦接該石英之第二端；一第一電容，其第一端耦接該石英之第一端，其第二端耦接一第二電壓；以及一第二電容，其第一端耦接該石英之第二端，其第二端耦接該第二電壓。

#### 圖式簡單說明

圖 1A 繪示為傳統石英振盪電路的部分電路圖。

圖 1B 繪示為傳統以低壓元件實施之石英振盪電路的電路圖。

圖 2A 繪示為本發明之一實施例的具有高低電壓共容特性之介面電路的示意圖。

圖 2B 繪示為本發明之一實施例的具有高低電壓共容特性之介面電路的電路圖。

圖 3A 繪示為本發明之一實施例的具有高低電壓共容特性之石英振盪電路的示意圖。

圖 3B 繪示為本發明之一實施例的具有高低電壓共容特性之石英振盪電路的電路圖。

圖 4A、圖 4B 繪示為本發明之一實施例的石英振盪電路之輸出入訊號波形圖。

(4)

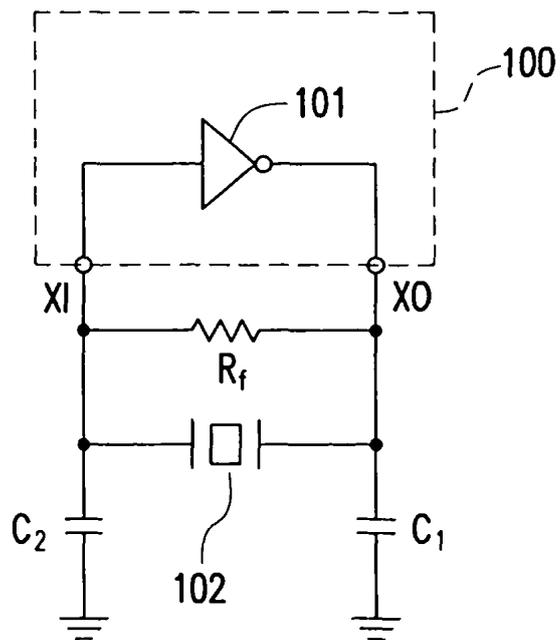


圖 1A

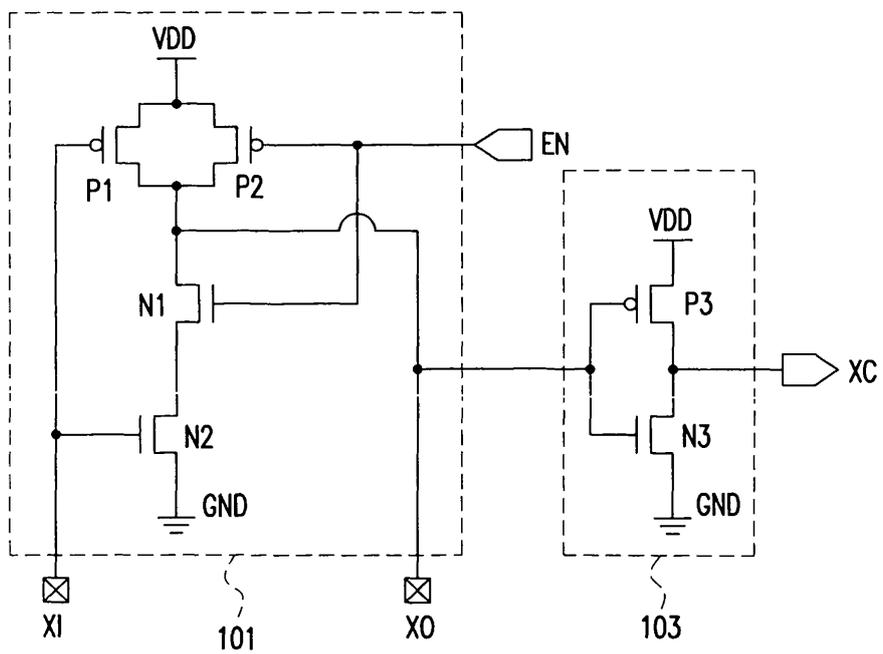


圖 1B

(5)

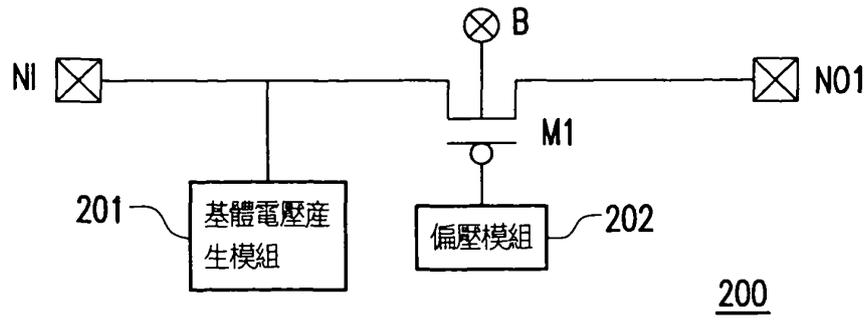


圖 2A

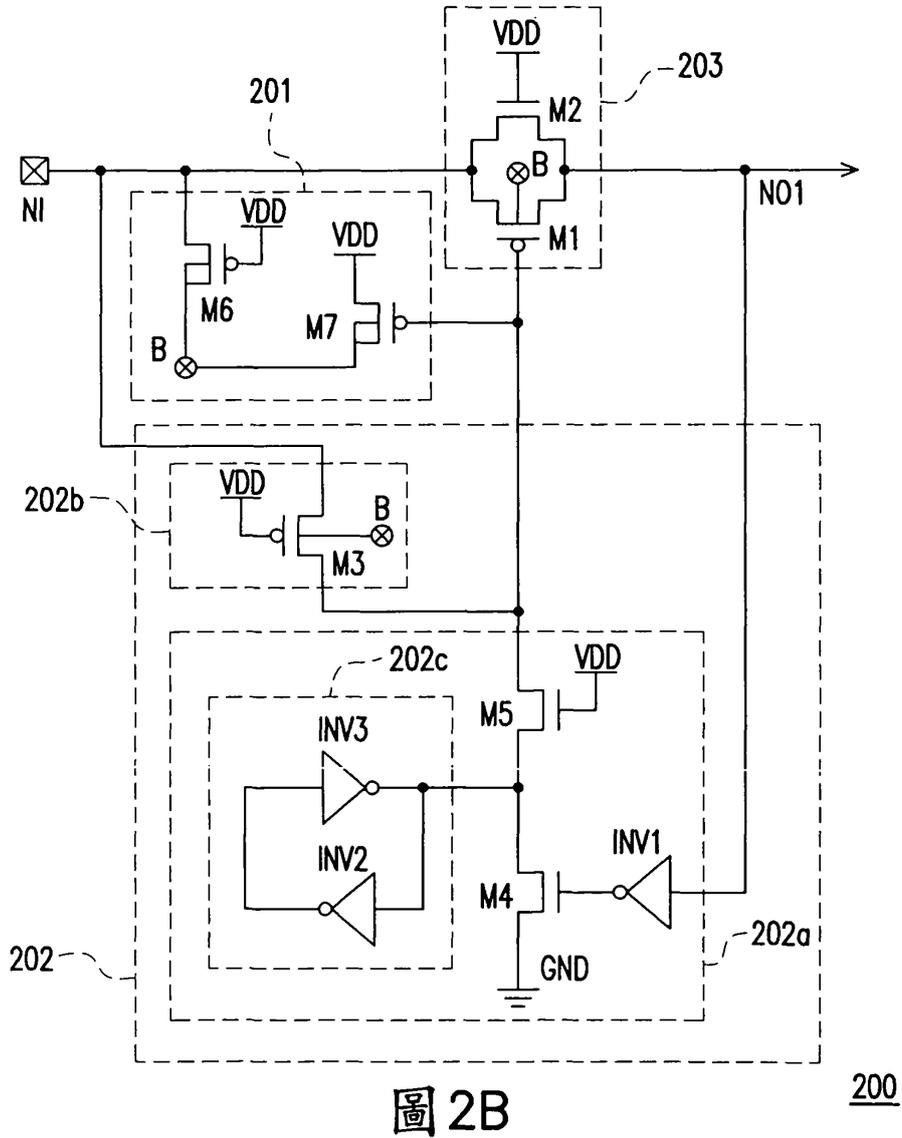


圖 2B

(6)

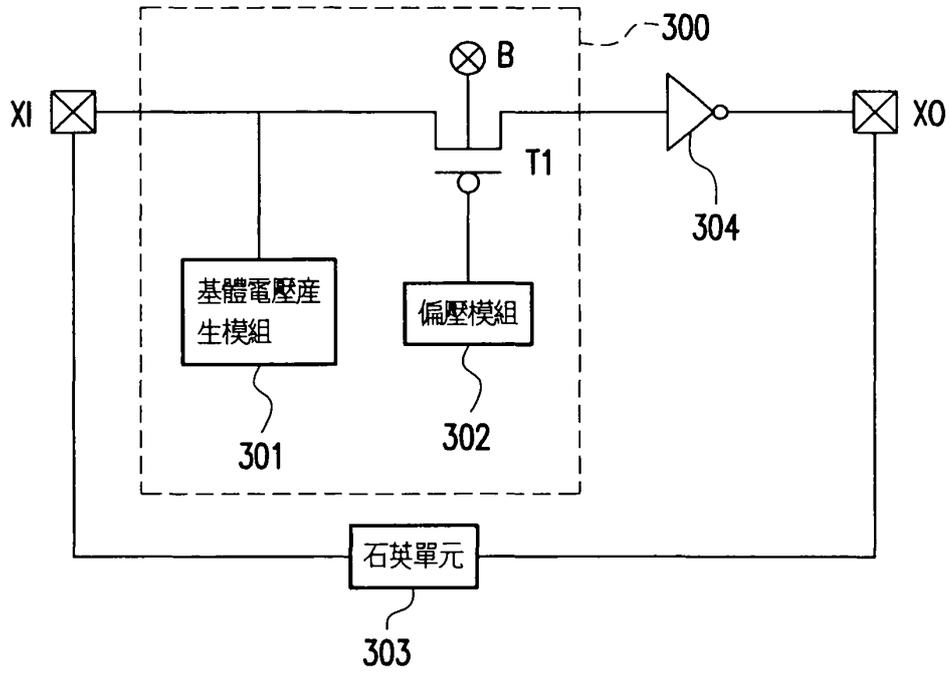


圖 3A

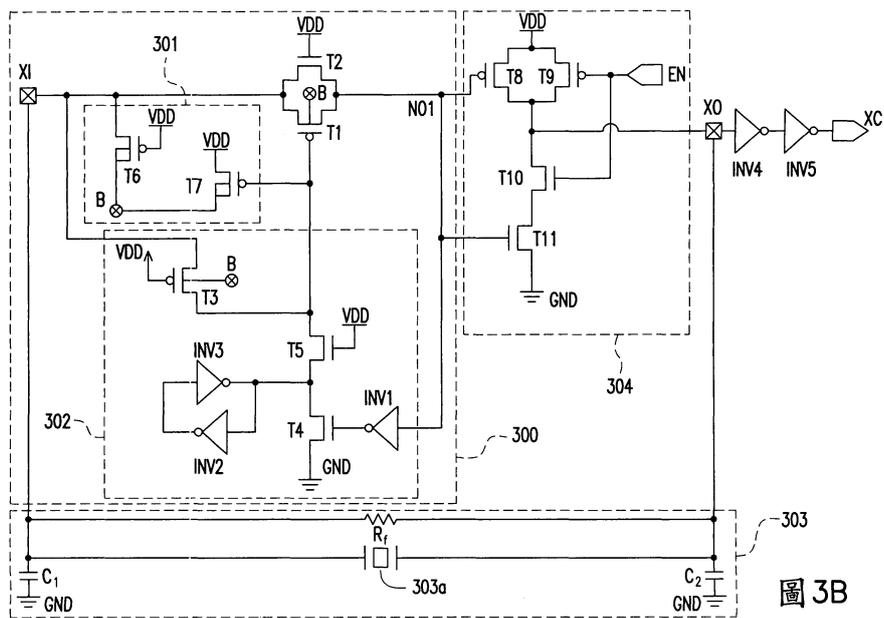


圖 3B

(7)

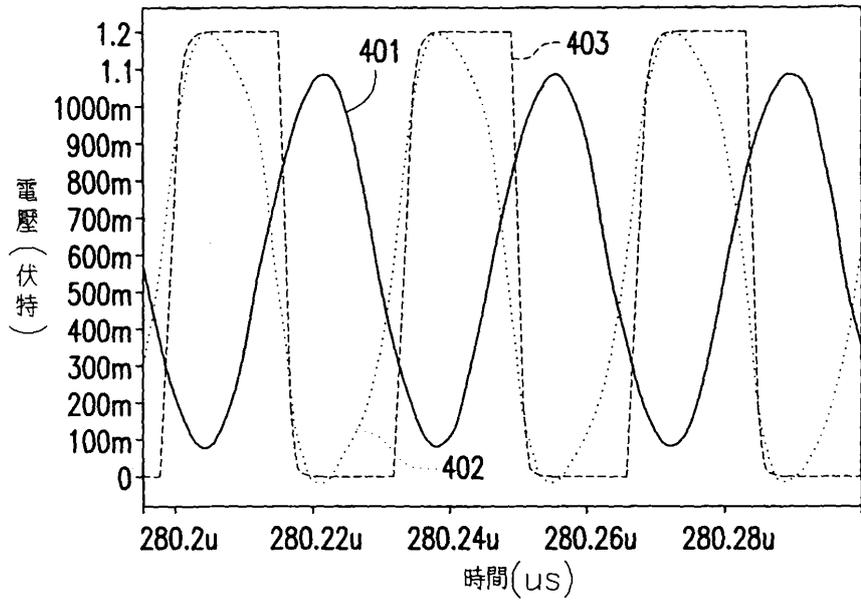


圖 4A

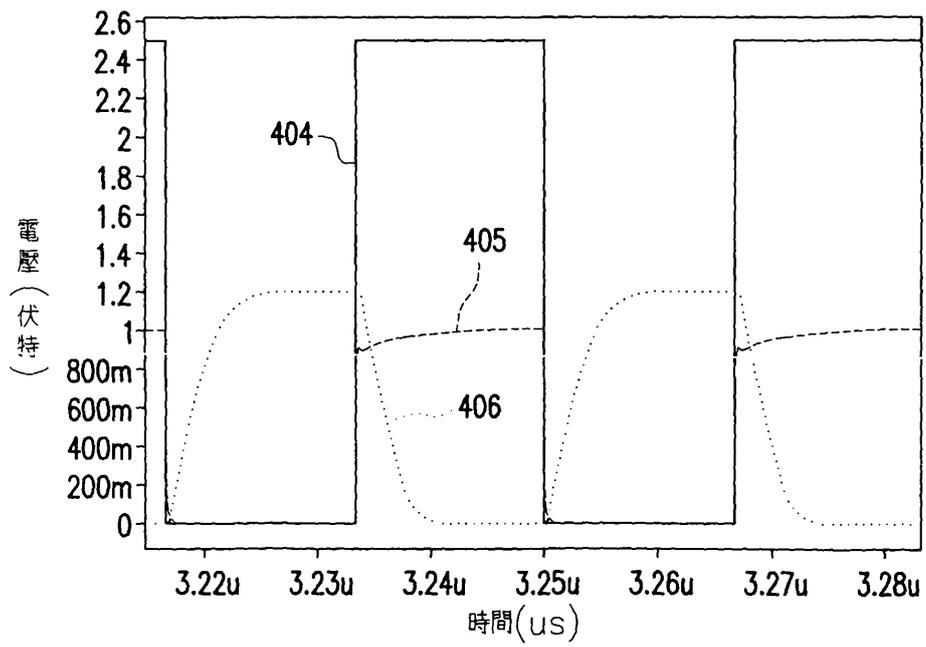


圖 4B

