

【11】證書號數：I341574

【45】公告日：中華民國 100 (2011) 年 05 月 01 日

【51】Int. Cl. : H01L23/48 (2006.01) H01L21/50 (2006.01)

發明

全 6 頁

【54】名稱：設置於半導體裝置中的銲墊結構與相關方法

BONDING PAD STRUCTURE SET IN SEMICONDUCTOR DEVICE AND RELATED METHOD

【21】申請案號：095145161

【22】申請日：中華民國 95 (2006) 年 12 月 05 日

【11】公開編號：200826263

【43】公開日期：中華民國 97 (2008) 年 06 月 16 日

【72】發明人：柯明道 (TW) KER, MING DOU；蕭淵文 (TW) HSIAO, YUAN WEN；曾玉光 (TW) TSENG, YUH KUANG

【71】申請人：智原科技股份有限公司 FARADAY TECHNOLOGY CORP.
新竹市新竹科學工業園區力行三路 5 號

【74】代理人：吳豐任；戴俊彥

【56】參考文獻：

TW I226117

US 2002/0142512A

US 2006/0151851A1

[57]申請專利範圍

1. 一種設置於一半導體裝置中的銲墊結構，該半導體裝置包含有一基底，該銲墊結構包含有：一連接結構，用以容許一打線連接於其上；以及一電感結構，耦合於該連接結構且至少包含一金屬層，用以降低該打線與該基底間的一等效電容值 C_{eff} ；其中該等效電容

值 C_{eff} 滿足以下方程式：

$$C_{eff} = \frac{1}{\frac{1}{C_{pad}} + \frac{1}{C_{para} - \frac{1}{\omega^2 L}}} \quad C_{pad} \text{ 取決於連接打線之傳統銲}$$

墊金屬層與基底間之等效電容、L 為該金屬層與該基底之間一等效電感、 C_{para} 為該電感結構內之一寄生電容、 ω 為一訊號頻率；於一特定頻率範圍內，該等效電容值 C_{eff} 係小於該電容 C_{pad} ，且當 $\omega = 1/\sqrt{LC_{para}}$ 時，該等效電容值 C_{eff} 實質上會等於零。

2. 如申請專利範圍第 1 項所述之銲墊結構，其中該電感結構係設置於該基底與該連接結構之間。
3. 如申請專利範圍第 2 項所述之銲墊結構，其中該電感結構之面積實質上係等於該連接結構之面積。
4. 如申請專利範圍第 1 項所述之銲墊結構，其中該電感結構包含有複數層金屬層，該複數層金屬層中之每一金屬層皆形成一線圈結構。
5. 如申請專利範圍第 4 項所述之銲墊結構，其中該複數層金屬層中每二相鄰之金屬層係透過一導孔相互連接。
6. 一種於一半導體裝置上形成一銲墊結構的方法，其包含有：於該半導體裝置的一基底上方形成一電感結構，其中該電感結構包含有至少一金屬層；以及於該電感結構上方形成一連接結構；其中該電感結構與該連接結構係構成該銲墊結構，該連接結構係容許一打線連接於其上；其中該打線與該基底間的一等效電容值 C_{eff} 滿足以下方程式：

(2)

$$C_{eff} = \frac{1}{\frac{1}{C_{pad}} + \frac{1}{C_{para} - \frac{1}{\omega^2 L}}}$$

C_{pad} 取決於連接打線之傳統鐳墊金屬層與基底間之等效電

容、 L 為該金屬層與該基底之間一等效電感、 C_{para} 為該電感結構內之一寄生電容、 ω 為一訊號頻率；於一特定頻率範圍內，該等效電容值 C_{eff} 係小於該電容 C_{pad} ，且當

$\omega = 1 / \sqrt{LC_{para}}$ 時，該等效電容值 C_{eff} 實質上會等於零。

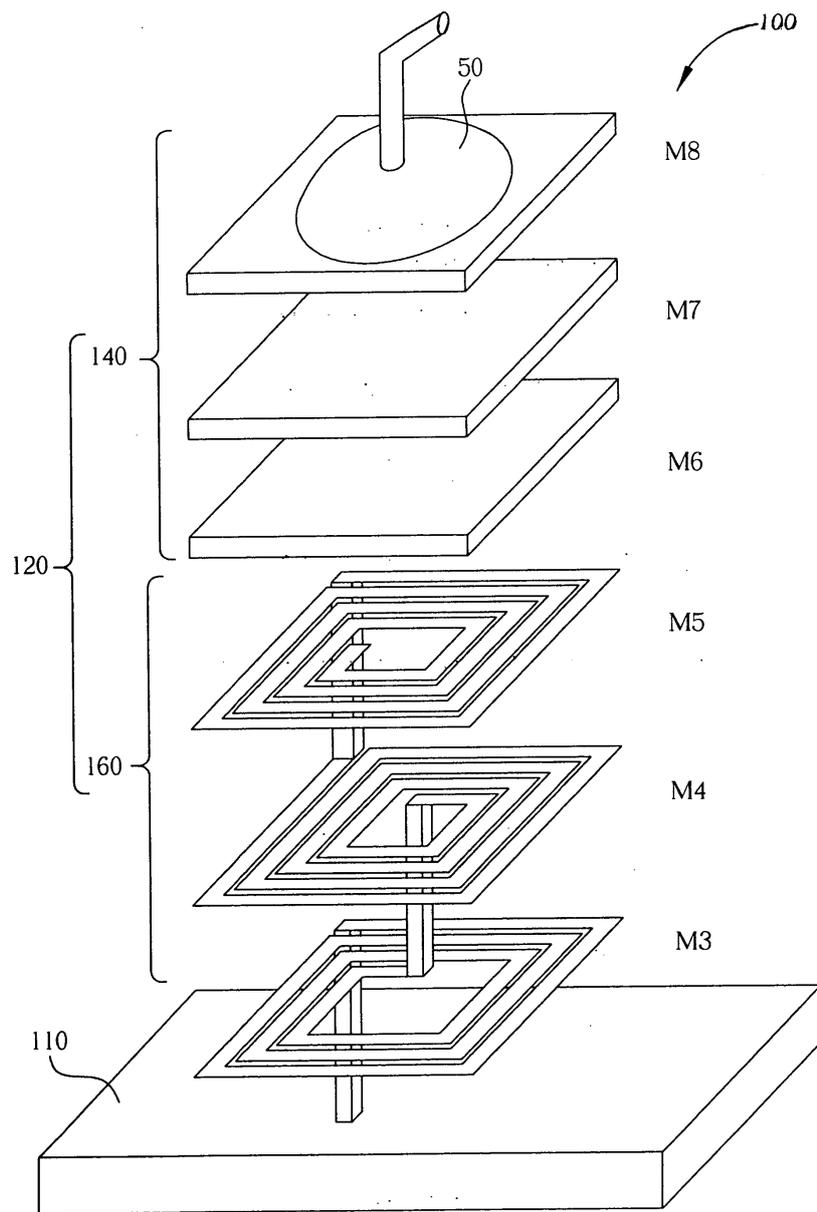
7. 如申請專利範圍第 6 項所述之方法，其中該電感結構之面積實質上係等於該連接結構之面積。
8. 如申請專利範圍第 6 項所述之方法，其中該電感結構包含有複數層金屬層，該複數層金屬層中之每一金屬層皆形成一線圈結構。
9. 如申請專利範圍第 8 項所述之方法，其中該複數層金屬層中每二相鄰之金屬層係透過一導孔相互連接。

圖式簡單說明

第 1 圖、第 3 圖、及第 4 圖為本發明之鐳墊結構的實施例示意圖。

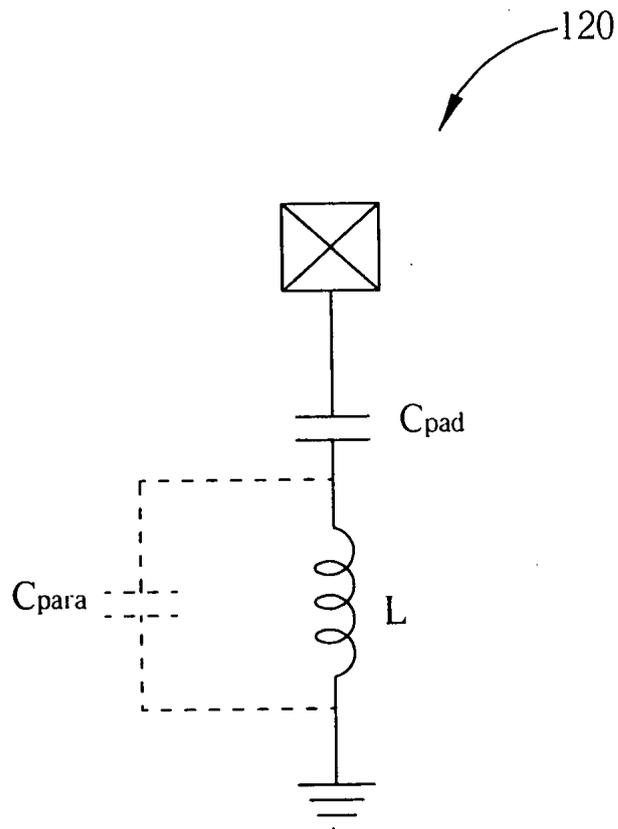
第 2 圖為第 1 圖之鐳墊結構的等效電路圖。

(3)



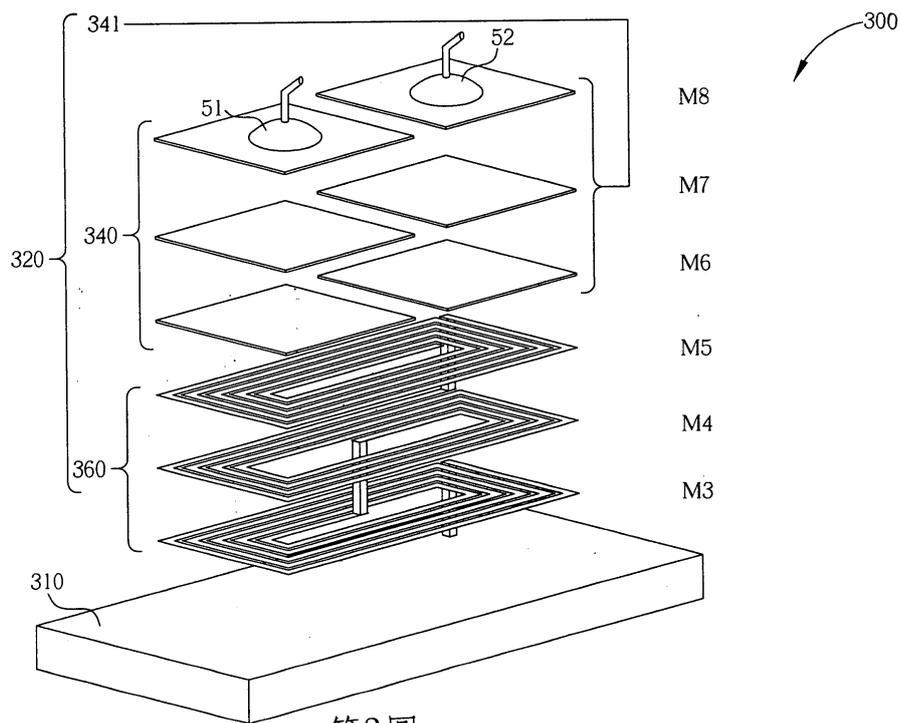
第1圖

(4)



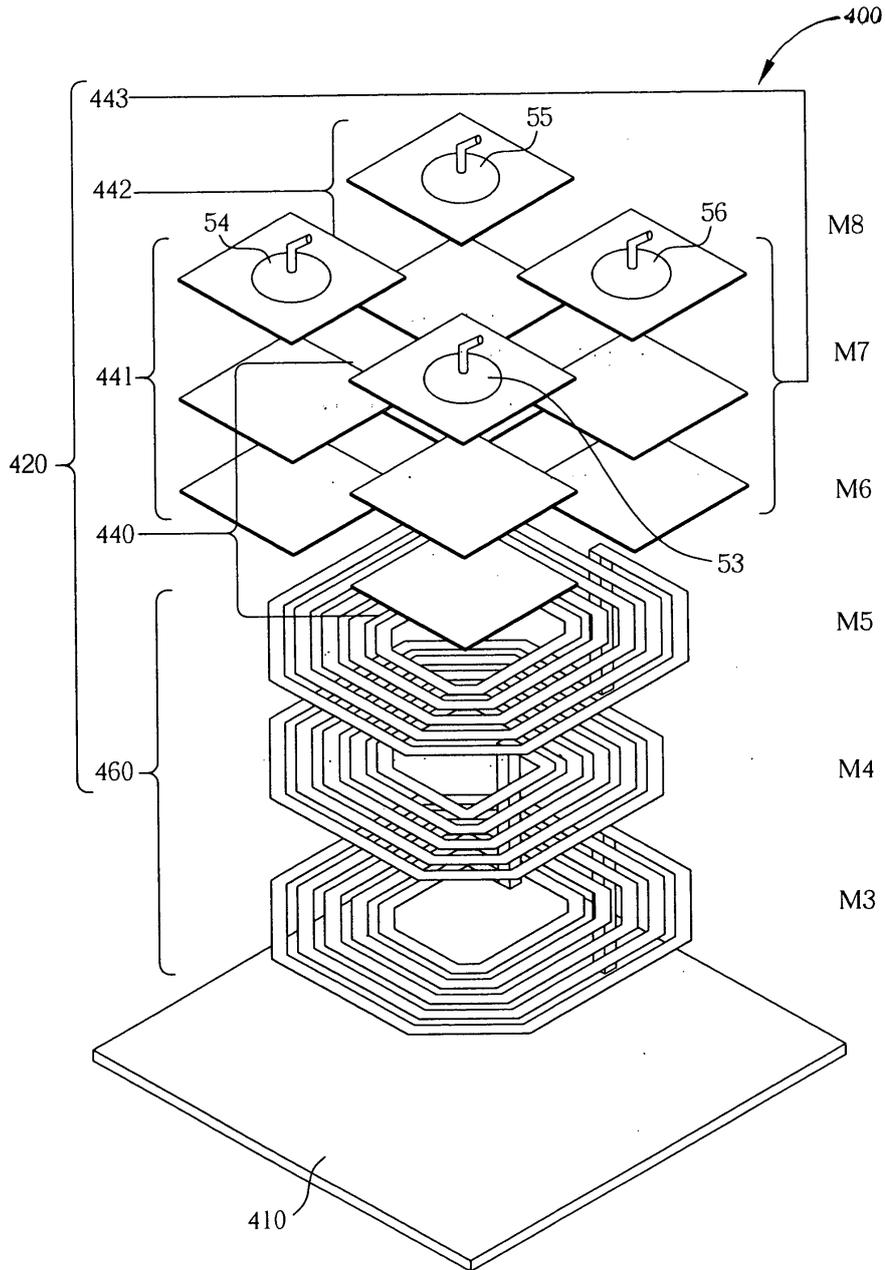
第2圖

(5)



第3圖

(6)



第4圖