

【11】證書號數：I343118

【45】公告日：中華民國 100 (2011) 年 06 月 01 日

【51】Int. Cl.：H01L27/02 (2006.01) H01L23/60 (2006.01)

發明

全 12 頁

【54】名稱：運用自偏壓電流觸發技術以及源極端升壓機制的靜電放電保護電路
ESD PROTECTION CIRCUIT USING SELF-BIASED CURRENT TRIGGER
TECHNIQUE AND PUMPING SOURCE MECHANISM

【21】申請案號：096133292 【22】申請日：中華民國 96 (2007) 年 09 月 06 日

【11】公開編號：200814290 【43】公開日期：中華民國 97 (2008) 年 03 月 16 日

【30】優先權：2006/09/07 美國 60/824,795
2007/04/26 美國 11/740,904

【72】發明人：陳世宏 (TW) CHEN, SHIH HUNG；柯明道 (TW) KER, MING DOU

【71】申請人：財團法人工業技術研究院 INDUSTRIAL TECHNOLOGY
RESEARCH INSTITUTE

新竹縣竹東鎮中興路 4 段 195 號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

TW	I240404	TW	200428634
US	6462601B1	US	2003/0206045A1
US	2005/0083623A1		

[57]申請專利範圍

1. 一種可提供靜電放電(ESD)保護的電路，包含：一第一電晶體，包含一第一閘極與一第一源極，該第一閘極連接至一導電墊片(Conductive Pad)；一阻抗裝置，係位於該第一源極與可提供一電阻器的一第一電源線(Power Rail)之間；一第二電晶體，包含一第二閘極與一第二源極，該第二源極透過該阻抗裝置連接至該第一電源線；以及一箝制裝置，係位於該第一電源線與一第二電源線之間，其中當該導電墊片相對接地時，該箝制裝置可導引一靜電放電電流的一第一部分，且該第二電晶體可導引該靜電放電電流的一第二部分。
2. 如申請專利範圍第 1 項之電路，其中該阻抗裝置包含一電阻器。
3. 如申請專利範圍第 1 項之電路，其中該阻抗裝置包含一第一摻雜類型的一第一擴散區。
4. 如申請專利範圍第 3 項之電路，其中該第一擴散區與該第一電源線之間更包含一第二摻雜類型的一第二擴散區。
5. 如申請專利範圍第 1 項之電路，其中該第二閘極透過一電阻器連接至該第二電源線。
6. 如申請專利範圍第 1 項之電路，其中該箝制裝置包含至少一二極體串(Diode String)與一電晶體之一。
7. 如申請專利範圍第 1 項之電路，其中該箝制裝置可在靜電放電電壓(ESD Stress)期間提供一寄生二極體。
8. 如申請專利範圍第 1 項之電路，其中該箝制裝置包含彼此並聯的一第一二極體串與一第二二極體串。
9. 如申請專利範圍第 1 項之電路，更包含一第三電晶體，其中該第三電晶體包含一第一端子連接至該導電墊片以及一第二端子連接至該第二電源線。

10. 如申請專利範圍第 1 項之電路，更包含一第三電晶體，其中該第三電晶體可提供一寄生二極體與一寄生雙極電晶體之一來導引該靜電放電電流的該第一部分通過該箝制裝置。
11. 如申請專利範圍第 1 項之電路，更包含一第三電晶體，其中該第三電晶體可提供一第一寄生二極體來導引該靜電放電電流的該第一部分通過該箝制裝置，以及一第二電晶體可提供一第二寄生二極體來導引該靜電放電電流的該第二部分。
12. 如申請專利範圍第 1 項之電路，更包含：一第三電晶體，包含一第三閘極與一第三源極，該第三閘極連接至該導電墊片；以及一阻抗裝置，其位於該第三源極與可提供一電阻器的一第三電源線之間。
13. 如申請專利範圍第 12 項之電路，更包含：一第四電晶體，包含一第四閘極與一第四源極，該第四源極透過位於該第三源極與該第三電源線之間的該阻抗裝置連接至該第三電源線；以及一箝制裝置，其位於該第三電源線與一第四電源線之間。
14. 一種可提供靜電放電保護的電路，包含：一第一電晶體，包含一第一閘極與一第一源極，該第一閘極連接至一導電墊片；一阻抗裝置，係位於該第一源極與可提供一電阻器的一第一電源線之間；一第二電晶體，包含一第二源極，該第二源極透過該阻抗裝置連接至該第一電源線；一箝制裝置，係位於該第一電源線與一第二電源線之間，以及一第三電晶體，當該導電墊片相對接地時，可透過導引一靜電放電電流的一第一部份通過該箝制裝置，其中當該靜電放電電流的該第一部分通過該箝制裝置時，該第二電晶體可導引該導電墊片與該第一電源線之間該靜電放電電流的一第二部分。
15. 如申請專利範圍第 14 項之電路，其中該阻抗裝置包含一電晶體。
16. 如申請專利範圍第 14 項之電路，其中該阻抗裝置包含一第一摻雜類型的一第一擴散區。
17. 如申請專利範圍第 16 項之電路，另在該第一擴散區與該第一電源線之間包含一第二摻雜類型的一第二擴散區。
18. 如申請專利範圍第 14 項之電路，其中該第二電晶體包含透過一電阻器連接至該第二電源線的一第二閘極。
19. 如申請專利範圍第 14 項之電路，其中該箝制裝置包含至少一二極體串與一電晶體之一。
20. 如申請專利範圍第 14 項之電路，其中該箝制裝置在靜電放電電壓期間提供一寄生二極體。
21. 如申請專利範圍第 14 項之電路，其中該箝制裝置包含彼此並聯的一第一二極體串與一第二二極體串。
22. 如申請專利範圍第 14 項之電路，其中該第三電晶體包含一第一端子連接至該導電墊片以及一第二端子連接至該第二電源線。
23. 如申請專利範圍第 14 項之電路，其中該第三電晶體提供一寄生二極體與一寄生雙極電晶體之一來導引該靜電放電電流的該第一部分通過該箝制裝置。
24. 如申請專利範圍第 14 項之電路，其中該第三電晶體提供一第一寄生二極體來導引該靜電放電電流的該第一部分通過該箝制裝置，以及一第二電晶體可提供一第二寄生二極體來導引該靜電放電電流的該第二部分。
25. 一種可提供靜電放電保護的電路，包含：一第一電晶體，包含一第一閘極與一第一源極，該第一閘極連接至一導電墊片；一阻抗裝置，係位於該第一源極與可提供一電阻器的一第一電源線之間；以及一第二電晶體，包含一透過該阻抗裝置連接至該第一電源線的一第二源極，當該導電墊片利用導引該導電墊片與該第一電源線之間一部分靜電放電電流來相對接地時，該第二電晶體可增加該第一源極上一電壓位準。
26. 如申請專利範圍第 25 項之電路，更包含位於該第一電源線與一第二電源線之間的一箝制裝置。

27. 如申請專利範圍第 26 項之電路，其中該箝制裝置包含至少一二極體串與一電晶體之一。
28. 如申請專利範圍第 25 項之電路，其中該阻抗裝置包含一第一摻雜類型的第一擴散區。
29. 如申請專利範圍第 28 項之電路，更包含在該第一擴散區與該第一電源線之間之一第二摻雜類型之一第二擴散區。
30. 如申請專利範圍第 25 項之電路，更包含一第三電晶體，其中該第三電晶體可提供一寄生二極體與一寄生雙極電晶體來導引該靜電放電電流一部分。
31. 如申請專利範圍第 25 項之電路，更包含一第三電晶體，其中該第三電晶體可提供一第一寄生二極體來導引該靜電放電電流的該第一部分，以及一第二電晶體可提供一第二寄生二極體來導引該靜電放電電流的一第二部分。

圖式簡單說明

搭配附圖閱讀時，可對於上述總結以及下列本發明詳細說明有更多瞭解。為了說明本發明，圖式內顯示的是較佳具體實施例。不過，吾人應該瞭解，本發明並不受限於所示的精確配置與機構。

圖式中：圖 1 為說明元件充電模型的示意圖；圖 2 為一輸入級反向器的傳統靜電放電保護電路圖解電路圖；圖 3A 為依據本發明之一範例靜電放電保護電路之電路圖；圖 3B 為依據本發明之該範例圖 3A 中所說明之靜電放電保護電路的升壓電晶體之配置圖；圖 3C 為依據本發明之該範例圖 3A 中所說明之靜電放電保護電路的升壓電晶體之配置圖；圖 3D 為圖 3B 中之升壓電晶體之剖面圖；圖 4A 為依據本發明之該範例圖 3A 中所說明之靜電放電保護電路的操作示意圖；圖 4B 為依據本發明之該範例圖 3A 中所說明靜電放電保護電路的操作示意圖；圖 5A 為依據本發明之其他範例的靜電放電保護電路之電路圖；圖 5B 為依據本發明之該範例圖 5A 中所說明的靜電放電保護電路的升壓電晶體之配置圖；圖 5C 為依據本發明之該範例圖 5A 中之靜電放電保護電路的升壓電晶體之配置圖；圖 5D 為圖 5B 中之升壓電晶體之剖面圖；圖 6A 為依據本發明之該範例圖 5A 中所說明之靜電放電保護電路的操作示意圖；圖 6B 為依據本發明之該範例圖 5A 中所說明靜電放電保護電路的操作示意圖；圖 7 為依據本發明之其他範例靜電放電保護電路之電路圖；圖 8 為依據本發明之其他範例靜電放電保護電路之電路圖；圖 9 仍舊為依據本發明之其他範例靜電放電保護電路之電路圖；以及圖 10 為依據本發明之另一範例靜電放電保護電路之電路圖。

(4)

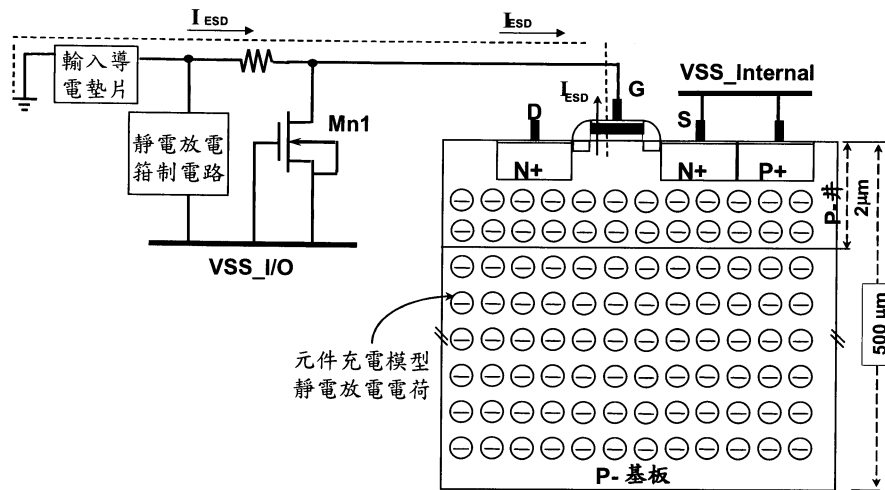


圖 1 (先前技術)

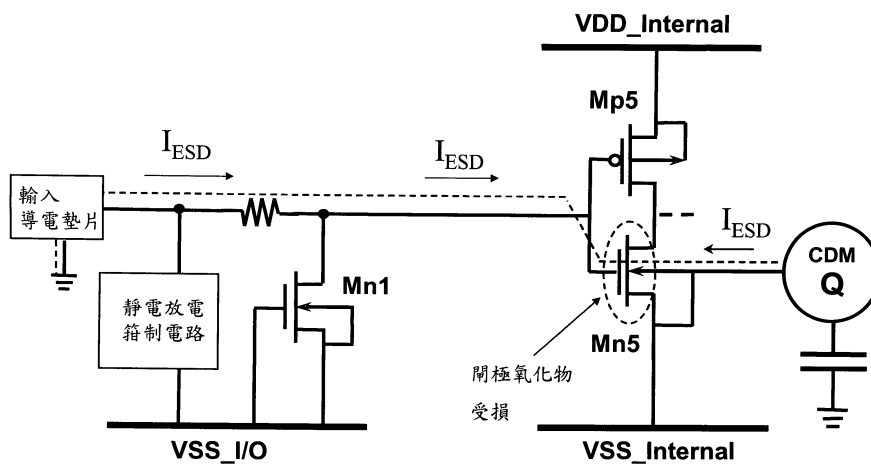


圖 2 (先前技術)

(5)

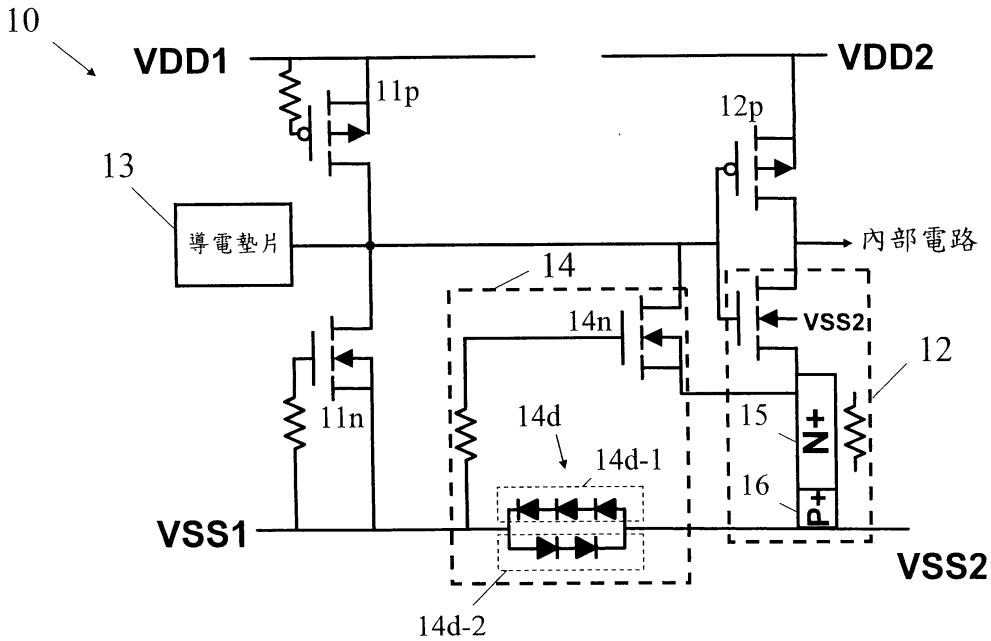
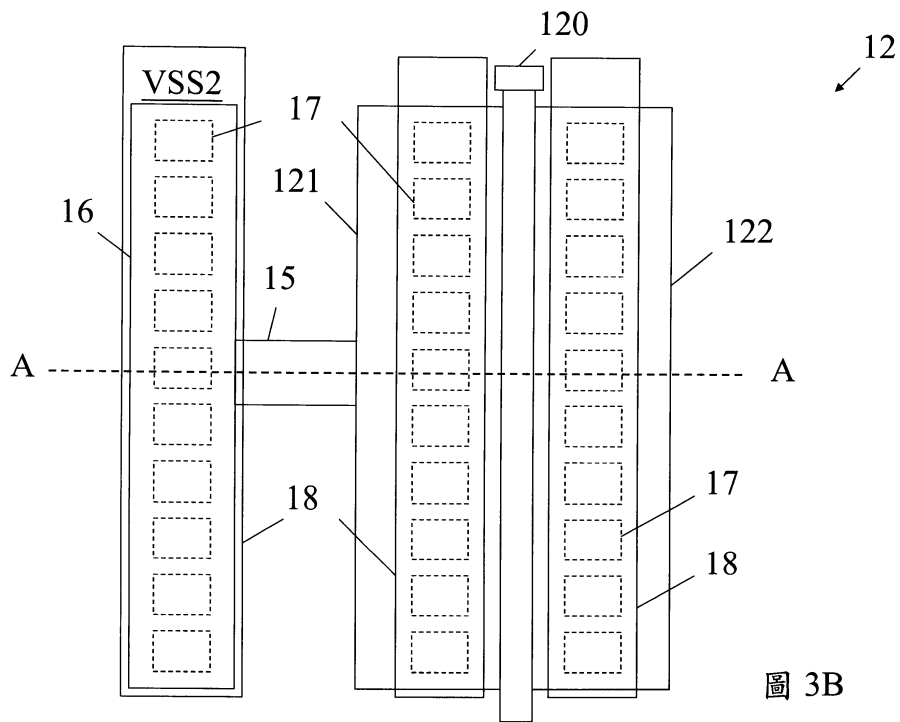


圖 3A



(6)

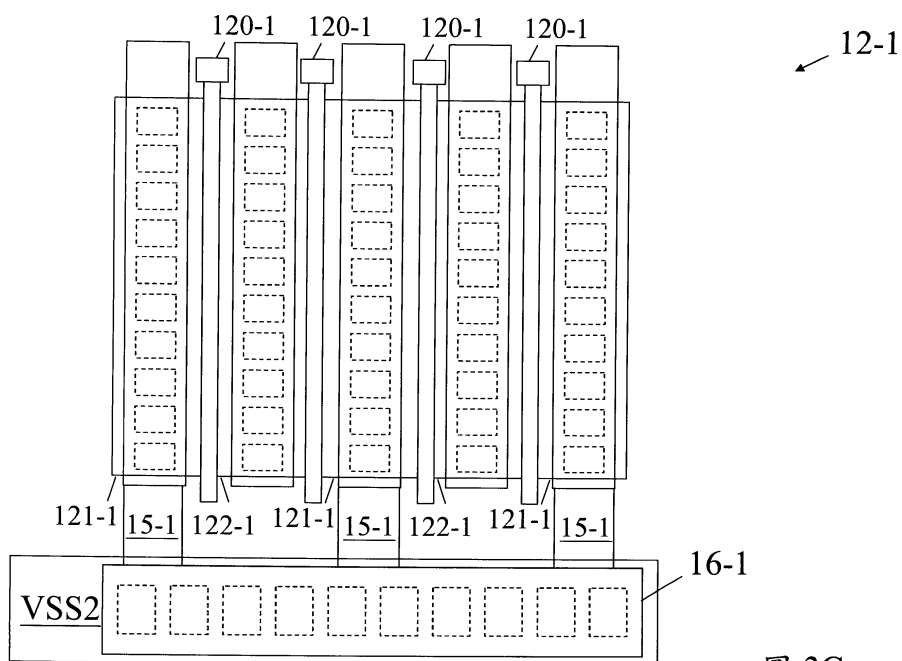


圖 3C

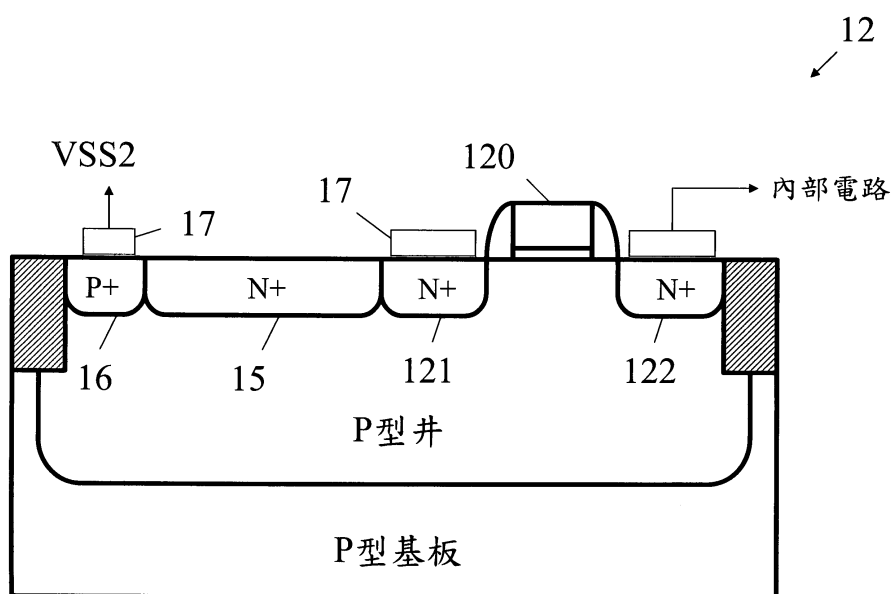


圖 3D

[illegible][illegible]

- 3013 -

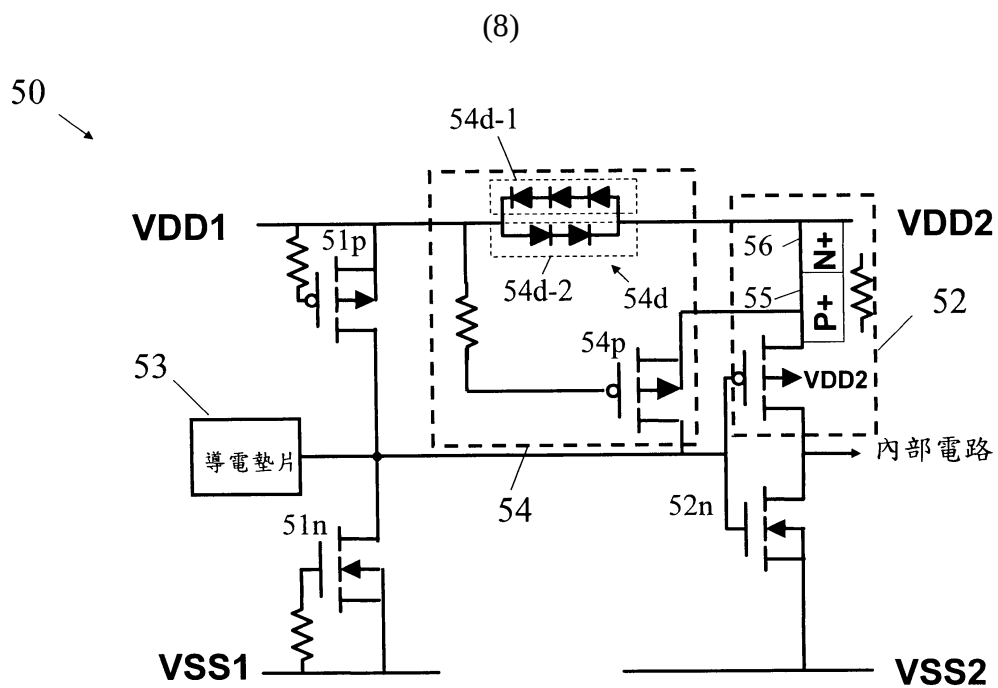
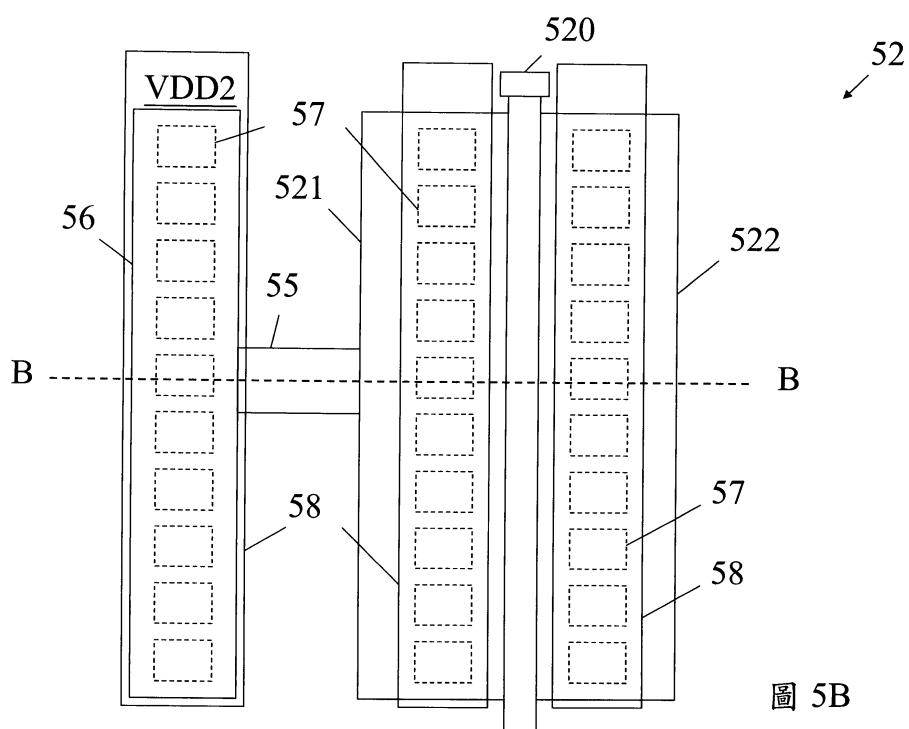


圖 5A



(9)

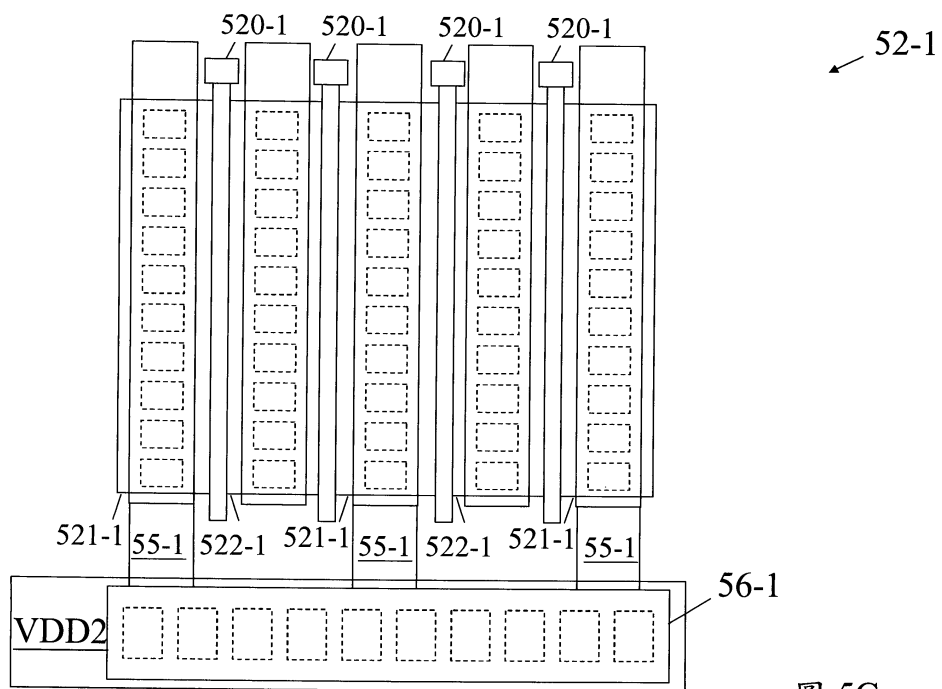


圖 5C

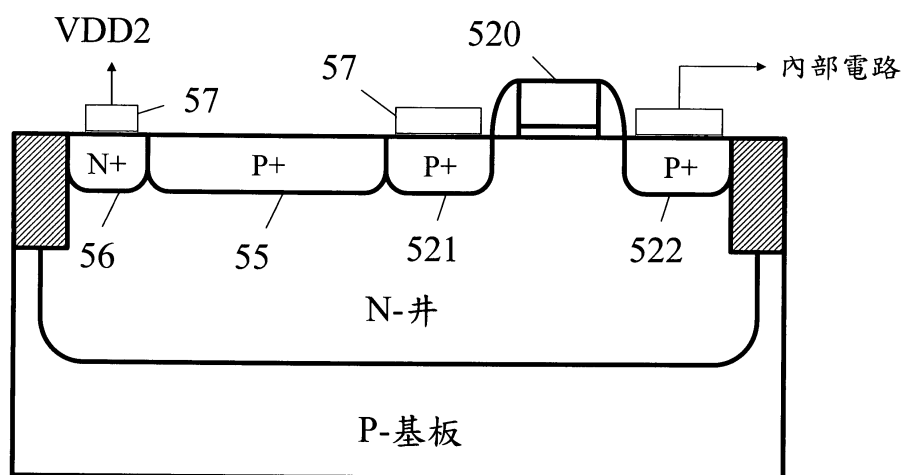


圖 5D

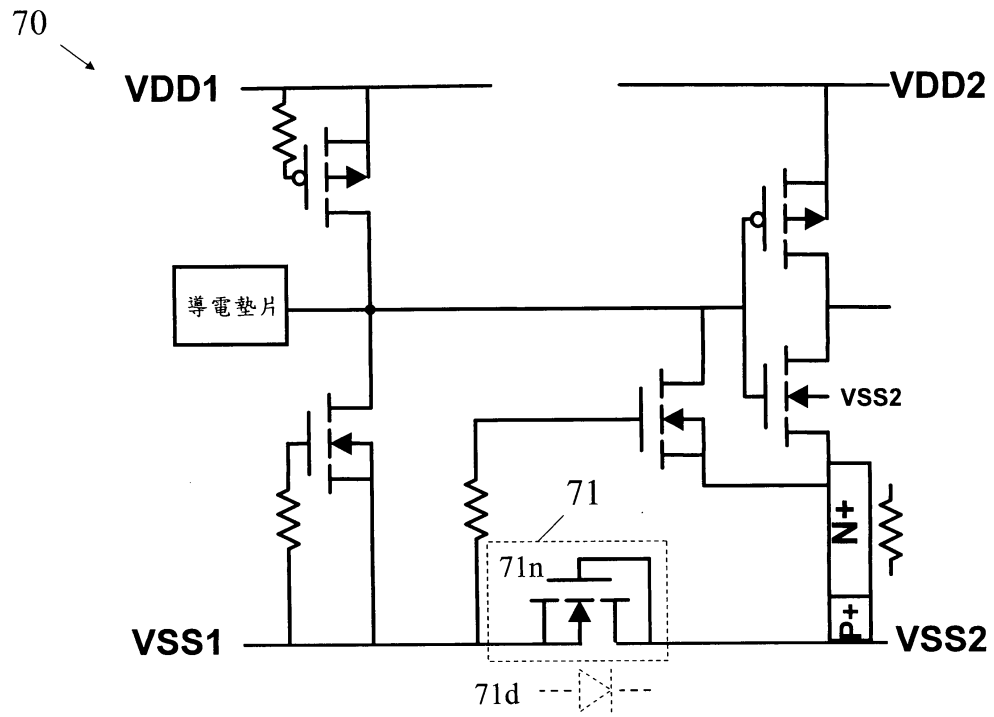


圖 7

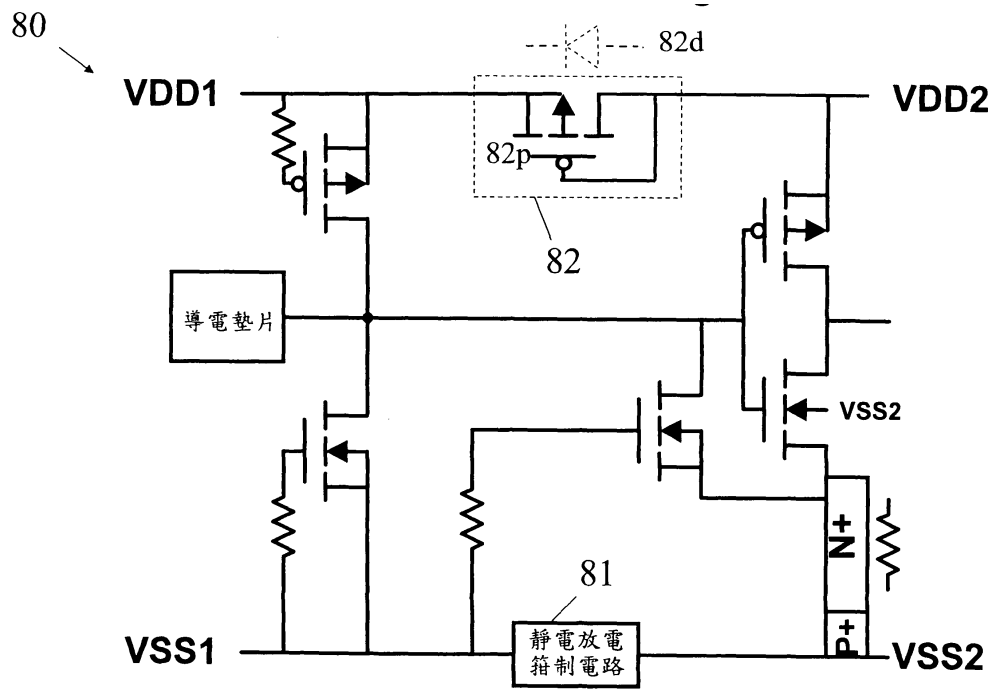


圖 8

(12)

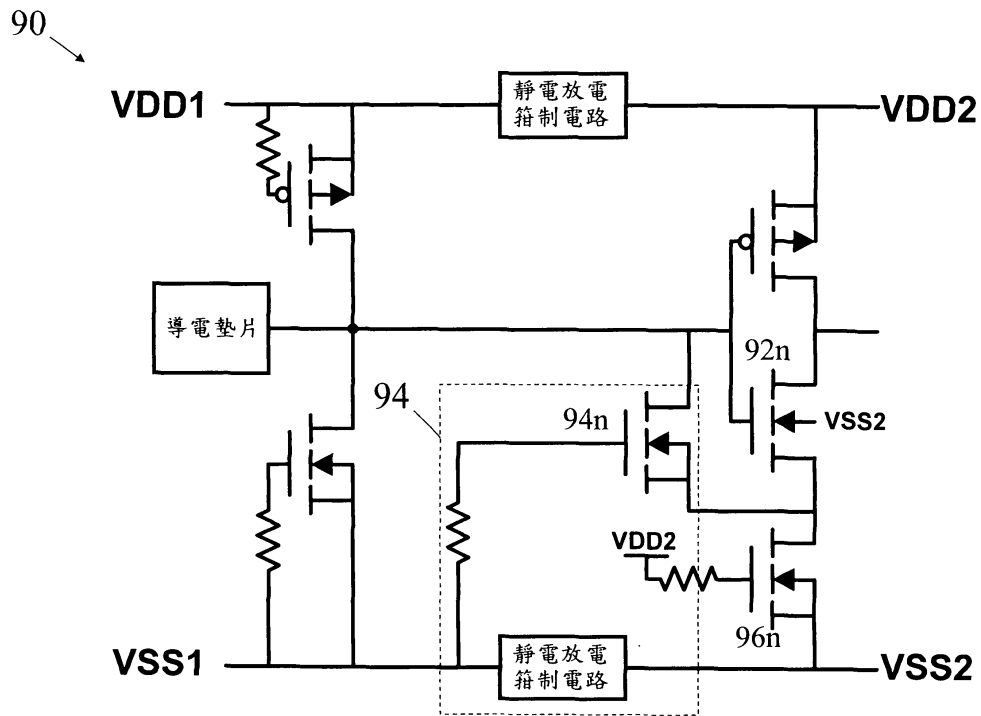


圖 9

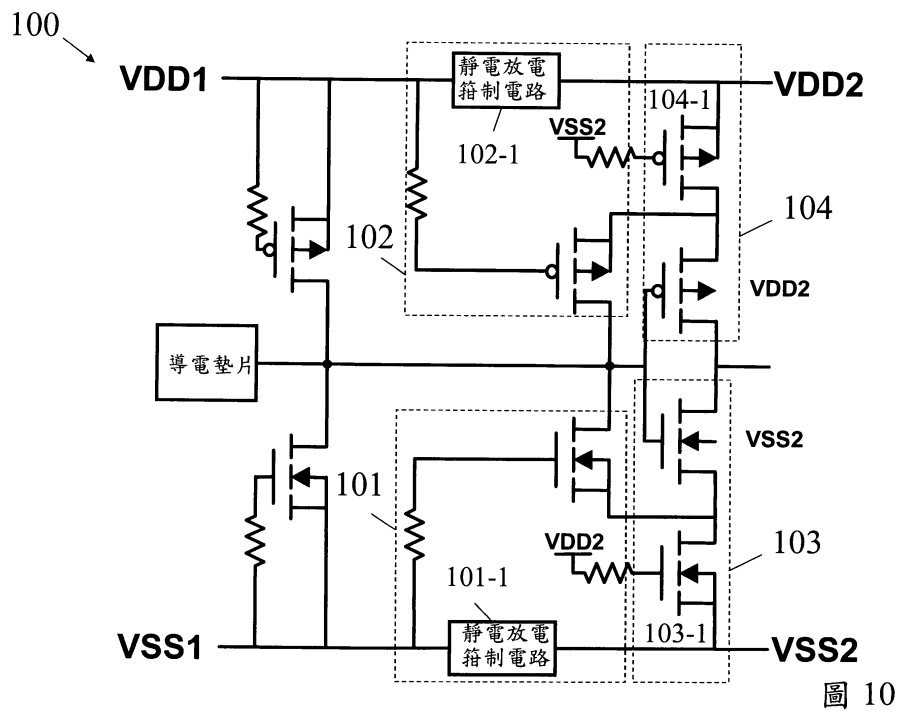


圖 10