

【11】證書號數：I343119

【45】公告日：中華民國 100 (2011) 年 06 月 01 日

【51】Int. Cl. : H01L27/04 (2006.01) H05F3/02 (2006.01)

發明

全 4 頁

【54】名稱：對稱式雙向矽控整流器

【21】申請案號：096127914

【22】申請日：中華民國 96 (2007) 年 07 月 31 日

【11】公開編號：200905860

【43】公開日期：中華民國 98 (2009) 年 02 月 01 日

【72】發明人：曾當貴 (TW)；莊哲豪 (TW)；姜信欽 (TW)；柯明道 (TW)

【71】申請人：晶焱科技股份有限公司

新北市中和區中正路 716 號 15 樓之 2

【74】代理人：林火泉

【56】參考文獻：

TW 268151

US 6960792B1

[57]申請專利範圍

1. 一種對稱式雙向矽控整流器，其包含有：一基板，其為第二導電型；一第一埋入層，其係位於該基板上且為第一導電型；一第一井與一第二井，其係位於該第一埋入層上且皆為第二導電型；一中間井，其係位於該第一井與該第二井間，且為第一導電型；一第一半導體區與一第二半導體區，其係位於該第一井內；一第三半導體區，其係位於該第一井與該中間區域接合面上，該第二半導體區與該第三半導體區間之上設有一第一閘極結構，該第一閘極結構、該第一半導體區與該第二半導體區連接至一陽極；一第四半導體區與一第五半導體區，其係位於該第二井內；一第六半導體區，其係位於該第二井與該中間區域之接面上，該第五半導體區與該第六半導體區間之上設有一第二閘極結構，該第二閘極結構、該第四半導體區與該第五半導體區連接至一陰極；一第三埋入層，其係位於該第一埋入層側邊的該基板上，該第三埋入層為第二導電型；一第四井，其係位於該第三埋入層上且為第二導電型；以及一第八半導體區，其係位於該第四井內，且為第二導電型，該第八半導體區接至某個端點電位。
2. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，更包含有：一第二埋入層，其位於該第一埋入層另一側邊的該基板上且為第二導電型；一第三井，其係位於該第二埋入層上且為第二導電型；以及一第七半導體區，其係位於該第三井內，且為第二導電型，該第七半導體區接至某個端點電位。
3. 如申請專利範圍第 2 項所述之對稱式雙向矽控整流器，其中該第一井與該第三井間可為一第一磊晶層，該第二井與該第四井間可為一第二磊晶層，該第一磊晶層與該第二磊晶層為第一導電型。
4. 如申請專利範圍第 2 項所述之對稱式雙向矽控整流器，其中該第一井與該第三井間可為一第五井區，該第二井與該第四井間可為一第六井區，該第五井區與該第六井區皆為第一導電型。
5. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一閘極結構可串聯一電阻，該第二閘極結構也可串聯一電阻後，各別連接至一陽極及一陰極。
6. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第三半導體區與該第六半導體區間之上更包含有一浮置閘極結構。

(2)

7. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一半導體區與該第四半導體區之導電型態為第一導電型，該第二半導體區、該第三半導體區、該第五半導體區與該第六半導體區之導電型態為第二導電型。
8. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一半導體區與該第四半導體區之導電型態為第二導電型，該第二半導體區、該第三半導體區、該第五半導體區與該第六半導體區之導電型態為第一導電型。
9. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一半導體區、該第三半導體區、該第四半導體區與該第六半導體區之導電型態為第二導電型，該第二半導體區與該第五半導體區之導電型態為第一導電型。
10. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一半導體區、該第三半導體區、該第四半導體區與該第六半導體區之導電型態為第一導電型，該第二半導體區與該第五半導體區之導電型態為第二導電型。
11. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一導電型為 N 型，該第二導電型為 P 型。
12. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第一導電型為 P 型，該第二導電型為 N 型。
13. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該第三半導體區與該第六半導體區間之上包含有一浮置閘極。
14. 如申請專利範圍第 1 項所述之對稱式雙向矽控整流器，其中該中間井下方可以是該 P 型基板或是該第一埋入層區域。

圖式簡單說明

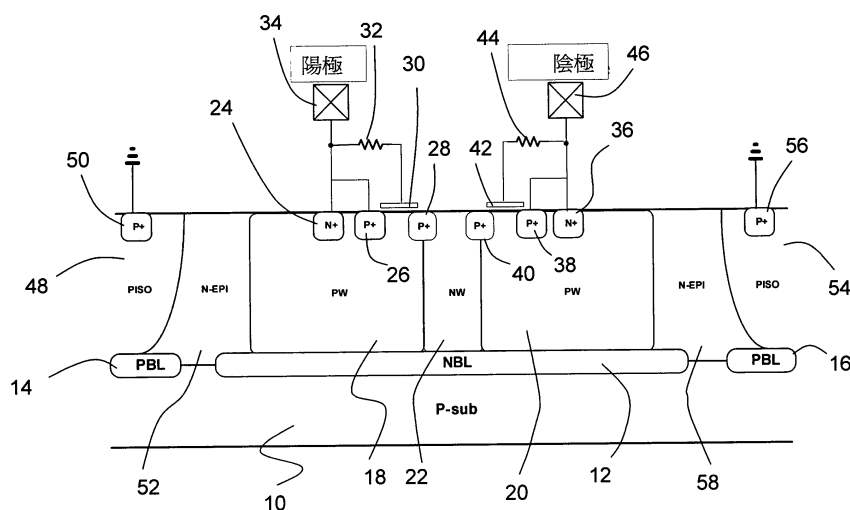
第 1 圖係本發明之一實施例示意圖。

第 2 圖係本發明之又一實施例示意圖。

第3圖係本發明之另一實施例示意圖。

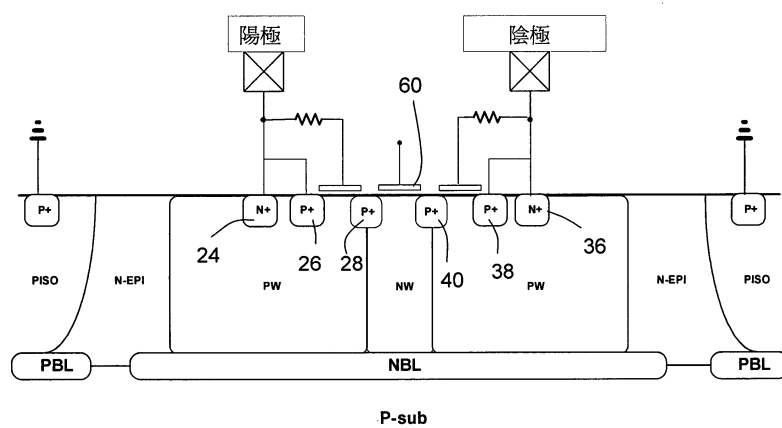
第 4 圖係本發明之再一實施例示意圖。

第 5 圖係本發明之另一實施例示意圖。

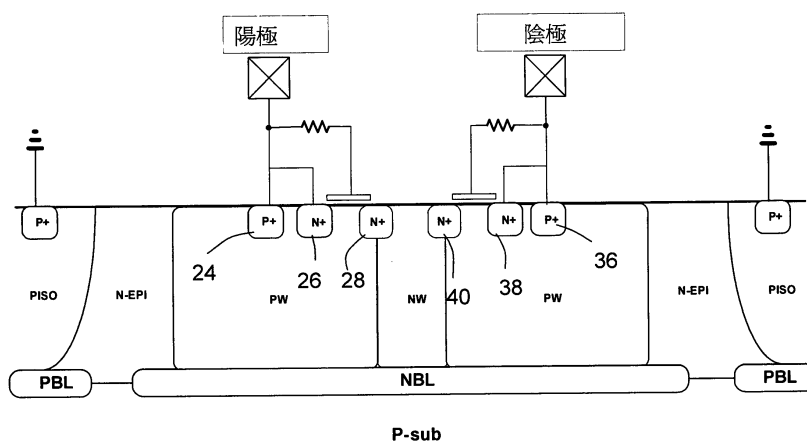


第1圖

(3)



第2圖



第3圖

This diagram shows a cross-sectional view of a semiconductor device. It features a central substrate labeled 'P-sub' with a 'PBL' (P-type Buried Layer) region. Above the substrate, there are two main active regions separated by an 'NBL' (N-type Buried Layer) region. Each active region contains an 'N-EPI' (N-type Epitaxial Layer) and a 'PISO' (P-type Isolation) region. The device includes two electrodes: a '陽極' (Anode) on the left and a '陰極' (Cathode) on the right. The anode is connected to a 'P+' region (labeled 24) and a 'P+' region (labeled 26). The cathode is connected to a 'P+' region (labeled 36) and a 'P+' region (labeled 40). The device also includes 'N+' regions (labeled 28 and 38) and 'P+' regions (labeled 26 and 36) within the active areas. The device is connected to a power supply (VDD) and ground (GND) through the electrodes.

This diagram shows a cross-sectional view of a semiconductor device. It features a central channel region flanked by two active regions. The channel region is defined by a central N+ region (26) and is bordered by P+ regions (24 and 28). The active regions are defined by N+ regions (36 and 40) and are bordered by P+ regions (38). The device is built on a P-substrate. The top surface is covered by a P+ layer. The bottom surface is covered by a PBL layer. The channel region is connected to a PBL layer (NBL). The active regions are connected to a PBL layer (PBL). The device is connected to a positive terminal (陽極) and a negative terminal (陰極) through a resistor network.

- 3022 -