

【11】證書號數：I346807

【45】公告日：中華民國 100 (2011) 年 08 月 11 日

【51】Int. Cl.：G02F1/133 (2006.01)

發明

全 7 頁

【54】名 稱：用於一液晶顯示器之靜電放電防護架構、及其靜電放電防護元件製程
ELECTROSTATIC DISCHARGE PROTECTION STRUCTURE AND
METHOD FOR MANUFACTURING AN ELECTROSTATIC DISCHARGE
PROTECTION DEVICE THEREOF

【21】申請案號：095138797

【22】申請日：中華民國 95 (2006) 年 10 月 20 日

【11】公開編號：200819825

【43】公開日期：中華民國 97 (2008) 年 05 月 01 日

【72】發明人：柯明道 (TW) KER, MING DOU；鄧至剛 (TW) DENG, CHIH KANG；孫文堂 (TW) SUN, WEIN TOWN

【71】申請人：友達光電股份有限公司 AU OPTRONICS CORP.
新竹市科學工業園區力行二路 1 號

【74】代理人：陳翠華

【56】參考文獻：

TW 200411897A

US 6614053B1

US 6696701B2

[57]申請專利範圍

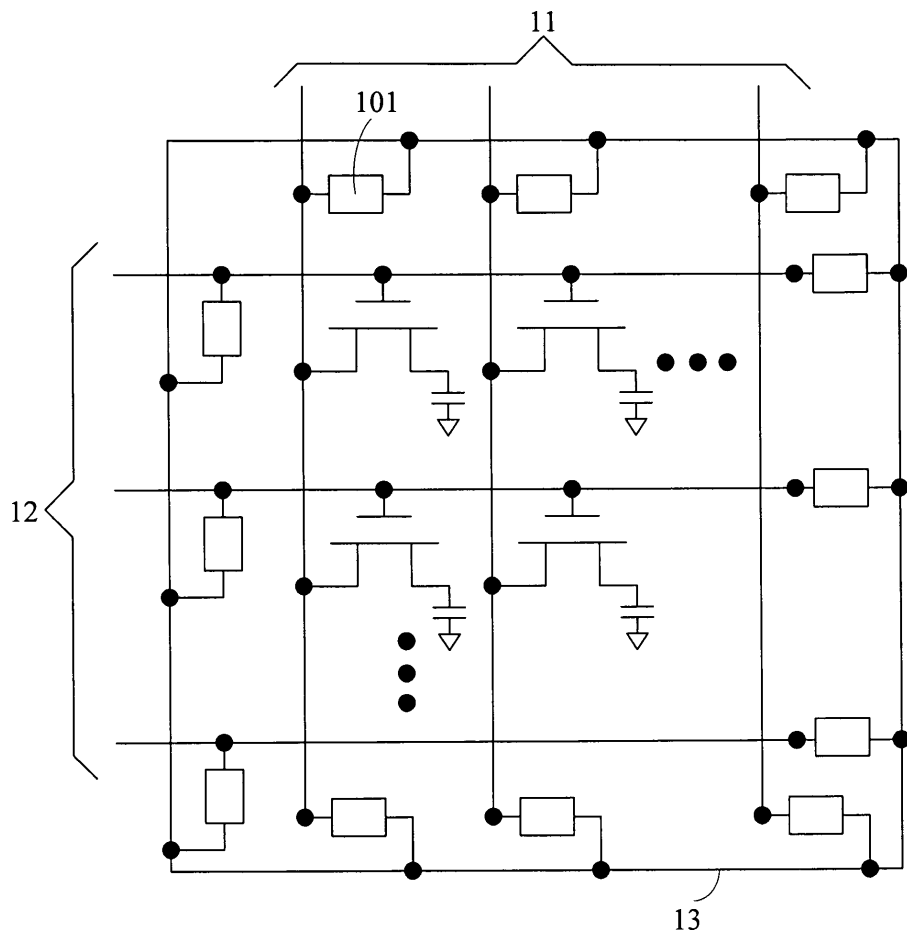
1. 一種靜電放電防護架構，用以在包含一薄膜畫素陣列與一驅動電路之一液晶顯示器中提供靜電防護，其中該薄膜畫素陣列包含複數個薄膜電晶體、複數個閘極導線以連接該些薄膜電晶體之閘極、及複數個資料導線以連接該些薄膜電晶體之源/汲極，該驅動電路電性連結該些閘極導線與該些資料導線，該靜電放電防護架構包含：一靜電放電匯流排；複數個第一靜電放電防護元件，連接該些薄膜電晶體之閘極與該靜電放電匯流排；複數個第二靜電放電防護元件，連接該些薄膜電晶體之源/汲極與該靜電放電匯流排；以及複數個第三靜電放電防護元件，連接該驅動電路之複數個輸入輸出端與該靜電放電匯流排；其中該些第一靜電放電防護元件、該些第二靜電放電防護元件及該些第三靜電放電防護元件，各包含一玻璃基板(glass substrate)及形成於該玻璃基板上之一半導體基板，該半導體基板形成一第一離子摻雜區、一第二離子摻雜區、一第三離子摻雜區、及一第四離子摻雜區，該第一、第二、第三與第四離子摻雜區以串聯形式形成於該半導體基板中，該第一、第二、第三與第四離子摻雜區分別可為 P 型離子摻雜、N 型離子摻雜與本質(intrinsic)區域其中之一，且相鄰的兩個摻雜區類型不同。
2. 如請求項 1 所述之靜電放電防護架構，其中該些第一、第二與第三靜電放電防護元件可為薄膜矽控整流體(TF-SCR)。
3. 如請求項 1 所述之靜電放電防護架構，其中該些第一、第二與第三靜電放電防護元件係各包含：一金屬閘極；以及一絕緣層，形成於該金屬閘極與該些第一、第二、第三與第四離子摻雜區之間，用以絕緣該金屬閘極與該些第一、第二、第三與第四離子摻雜區；其中該金屬閘極位於該些第一、第二、第三與第四離子摻雜區至少其中之一的上方。
4. 如請求項 1 所述之靜電放電防護架構，其中該半導體基板可為非晶矽層或低溫多晶矽層。

(2)

5. 一種靜電放電防護元件製程，該靜電放電防護元件用以在包含薄膜電晶體之液晶顯示器中提供靜電防護，該製程包含下列步驟：形成一半導體基板於一玻璃基板上；定義第一、第二、第三與第四離子摻雜區於該半導體基板之中；以及分別摻雜該些第一、第二、第三與第四離子摻雜區為 P 型離子摻雜、N 型離子摻雜與本質區域其中之一；其中，該些第一、第二、第三與第四離子摻雜區與相鄰之摻雜區具有不同摻雜。
6. 如請求項 5 所述之靜電放電防護元件製程，其中該半導體基板可為非晶矽層或低溫多晶矽層。
7. 如請求項 5 所述之靜電放電防護元件製程，更包含下列步驟：形成一絕緣層以包覆該些第一、第二、第三與第四離子摻雜區；以及形成一閘極於該絕緣層上方。
8. 如請求項 7 所述之靜電放電防護元件製程，其中該閘極可為任何可導電物質形成之閘極。

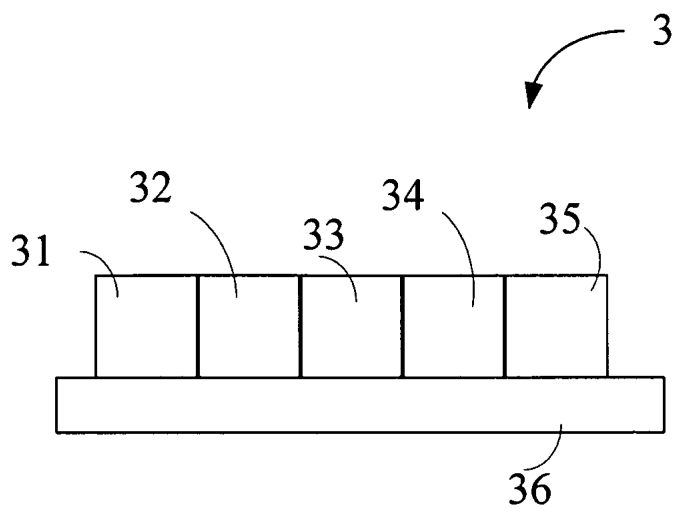
圖式簡單說明

第 1 圖係為習知的靜電放電防護架構示意圖；第 2 圖係為本發明的第一實施例；第 3 圖係為本發明的第二實施例；第 4(a)圖至第 4(e)圖係為薄膜矽控整流器之摻雜區示意圖；第 5(a)圖至第 5(d)圖係為薄膜矽控整流器之等效架構示意圖；以及第 6 圖係為本發明之第三實施例。

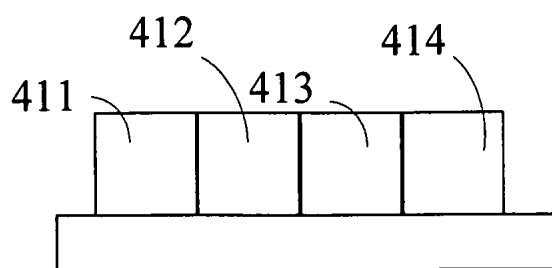


第1圖(先前技術)

(4)

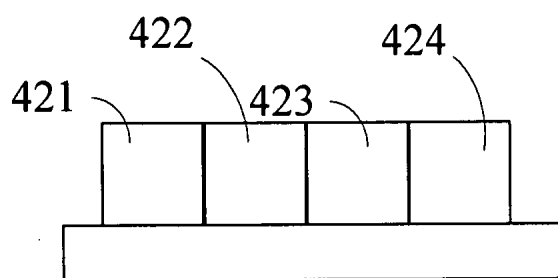


第3圖

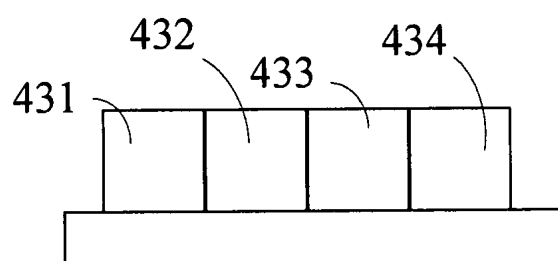


第4(a)圖

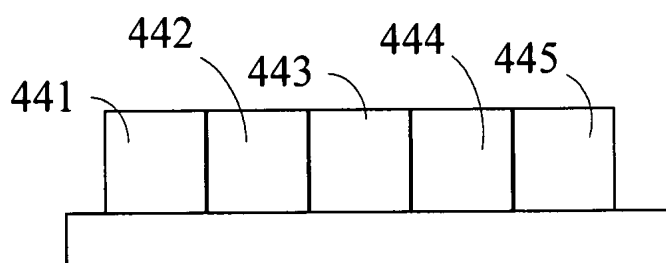
(5)



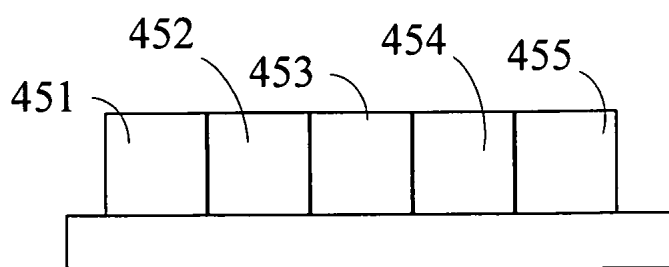
第4(b)圖



第4(c)圖

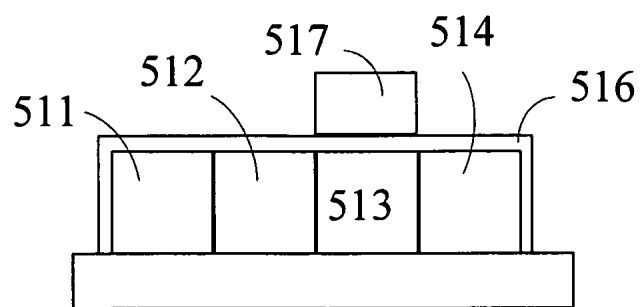


第4(d)圖

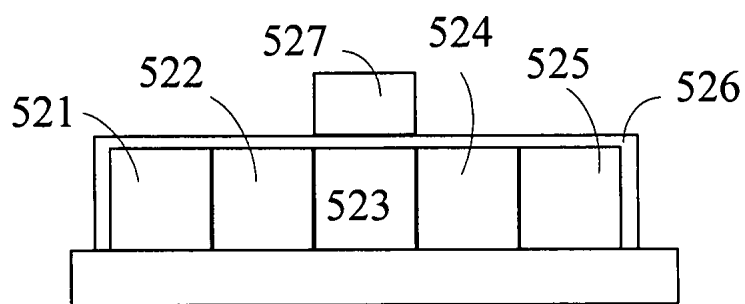


第4(e)圖

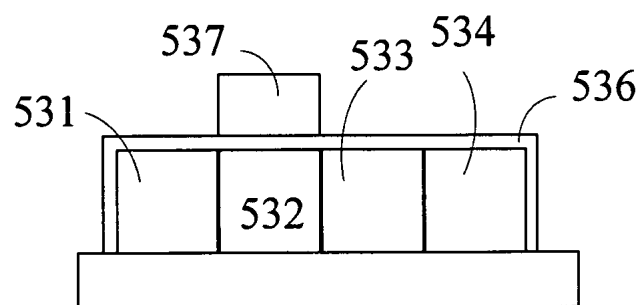
(6)



第5(a)圖

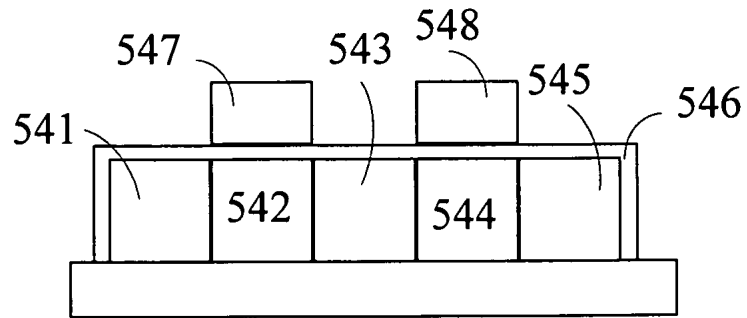


第5(b)圖

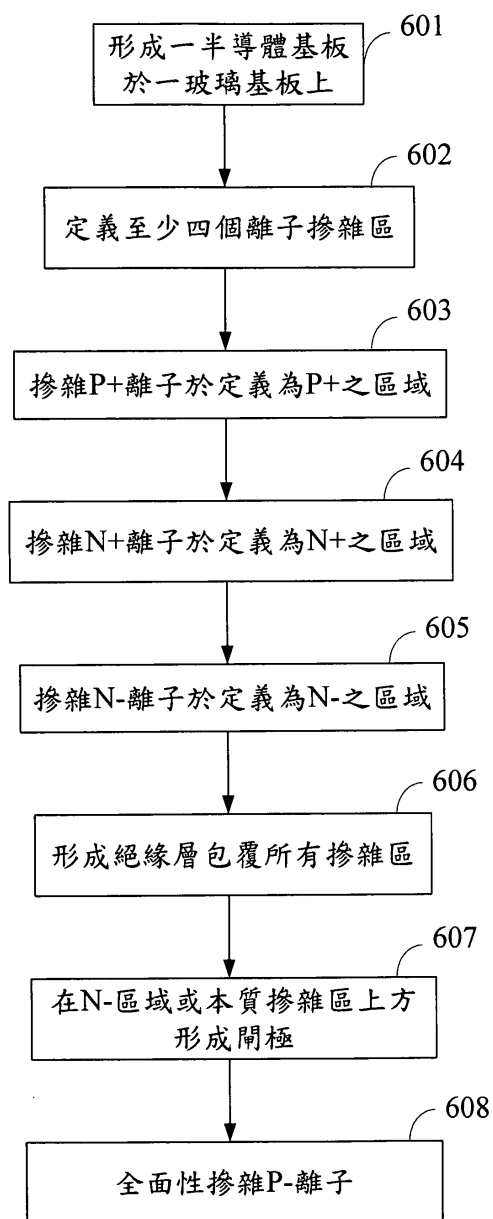


第5(c)圖

(7)



第5(d)圖



第6圖

