

【11】證書號數：I347667

【45】公告日：中華民國 100 (2011) 年 08 月 21 日

【51】Int. Cl.：H01L23/60 (2006.01)

發明

全 12 頁

【54】名稱：具有主動觸發功效之靜電防護電路

ESD PROTECTION CIRCUIT WITH ACTIVE TRIGGERING

【21】申請案號：096134669

【22】申請日：中華民國 96 (2007) 年 09 月 17 日

【11】公開編號：200905846

【43】公開日期：中華民國 98 (2009) 年 02 月 01 日

【30】優先權：2007/07/17

美國

11/826,634

【72】發明人：柯明道 (TW) KER, MING DOU；蕭淵文 (TW) HSIAO, YUAN WEN；姜信欽 (TW) JIANG, HSIN CHIN

【71】申請人：晶焱科技股份有限公司

AMAZING MICROELECTRONIC  
CORP.

新北市中和區中正路 716 號 15 樓之 2

【74】代理人：陳瑞田；康清敬

【56】參考文獻：

TW I224391

US 2006/0028776A1

US 2007/0097581A1

## [57]申請專利範圍

1. 一種靜電防護電路，包含：一放電元件，耦接於一積體電路之一輸入/輸出墊片與一第一電源線之間；一二極體，以順向朝向該積體電路之一第二電源線的方式，耦接於該輸入/輸出墊片與該第二電源線之間；以及一靜電偵測電路，包含：一電容與一電阻，串接於該第一電源線與該第二電源線之間；以及一觸發元件，具有一正電源端與一負電源端，該正電源端係耦接至該輸入/輸出墊片，該負電源端係耦接至該第一電源線；該觸發元件之一輸入端係耦接至該電容與該電阻間之一節點；其中該放電元件於一正常操作狀況中被關閉，並且於一靜電放電狀況中被該觸發元件之一輸出信號觸發。
2. 如申請專利範圍第 1 項所述之靜電防護電路，其中該放電元件為一閘極驅動 NMOS 電晶體、一閘極接地 NMOS 電晶體、一閘極耦接至一緩衝器之 NMOS 電晶體、一 NPN 型 BJT 或一 P 型基體觸發矽控整流器。
3. 如申請專利範圍第 1 項所述之靜電防護電路，其中該觸發元件為一反相器、具有 M 個輸入端之一 NAND 邏輯閘，或是具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。
4. 一種靜電防護電路，包含：一放電元件，耦接於一積體電路之一輸入/輸出墊片與一第一電源線之間；一二極體，以順向朝向該輸入/輸出墊片的方式，耦接於該輸入/輸出墊片與該積體電路之一第二電源線之間；以及一靜電偵測電路，包含：一電容與一電阻，串接於該第一電源線與該第二電源線之間；以及一觸發元件，具有一正電源端與一負電源端，該正電源端係耦接至該第一電源線，該負電源端係耦接至該輸入/輸出墊片；該觸發元件之一輸入端係耦接至該電容與該電阻間之一節點；其中該放電元件於一正常操作狀況中被關閉，並且於一靜電放電狀況中被該觸發元件之一輸出信號觸發。

5. 如申請專利範圍第 4 項所述之靜電防護電路，其中該放電元件為一閘極驅動 PMOS 電晶體、一閘極接電源之 PMOS 電晶體、一閘極耦接至一緩衝器之 PMOS 電晶體、一 PNP 型 BJT 或一 N 型基體觸發矽控整流器。
6. 如申請專利範圍第 4 項所述之靜電防護電路，其中該觸發元件包含以下群組中之一電路：兩個串接的反相器、具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NAND 邏輯閘、具有 M 個輸入端之一 NOR 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，以及具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。
7. 一種靜電防護電路，包含：一第一放電元件，耦接於一積體電路之一輸入/輸出墊片與一第一電源線之間；一第二放電元件，耦接於該輸入/輸出墊片與該積體電路之一第二電源線之間；以及一靜電偵測電路，包含：一電容與一電阻，串接於該第一電源線與該第二電源線之間；一第一觸發元件，具有一第一正電源端與一第一負電源端，該第一正電源端係耦接至該輸入/輸出墊片，該第一負電源端係耦接至該第一電源線；該第一觸發元件之一第一輸入端係耦接至該電容與該電阻間之一節點；以及一第二觸發元件，具有一第二正電源端與一第二負電源端，該第二正電源端係耦接至該第二電源線，該第二負電源端係耦接至該輸入/輸出墊片；該第二觸發元件之一第二輸入端係耦接至該電容與該電阻間之該節點；其中該第一放電元件與該第二放電元件於一正常操作狀況中皆被關閉；於一第一靜電放電狀況中，該第一放電元件被該第一觸發元件之一第一輸出信號觸發；於一第二靜電放電狀況中，該第二放電元件被該第二觸發元件之一第二輸出信號觸發。
8. 如申請專利範圍第 7 項所述之靜電防護電路，其中該第一放電元件為一閘極驅動 NMOS 電晶體、一閘極接地 NMOS 電晶體、一閘極耦接至一緩衝器之 NMOS 電晶體、一 NPN 型 BJT 或一 P 型基體觸發矽控整流器。
9. 如申請專利範圍第 7 項所述之靜電防護電路，其中該第二放電元件為一閘極驅動 PMOS 電晶體、一閘極接電源之 PMOS 電晶體、一閘極耦接至一緩衝器之 PMOS 電晶體、一 PNP 型 BJT 或一 N 型基體觸發矽控整流器。
10. 如申請專利範圍第 7 項所述之靜電防護電路，其中該第一觸發元件為一反相器、具有 M 個輸入端之一 NAND 邏輯閘，或是具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。
11. 如申請專利範圍第 7 項所述之靜電防護電路，其中該第二觸發元件包含以下群組中之一電路：兩個串接的反相器、具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NAND 邏輯閘、具有 M 個輸入端之一 NOR 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，以及具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。
12. 一種靜電防護電路，包含：一放電元件，耦接於一積體電路之一輸入/輸出墊片與一第一電源線之間；一第一二極體，以順向朝向一匯流排的方式，耦接於該輸入/輸出墊片與該匯流排之間；一第二二極體，以順向朝向該匯流排的方式，耦接於該匯流排與該積體電路之一第二電源線之間；以及一靜電偵測電路，包含：一電容與一電阻，串接於該第一電源線與該第二電源線之間；以及一觸發元件，具有一正電源端與一負電源端，該正電源端係耦接至該匯流排，該負電源端係耦接至該第一電源線；該觸發元件之一輸入端係耦接至該電容與該電阻間之一節點；其中該放電元件於一正常操作狀況中被關閉，並且於一靜電放電狀況中被該觸發元件之一輸出信號觸發。
13. 如申請專利範圍第 12 項所述之靜電防護電路，其中該放電元件為一閘極驅動 NMOS 電晶體、一閘極接地 NMOS 電晶體、一閘極耦接至一緩衝器之 NMOS 電晶體、一 NPN 型 BJT 或一 P 型基體觸發矽控整流器。

14. 如申請專利範圍第 12 項所述之靜電防護電路，其中該觸發元件為一反相器、具有 M 個輸入端之一 NAND 邏輯閘，或是具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。
15. 一種靜電防護電路，包含：一放電元件，耦接於一積體電路之一輸入/輸出墊片與一第一電源線之間；一第一二極體，以順向朝向該輸入/輸出墊片的方式，耦接於該輸入/輸出墊片與一匯流排之間；一第二二極體，以順向朝向該積體電路之一第二電源線的方式，耦接於該匯流排與該第二電源線之間；以及一靜電偵測電路，包含：一電容與一電阻，串接於該第一電源線與該第二電源線之間；以及一觸發元件，具有一正電源端與一負電源端，該正電源端係耦接至該第一電源線，該負電源端係耦接至該匯流排；該觸發元件之一輸入端係耦接至該電容與該電阻間之一節點；其中該放電元件於一正常操作狀況中被關閉，並且於一靜電放電狀況中被該觸發元件之一輸出信號觸發。
16. 如申請專利範圍第 15 項所述之靜電防護電路，其中該放電元件為一閘極驅動 PMOS 電晶體、一閘極接電源之 PMOS 電晶體、一閘極耦接至一緩衝器之 PMOS 電晶體、一 PNP 型 BJT 或一 N 型基體觸發矽控整流器。
17. 如申請專利範圍第 15 項所述之靜電防護電路，其中該觸發元件包含以下群組中之一電路：兩個串接的反相器、具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NAND 邏輯閘、具有 M 個輸入端之一 NOR 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，以及具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。
18. 一種靜電防護電路，包含：一第一放電元件，耦接於一積體電路之一輸入/輸出墊片與一第一電源線之間；一第二放電元件，耦接於該輸入/輸出墊片與該積體電路之一第二電源線之間；一第一二極體，以順向朝向一第一匯流排的方式，耦接於該輸入/輸出墊片與該第一匯流排之間；一第二二極體，以順向朝向該第一匯流排的方式，耦接於該第一匯流排與該第二電源線之間；一第三二極體，以順向朝向該輸入/輸出墊片的方式，耦接於該輸入/輸出墊片與一第二匯流排之間；一第四二極體，以順向朝向該第一電源線的方式，耦接於該第二匯流排與該第一電源線之間；以及一靜電偵測電路，包含：一電容與一電阻，串接於該第一電源線與該第二電源線之間；一第一觸發元件，具有一第一正電源端與一第一負電源端，該第一正電源端係耦接至該第一匯流排，該第一負電源端係耦接至該第一電源線；該第一觸發元件之一第一輸入端係耦接至該電容與該電阻間之一節點；以及一第二觸發元件，具有一第二正電源端與一第二負電源端，該第二正電源端係耦接至該第二電源線，該第二負電源端係耦接至該第二匯流排；該第二觸發元件之一第二輸入端係耦接至該電容與該電阻間之該節點；其中該第一放電元件與該第二放電元件於一正常操作狀況中皆被關閉；於一第一靜電放電狀況中，該第一放電元件被該第一觸發元件之一第一輸出信號觸發；於一第二靜電放電狀況中，該第二放電元件被該第二觸發元件之一第二輸出信號觸發。
19. 如申請專利範圍第 18 項所述之靜電防護電路，其中該第一放電元件為一閘極驅動 NMOS 電晶體、一閘極接地 NMOS 電晶體、一閘極耦接至一緩衝器之 NMOS 電晶體、一 NPN 型 BJT 或一 P 型基體觸發矽控整流器。
20. 如申請專利範圍第 18 項所述之靜電防護電路，其中該第二放電元件為一閘極驅動 PMOS 電晶體、一閘極接電源之 PMOS 電晶體、一閘極耦接至一緩衝器之 PMOS 電晶體、一 PNP 型 BJT 或一 N 型基體觸發矽控整流器。
21. 如申請專利範圍第 18 項所述之靜電防護電路，其中該第一觸發元件為一反相器、具有 M 個輸入端之一 NAND 邏輯閘，或是具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。

(4)

22. 如申請專利範圍第 18 項所述之靜電防護電路，其中該第二觸發元件包含以下群組中之一電路：兩個串接的反相器、具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NAND 邏輯閘、具有 M 個輸入端之一 NOR 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，以及具有 M 個輸入端之一 NAND 邏輯閘串接具有 N 個輸入端之一 NOR 邏輯閘，該 M 個輸入端彼此耦合，該 N 個輸入端亦彼此耦合，N 與 M 皆為大於 1 的正整數。

圖式簡單說明

圖一至圖六為先前技術中的靜電防護電路。

圖七係繪示根據本發明之第一具體實施例中的靜電防護電路。

圖八係繪示根據本發明之第二具體實施例中的靜電防護電路。

圖九係繪示數種連接於輸入/輸出墊片及電源線 VSS 間之放電元件的實施範例。

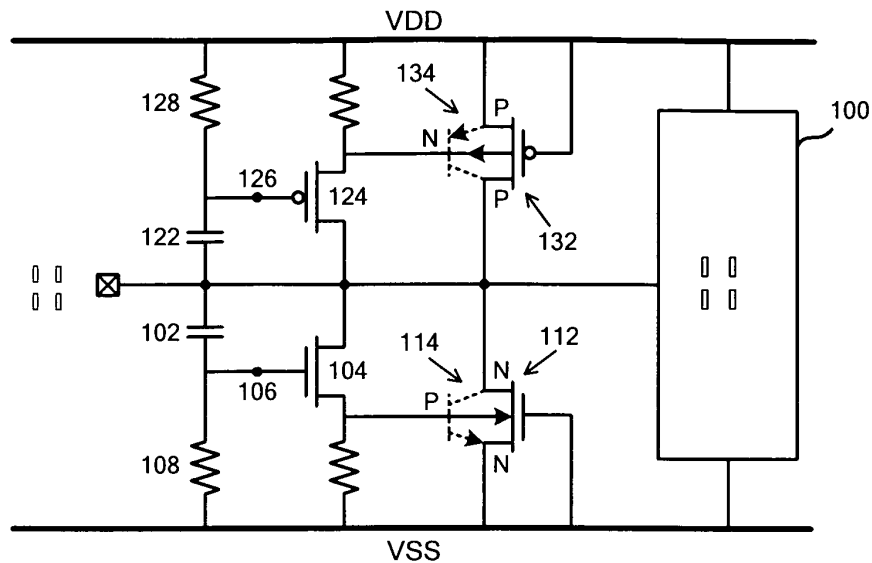
圖十係繪示數種連接於輸入/輸出墊片及電源線 VDD 間之放電元件的實施範例。

圖十一係繪示根據本發明之第三具體實施例中的靜電防護電路。

圖十二係繪示根據本發明之第四具體實施例中的靜電防護電路。

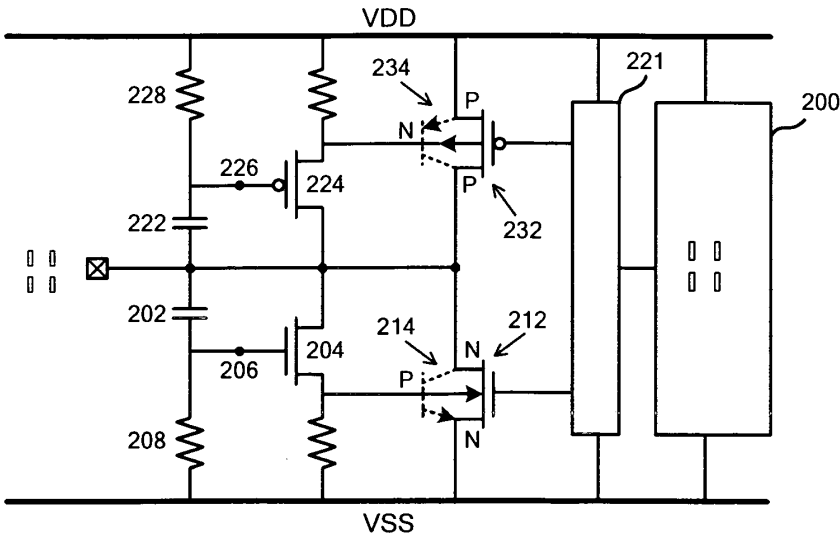
圖十三係繪示根據本發明之第五具體實施例中的靜電防護電路。

圖十四係繪示根據本發明之第六具體實施例中的靜電防護電路。

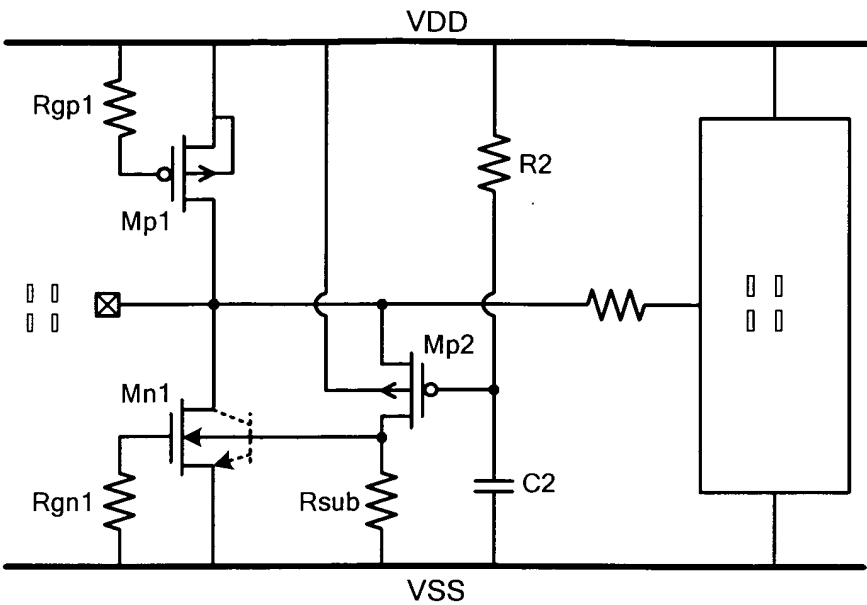


圖一

(5)

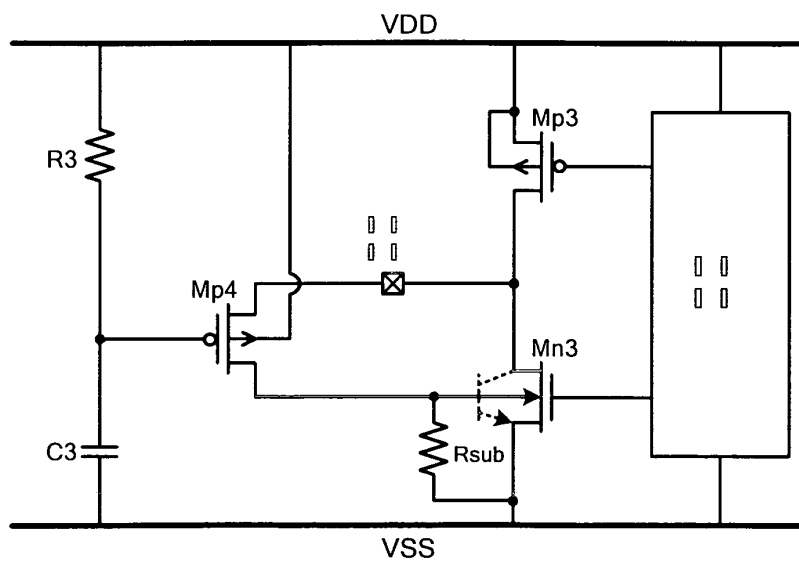


圖二

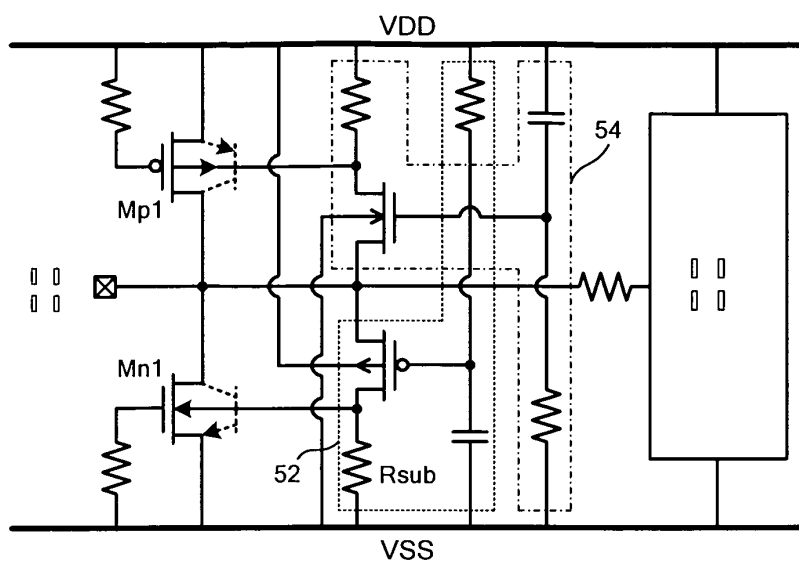


圖三

(6)



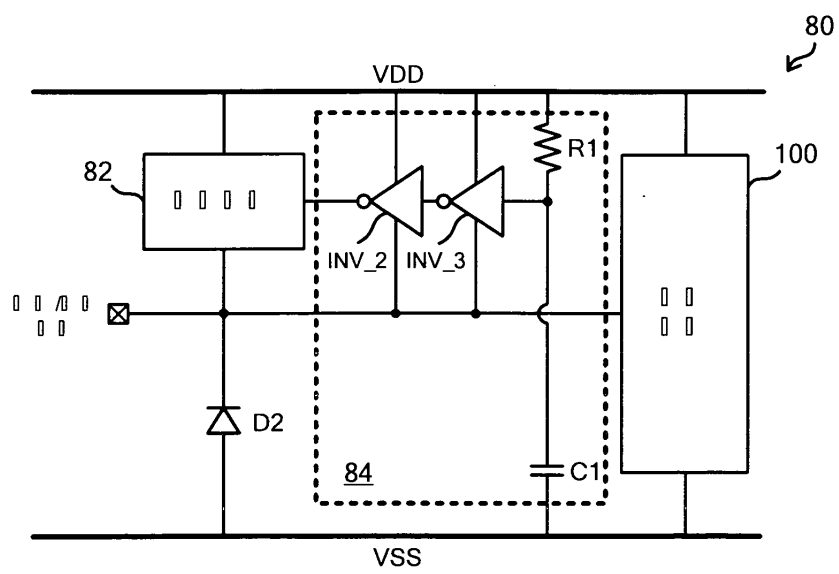
圖四



圖五

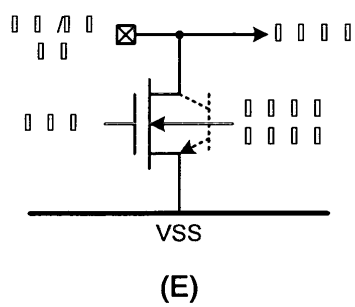
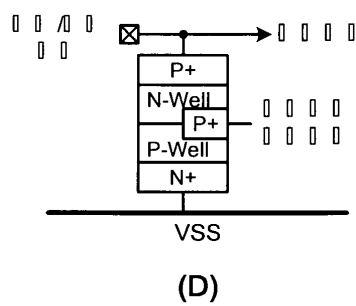
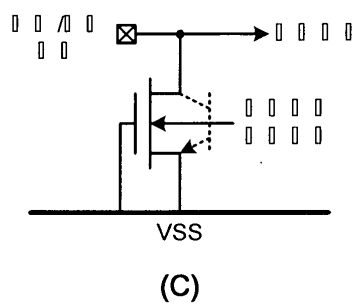
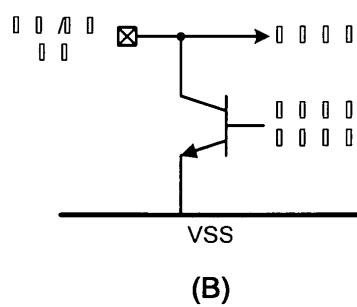
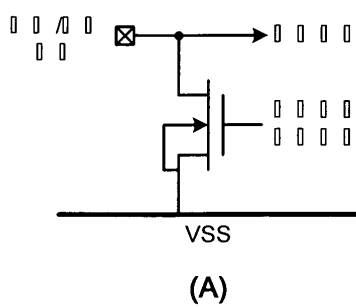


(8)



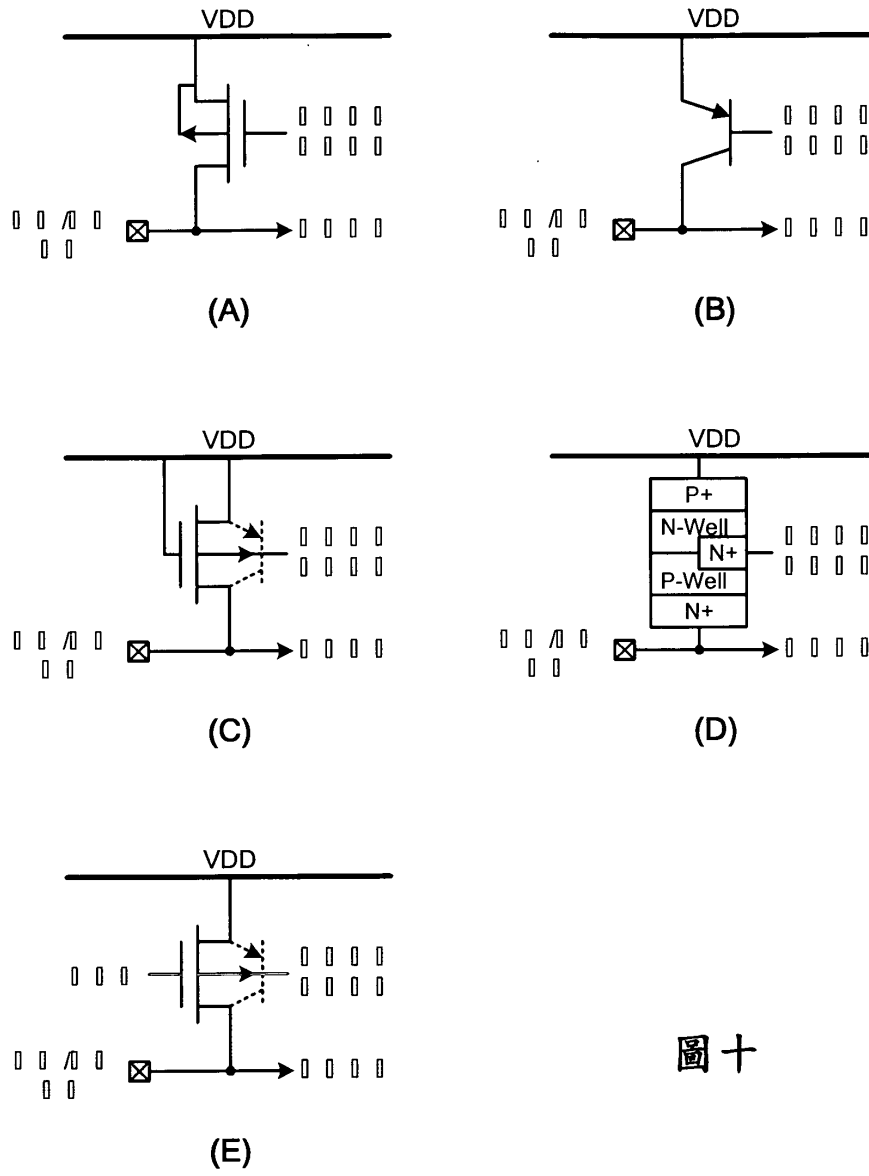
圖八

(9)



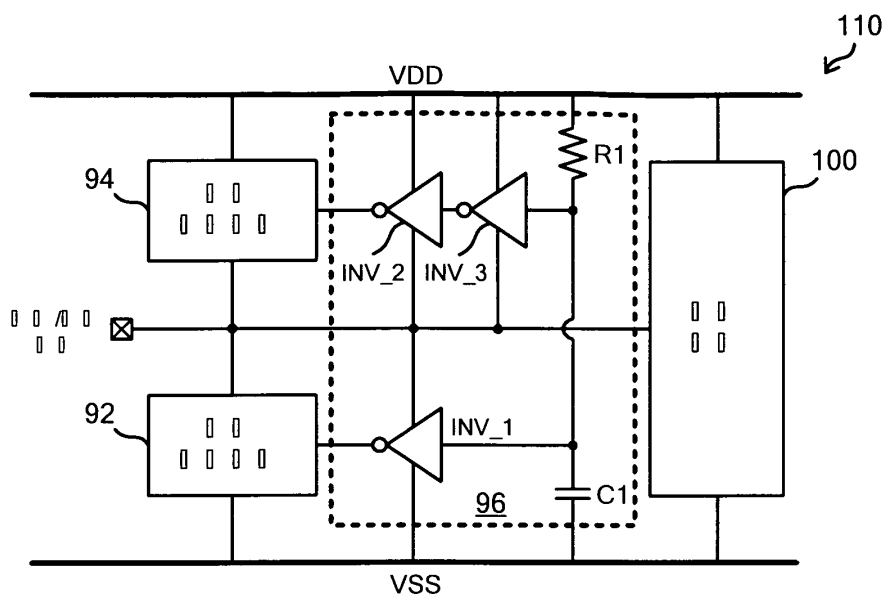
圖九

(10)

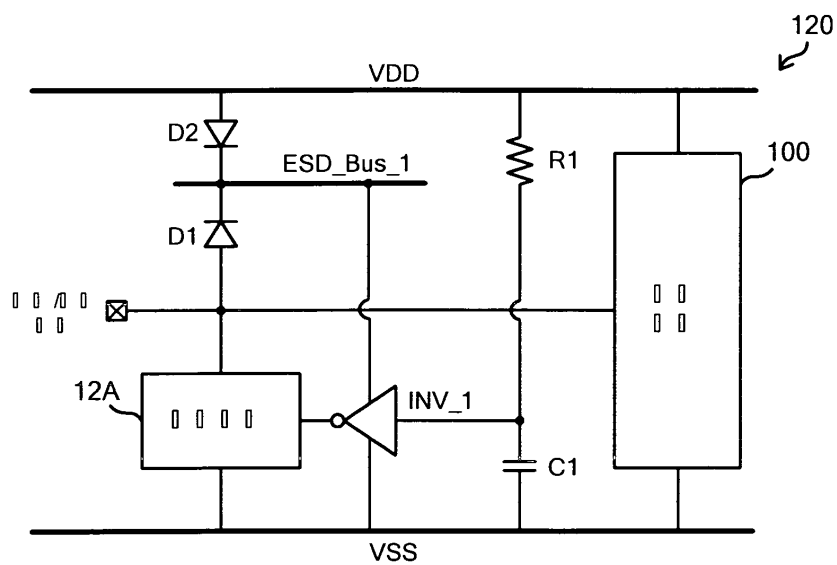


圖十

(11)

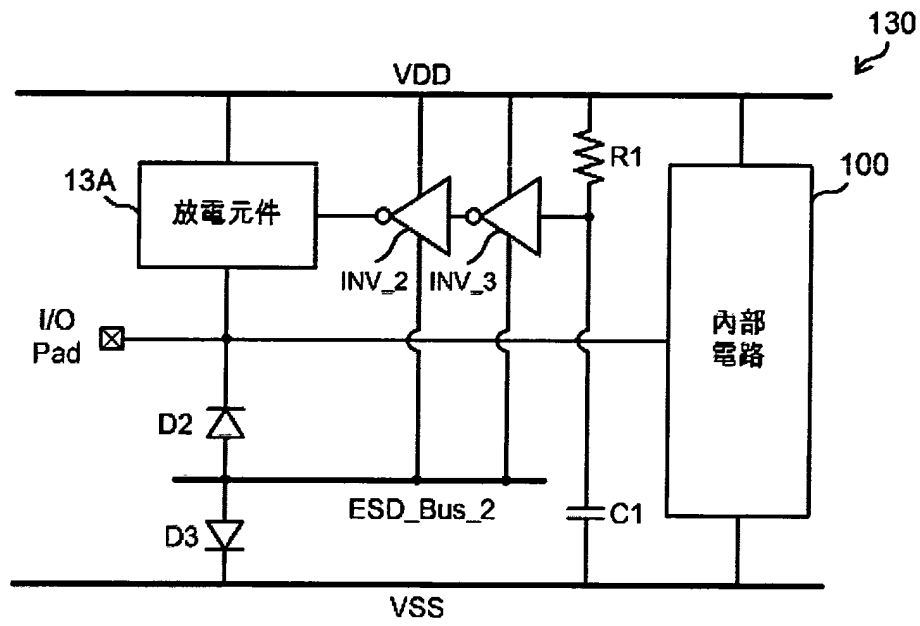


圖十一

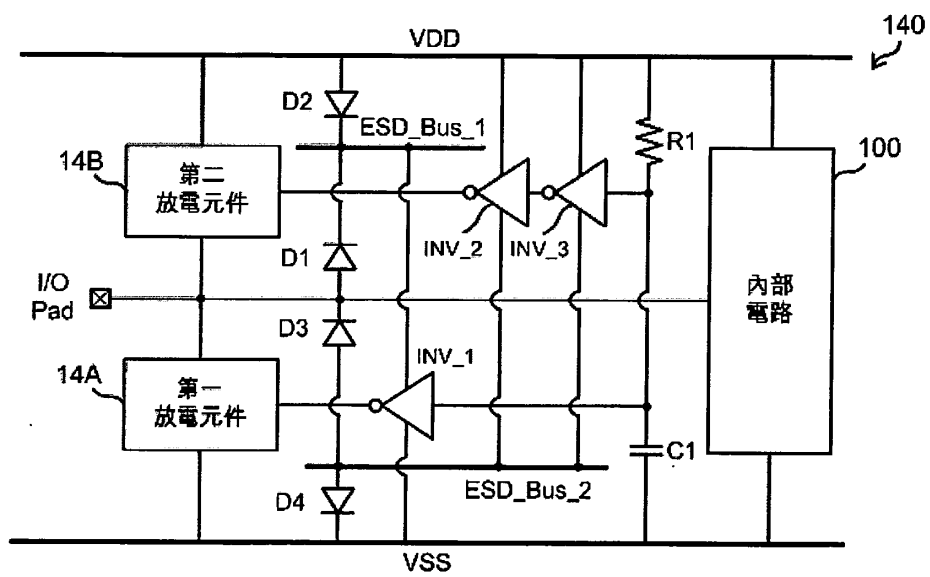


圖十二

(12)



圖十三



圖十四