

【11】證書號數：I351093

【45】公告日：中華民國 100(2011)年 10月 21日

【51】Int. Cl.： H01L23/60 (2006.01)

發明

全 14 頁

【54】名稱：靜電放電防護裝置以及積體電路

ELECTROSTATIC DISCHARGE PROTECTION DEVICE AND
INTEGRATED CIRCUIT UTILIZING THE SAME

【21】申請案號：096135891

【22】申請日：中華民國 96(2007)年 09月 27日

【11】公開編號：200915528

【43】公開日期：中華民國 98(2009)年 04月 01日

【72】發明人：柯明道 (TW) KER, MING DOU；顏承正 (TW) YEN, CHENG CHEGN；陳東陽 (TW) CHEN, TUNG YANG

【71】申請人：國立交通大學

NATIONAL CHIAO-TUNG
UNIVERSITY

新竹市東區大學路 1001 號

奇景光電股份有限公司

HIMAX TECHNOLOGIES LIMITED

臺南市新市區紫棟路 26 號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

US 2004/0046575A1

US 2007/0183104A1

[57]申請專利範圍

1. 一種靜電放電防護裝置，包括：一放電元件，當被致能時，則在一第一及第二電源線之間提供一放電路徑，當被禁能時，則停止提供該放電路徑；一第一偵測電路，耦接於該第一及第二電源線之間，其中該第一偵測電路提供一第一致能信號以及一第二致能信號；以及一第二偵測電路，連接該第一偵測電路；其中當一靜電放電事件發生在該第一電源線時，該第一偵測電路利用該第一致能信號，致能該放電裝置；當該靜電放電事件未發生在該第一電源線時，該第一偵測電路利用該第二致能信號，致能該第二偵測電路，藉由禁能該第一致能信號，禁能該放電裝置。
2. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該放電裝置係為一第一 N 型電晶體，其閘極接收該第一致能信號，其汲極耦接該第一電源線，其源極耦接該第二電源線，該第二偵測電路具有一第二 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該第一 N 型電晶體之閘極，其源極耦接該第二電源線。
3. 如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；以及一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極。
4. 如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第

(2)

二輸出端，該第二輸入端耦接該第一輸出端；一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及一 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘極，其源極耦接該第一電源線，其汲極耦接該第三輸入端。

5. 如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及一第四反相單元，具有一第四輸入端以及一第四輸出端，該第四輸入端耦接該第三輸出端，該第四輸出端耦接該第三輸入端。
6. 如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸出端耦接該第一 N 型電晶體之閘極；一第三反相單元，具有一第一 P 型電晶體以及一第三 N 型電晶體，該第一 P 型電晶體之閘極耦接該第一輸出端，其源極與汲極耦接該第二輸入端，該第三 N 型電晶體之閘極耦接該第一輸出端，其源極耦接該第二電源線，其汲極耦接該第二輸入端；以及一第二 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘極，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之源極。
7. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第二偵測電路包括：一 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極接收該第一致能信號；以及一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該 P 型電晶體之汲極，其中該放電裝置係為一第一 N 型電晶體，其閘極耦接該第一輸出端，其汲極耦接該第一電源線，其源極耦接該第二電源線。
8. 如申請專利範圍第 7 項所述之靜電放電防護裝置，其中該第一偵測電路包括：一電容單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一阻抗單元，耦接於該第一節點與該第二電源線之間；以及一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一節點，該第二輸出端輸出該第一致能信號並耦接該第一反相單元之第一輸入端。
9. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該放電裝置係為一第一 P 型電晶體，其閘極接收該第一致能信號，其源極耦接該第一電源線，其汲極耦接該第二電源線，該第二偵測電路具有一第二 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之閘極。
10. 如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第二偵測電路包括：一反相單元，其輸入端接收該第一致能信號；以及一 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該反相單元之輸入端，其源極耦接該第二電源線，其中該放電裝置係為一第一 P 型電晶體，其閘極耦接該反相單元之輸出端，其源極耦接該第一電源線，其汲極耦接該第二電源線。
11. 一種積體電路，包括：一核心電路，耦接於一第一電源線及一第二電源線之間；以及一靜電放電防護裝置，包括：一放電元件，當被致能時，則在該第一及第二電源線之間提供一放電路徑，當被禁能時，則停止提供該放電路徑；一第一偵測電路，耦接於該第一及第二電源線之間，其中該第一偵測電路提供一第一致能信號以及一第二致能信號；以

(3)

及一第二偵測電路，連接該第一偵測電路；其中當一靜電放電事件發生在該第一電源線時，該第一偵測電路利用該第一致能信號，致能該放電裝置；當該靜電放電事件未發生在該第一電源線時，該第一偵測電路利用該第二致能信號，致能該第二偵測電路，藉由禁能該第一致能信號，禁能該放電裝置。

12. 如申請專利範圍第 11 項所述之積體電路，其中該放電裝置係為一第一 N 型電晶體，其閘極接收該第一致能信號，其汲極耦接該第一電源線，其源極耦接該第二電源線，該第二偵測電路具有一第二 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該第一 N 型電晶體之閘極，其源極耦接該第二電源線。
13. 如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；以及一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極。
14. 如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及一 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘極，其源極耦接該第一電源線，其汲極耦接該第三輸入端。
15. 如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及一第四反相單元，具有一第四輸入端以及一第四輸出端，該第四輸入端耦接該第三輸出端，該第四輸出端耦接該第三輸入端。
16. 如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一電容單元，耦接於該第一節點與該第二電源線之間；一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸出端耦接該第一 N 型電晶體之閘極；一第三反相單元，具有一第一 P 型電晶體以及一第三 N 型電晶體，該第一 P 型電晶體之閘極耦接該第一輸出端，其源極與汲極耦接該第二輸入端，該第三 N 型電晶體之閘極耦接該第一輸出端，其源極耦接該第二電源線，其汲極耦接該第二輸入端；以及一第二 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘極，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之源極。
17. 如申請專利範圍第 11 項所述之積體電路，其中該第二偵測電路包括：一 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極接收該第一致能信號；以及一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該 P 型電晶

(4)

體之汲極；其中該放電裝置係為一第一 N 型電晶體，其閘極耦接該第一輸出端，其汲極耦接該第一電源線，其源極耦接該第二電源線。

18. 如申請專利範圍第 17 項所述之積體電路，其中該第一偵測電路包括：一電容單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；一阻抗單元，耦接於該第一節點與該第二電源線之間；以及一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一節點，該第二輸出端輸出該第一致能信號並耦接該第一反相單元之第一輸入端。
19. 如申請專利範圍第 11 項所述之積體電路，其中該放電裝置係為一第一 P 型電晶體，其閘極接收該第一致能信號，其源極耦接該第一電源線，其汲極耦接該第二電源線，該第二偵測電路具有一第二 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之閘極。
20. 如申請專利範圍第 11 項所述之積體電路，其中該第二偵測電路包括：一反相單元，其輸入端接收該第一致能信號；以及一 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該反相單元之輸入端，其源極耦接該第二電源線，其中該放電裝置係為一第一 P 型電晶體，其閘極耦接該反相單元之輸出端，其源極耦接該第一電源線，其汲極耦接該第二電源線。

圖式簡單說明

第 1 圖為本發明之積體電路之示意圖。

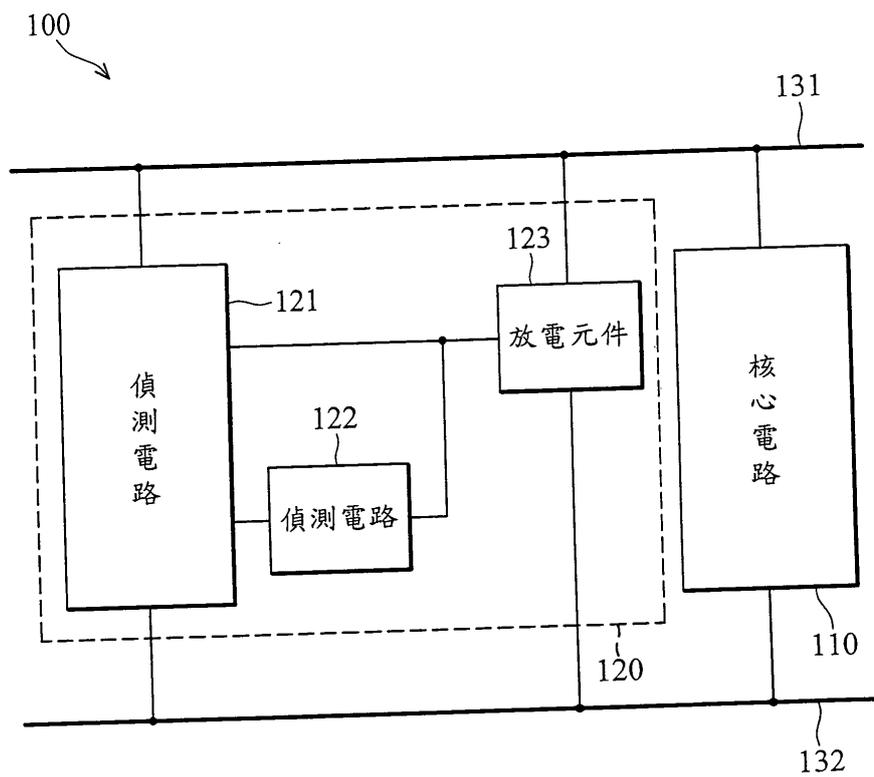
第 2 圖為本發明之靜電放電防護裝置之一可能實施例。

第 3~5 圖為本發明之靜電放電防護裝置之其它可能實施例。

第 6A~6D 圖為第 2 圖所示之偵測電路 121 之其它可能實施例。

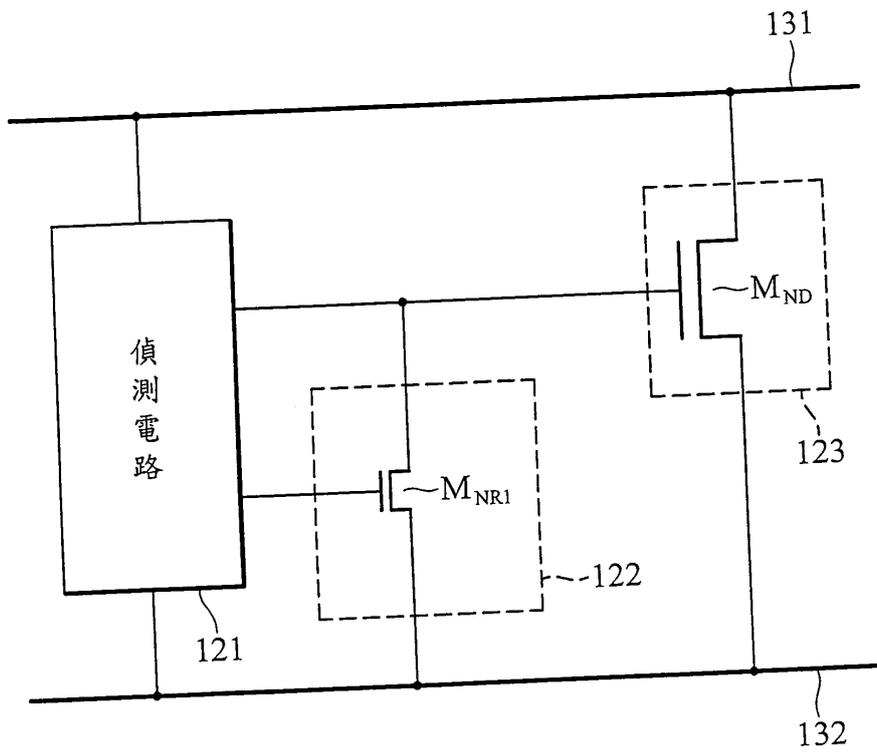
第 7 圖為第 3 圖所示之偵測電路 121 之一可能實施例。

(5)



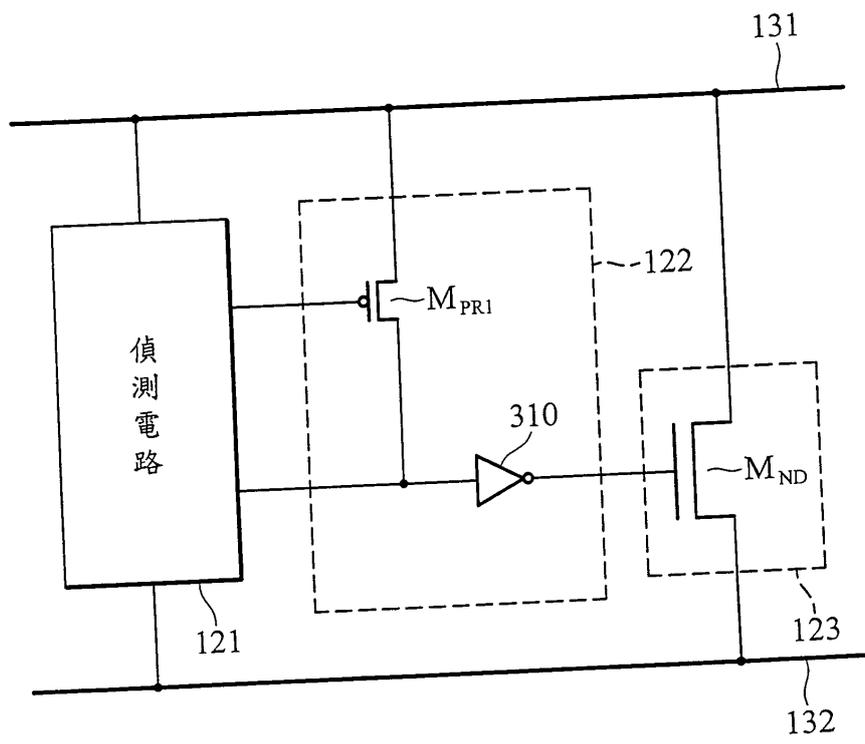
第 1 圖

(6)



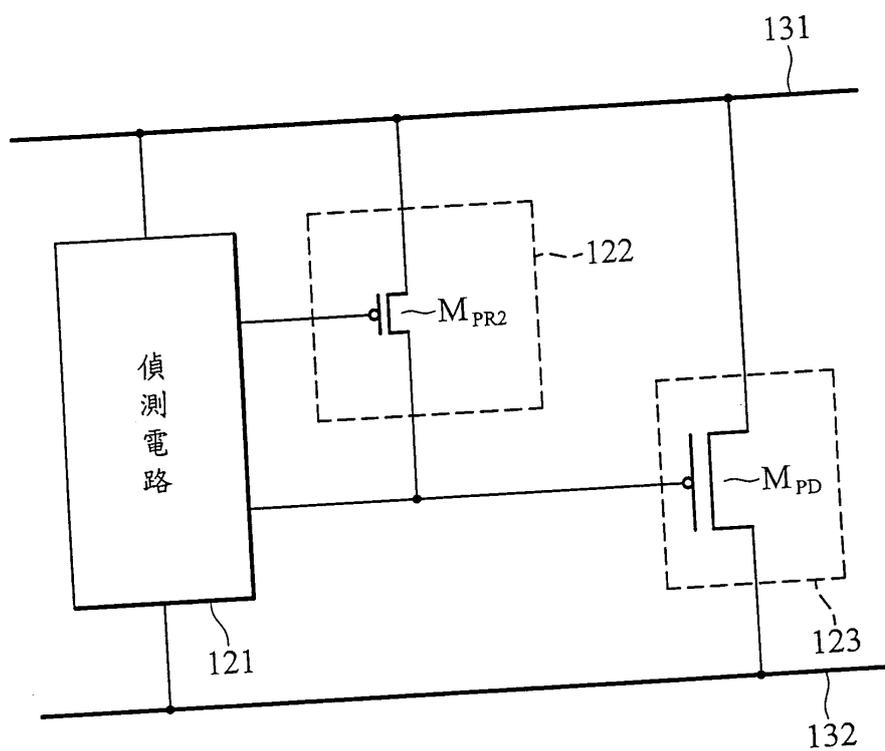
第 2 圖

(7)



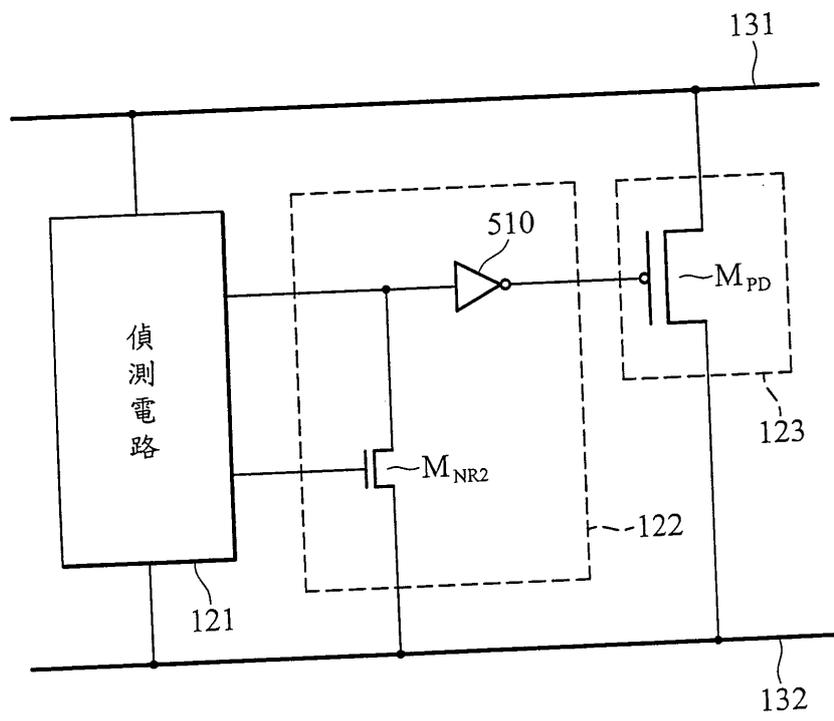
第 3 圖

(8)



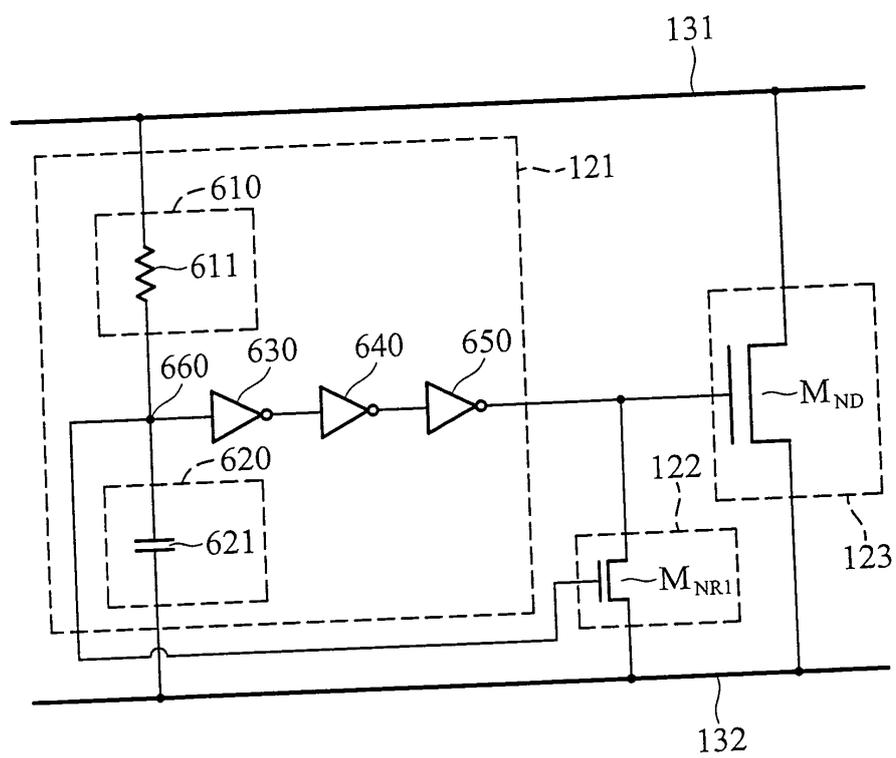
第 4 圖

(9)



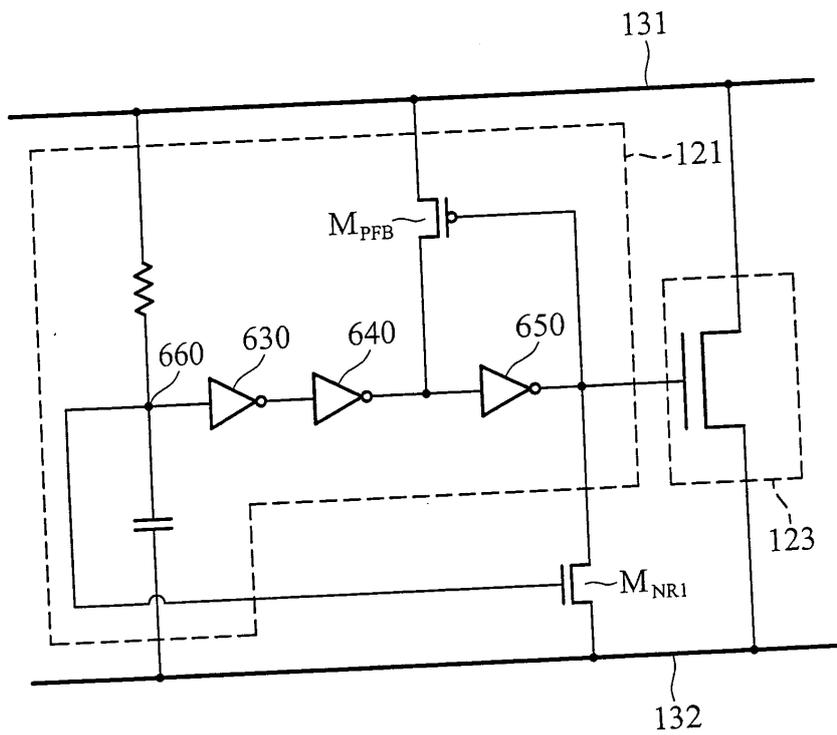
第 5 圖

(10)



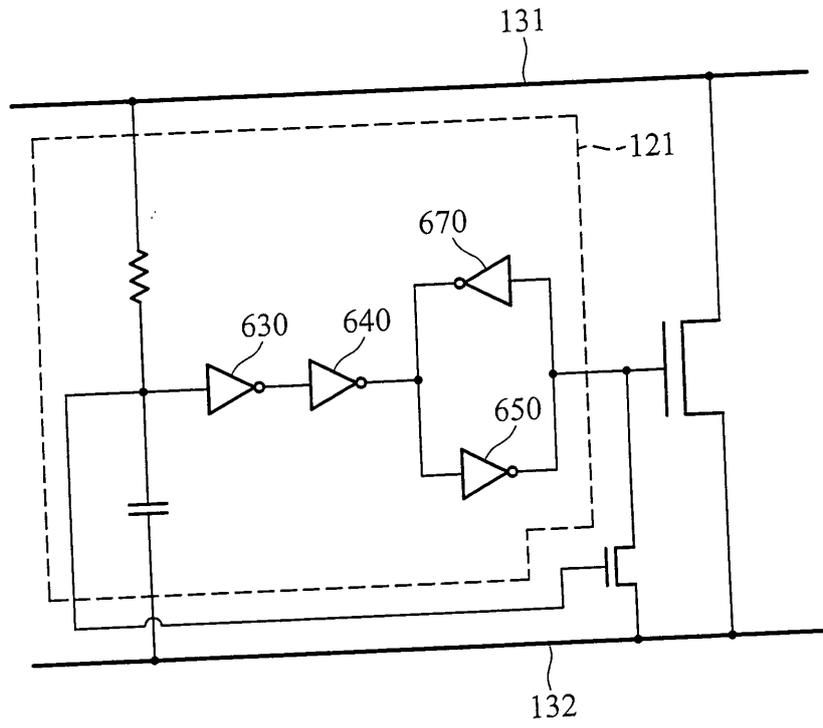
第6A圖

(11)



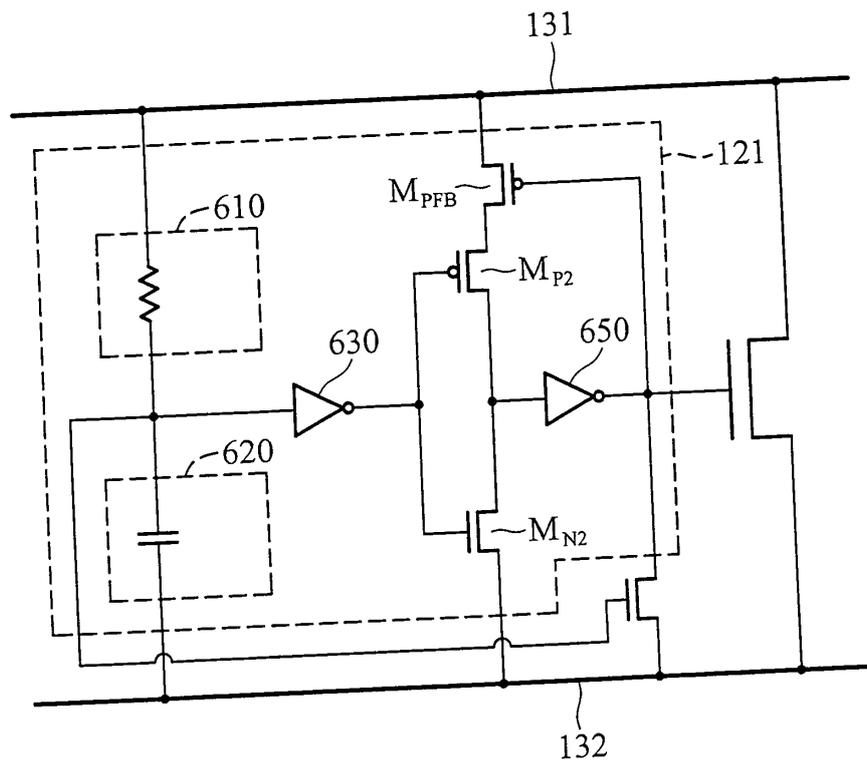
第6B圖

(12)



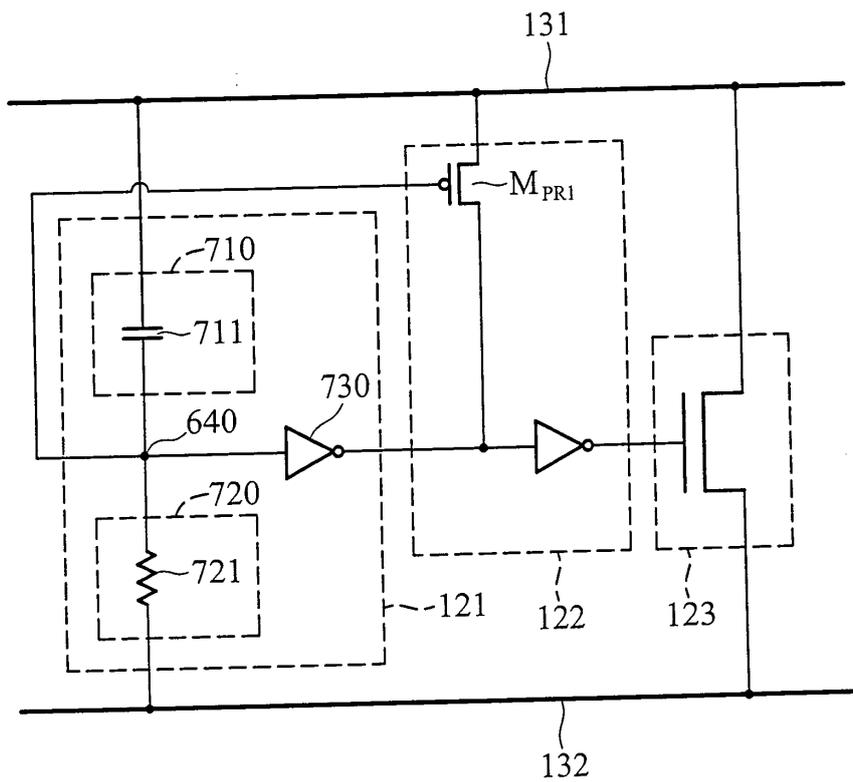
第6C圖

(13)



第6D圖

(14)



第 7 圖