

(11)公告編號: 351856

(44)中華民國88年(1999)02月01日

發明

全 6 頁

(51)Int. Cl. 6: H01L23/60

(54)名稱: 高電流低電壓觸發之橫向矽控整流器

(21)申請案號: 86103726

(22)申請日期: 中華民國86年(1997)03月21日

(72)發明人:

柯明道

新竹市寶山路二〇〇巷三號四樓之三

(71)申請人:

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代理人:

1

2

[57]申請專利範圍:

1.一種CMOS電路之輸出緩衝級,包括:

一輸出墊片;

一VDD電源線提供第一電壓源;

一VSS電源線提供第二電壓源;

一PMOS元件連接於該VDD電源線與該輸出墊片之間;

一NMOS元件連接於該VSS電源線與該輸出墊片之間;

一橫向矽控整流器,其中該橫向矽控整流器尚包含一NMOS元件內嵌於該橫向矽控整流器中,該NMOS內嵌之橫向矽控整流器連接於該VSS電源線與該輸出墊片之間,並與該輸出級NMOS元件並聯;以及

一旁通二極體,該旁通二極體的陽極連接到該NMOS內嵌的橫向矽控整流器,陰極連接到該VDD電源線。

2.一種CMOS電路之輸出緩衝級,包括:

一輸出墊片;

一VDD電源線提供第一電壓源;

一VSS電源線提供第二電壓源;

一PMOS元件連接於該VDD電源線與該輸出墊片之間;

一NMOS元件連接於該VSS電源線與該輸出墊片之間;

一橫向矽控整流器,其中該橫向矽控整流器尚包含一PMOS元件內嵌於該橫向矽控整流器中,該PMOS內嵌之橫向矽控整流器連接於該VDD電源線與該輸出墊片之間,並與該輸出級PMOS元件並聯;以及

一旁通二極體,該旁通二極體的陰極連接到該PMOS內嵌的橫向矽控整流器,陽極連接到該VSS電源線。

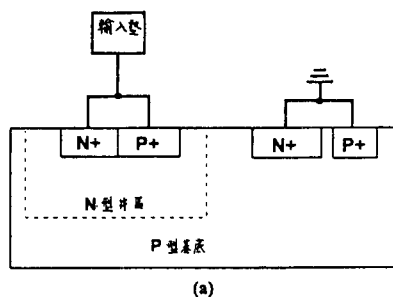
3.如申請專利範圍第1項、或第2項所述之輸出緩衝級尚包含:

一第一接面二極體與該輸出級的PMOS元件並聯,該二極體的陰極連接到VDD電源線;以及

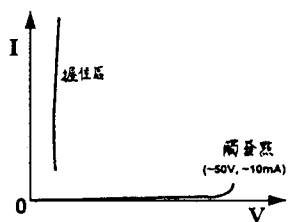
一第二接面二極體與該輸出級的NMOS

- 元件並聯，該二極體的陽極連接到該 VSS 電源線。
- 4.如申請專利範圍第1項所述之輸出緩衝級尚包含：
- 一 PMOS 內嵌之橫向矽控整流器連接於該輸出墊片與該 VDD 電源線之間，並與輸出級之 PMOS 元件並聯；以及
 - 一第二旁通二極體，該第二旁通二極體的陰極連接到該 PMOS 內嵌之橫向矽控整流器，陽極連接到該 VSS 電源線。
- 5.一種橫向矽控整流器，包含：
- 一半導體基底，具有第一摻雜形式；
 - 一第一井區做在該半導體基底上，並具有第二摻雜形式；
 - 一第二井區做在該半導體基底上，並具有該第二摻雜形式；該第二井區與該第一井區分離，而定義出一介於該第一井區與該第二井區間的一中間區域；
 - 一第一擴散區，做在該第一井區內，該第一擴散區具有該第一或第二摻雜形式；
 - 一第二擴散區，做在該第二井區內，該第二擴散區具有該第一或第二摻雜形式；以及
 - 一第三擴散區，做在該第一與該第二擴散區之間，該第三擴散區具有該第一或第二摻雜形式。
- 6.如申請專利範圍第5項所述之橫向矽控整流器，其中該第一摻雜形式是P型摻雜，該第二摻雜形式是N型摻雜。
- 7.如申請專利範圍第6項所述之橫向矽控整流器，其中該第一擴散區是一N型摻雜，並比該第一井區具有更濃的摻雜濃度。
- 8.如申請專利範圍第5項所述之橫向矽控整流器，尚包含一第一電極，電性連接到該第一擴散區。

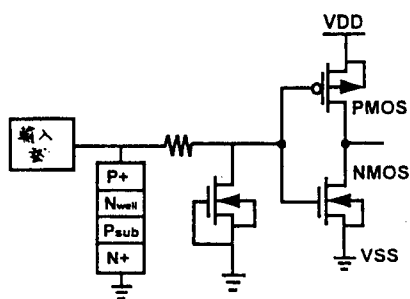
- 9.如申請專利範圍第5項所述之橫向矽控整流器，其中該第三擴散區延伸進入到該介於該第一井區與該第二井區間的該中間區域。
5. 圖式簡單說明：
- 第一圖(A)橫向矽控整流器(LSCR)的元件結構，(B)橫向矽控整流器的元件電壓電流特性曲線，(C)橫向矽控整流器當做輸入級之靜電放電防護元件。
10. 第二圖(A)改良式橫向矽控整流器(MLSCR)的元件結構，(B)MLSCR的元件電壓電流特性曲線，(C)MLSCR當做輸入級之靜電放電防護元件。
- 第三圖(A)低電壓觸發橫向矽控整流器(LVTSCR)的元件結構，(B)LVTSCR的元件電壓電流特性曲線，(C)LVTSCR元件當做輸出級之靜電放電防護元件。
15. 第四圖(A)當做輸入級靜電放電防護元件之LVTSCR易被外界過高的雜訊脈衝意外地觸發導通，(B)當做輸出級靜電放電防護元件之LVTSCR易被外界過高的雜訊脈衝意外地觸發導通。
- 第五圖本發明之改良式PTLSCR與改良式NTLSCR元件應用在輸出級的靜電放電防護設計上。
20. 第六圖(A)本發明之改良式PTLSCR元件與輸出緩衝級PMOS元件的元件結構合併設計圖，(B)本發明之改良式NTLSCR元件與輸出緩衝級NMOS元件的元件結構合併設計圖。
25. 第七圖(A)輸出緩衝級NMOS元件的驟迴崩潰(snapback breakdown)特性曲線，(B)本發明之改良式NTLSCR元件的電壓電流特性曲線。
30. 第八圖(A)輸出緩衝級PMOS元件的驟迴崩潰(snapback breakdown)特性曲線，(B)本發明之改良式PTLSCR元件的電壓電流特性曲線。
- 35.



(a)

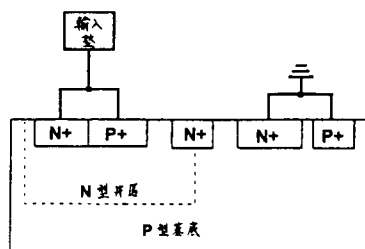


(b)

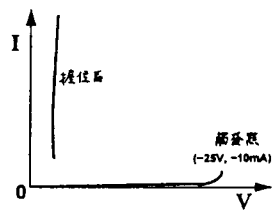


(c)

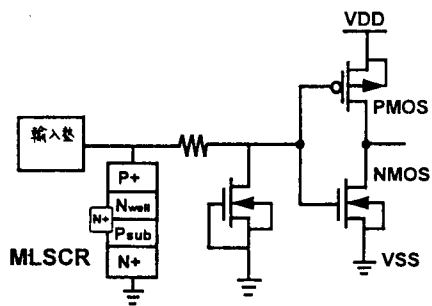
第一圖



(a)

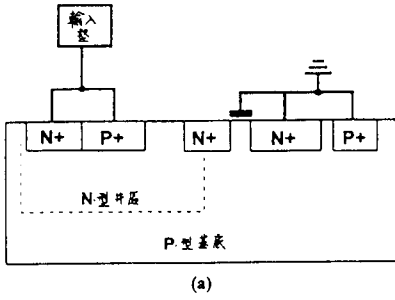


(b)

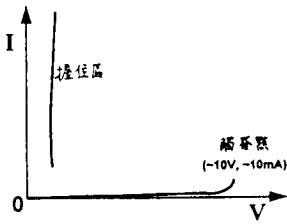


(c)

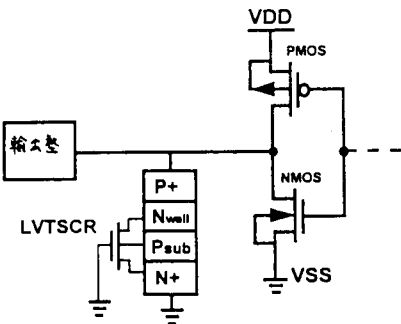
第二圖



(a)

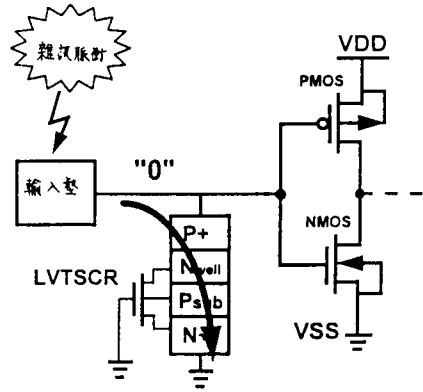


(b)

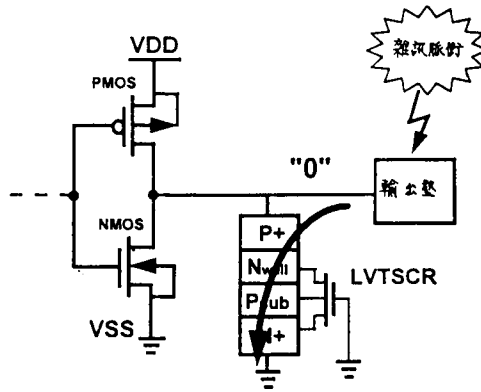


(c)

第三圖

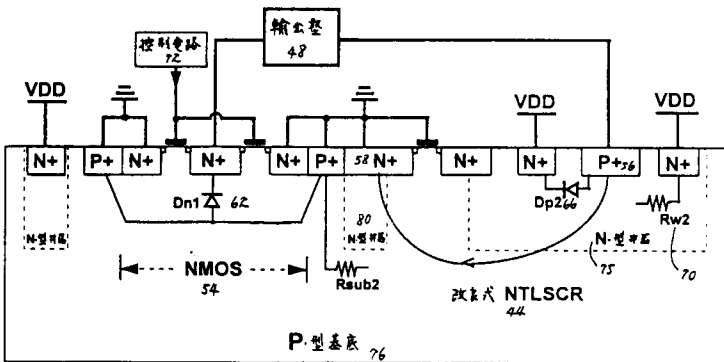
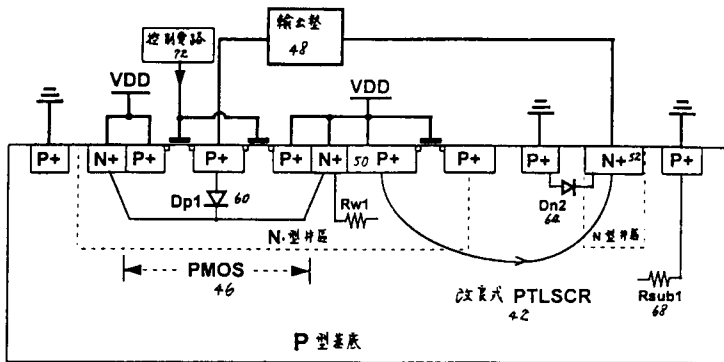
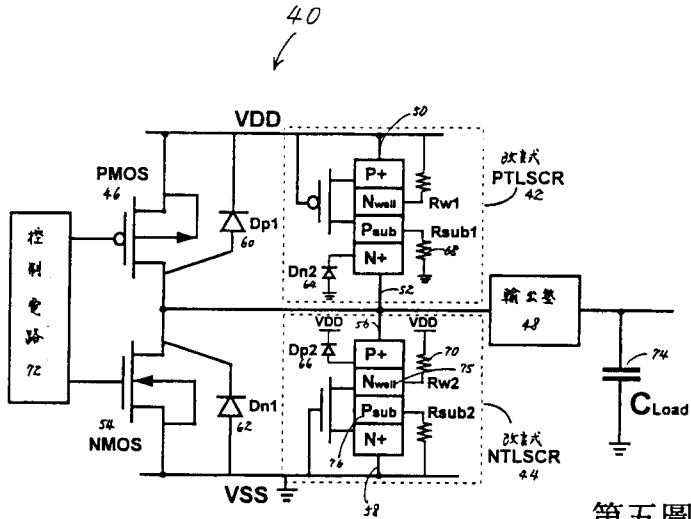


(a)



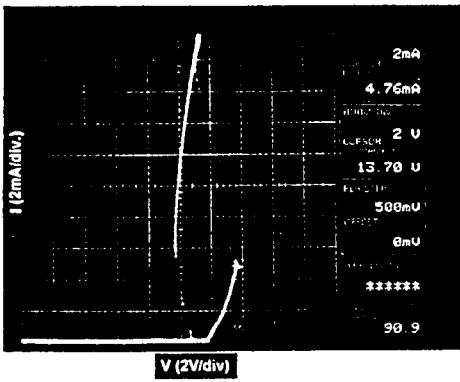
(b)

第四圖

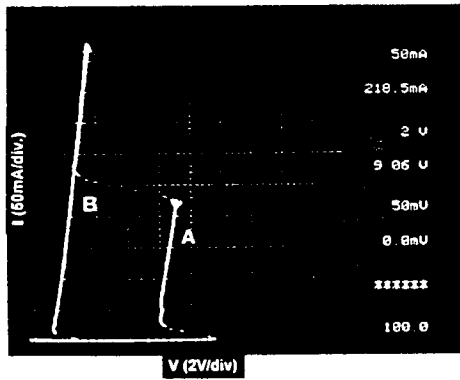


第六圖

(6)

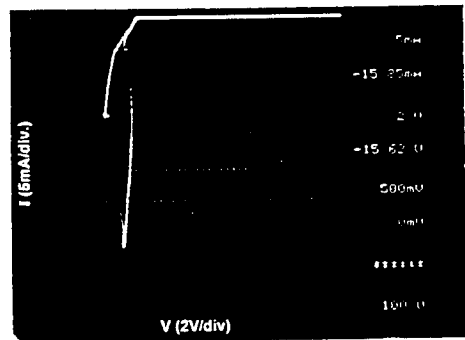


(a)

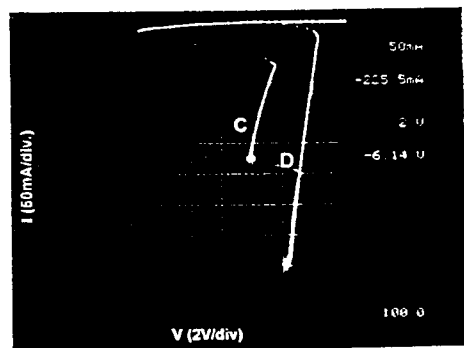


(b)

第七圖



(a)



(b)

第八圖