

【11】證書號數：I357193

【45】公告日：中華民國 101 (2012) 年 01 月 21 日

【51】Int. Cl.：H02H9/04 (2006.01)

發明

全 11 頁

【54】名稱：靜電放電防護電路

CIRCUIT FOR ELECTROSTATIC DISCHARGE (ESD) PROTECTION

【21】申請案號：096125707

【22】申請日：中華民國 96 (2007) 年 07 月 13 日

【11】公開編號：200818651

【43】公開日期：中華民國 97 (2008) 年 04 月 16 日

【30】優先權：2006/09/11

美國

60/825,152

2007/03/13

美國

11/717,948

【72】發明人：陳世宏 (TW) CHEN, SHIH HUNG；柯明道 (TW) KER, MING DOU

【71】申請人：財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY

RESEARCH INSTITUTE

新竹縣竹東鎮中興路 4 段 195 號

【74】代理人：洪澄文；顏錦順

【56】參考文獻：

US 6011681

US 6075686

US 6404269B1

US 6444542B2

US 6462601B1

US 6963110B2

US 2004/0169541A1

US 2005/0083623A1

US 2005/0231866A1

審查人員：彭樞富

[57]申請專利範圍

1. 一種靜電放電(ESD)防護電路，該電路包括：一第一組電源軌，其包括一第一高電源軌與一第一低電源軌；於該第一組電源軌之間的一第一介面電路，該第一介面電路具有至少一閘極電極；一第一 ESD 裝置，其包括一耦合至該第一介面電路之該至少一閘極電極的端子；以及一第二 ESD 裝置，其包括一耦合至該第一介面電路之該至少一閘極電極的端子，該第一 ESD 裝置與該第二 ESD 裝置係配置成在發生 ESD 時將該第一介面電路之該至少一閘極電極處的一電壓位準保持於大約一接地位準。
2. 如申請專利範圍第 1 項所述之電路，其中該第一 ESD 裝置包括一電晶體，並且該電晶體包括：一耦合至該至少一閘極電極之第一端子；一耦合至該第一高電源軌之第二端子；以及一耦合至該第一低電源軌之閘極。
3. 如申請專利範圍第 2 項所述之電路，其進一步包括一電阻器，該電阻器係耦合於該第一 ESD 裝置之該第二端子與該第一高電源軌之間。
4. 如申請專利範圍第 2 項所述之電路，其進一步包括一電晶體，該電晶體係耦合於該第一 ESD 裝置之該第二端子與該第一高電源軌之間。
5. 如申請專利範圍第 1 項所述之電路，其中該第二 ESD 裝置包括一電晶體，並且該電晶體包括：一耦合至該至少一閘極電極之第一端子；一耦合至該第一低電源軌之第二端子；以及一耦合至該第一高電源軌之閘極。
6. 如申請專利範圍第 5 項所述之電路，其進一步包括一電阻器，該電阻器係耦合於該第二 ESD 裝置之該第二端子與該第一低電源軌之間。

7. 如申請專利範圍第 5 項所述之電路，其進一步包括一電晶體，該電晶體係耦合於該第二 ESD 裝置之該第二端子與該第一低電源軌之間。
8. 如申請專利範圍第 1 項所述之電路，其進一步包括：一第二組電源軌，其進一步包括一第二高電源軌與一第二低電源軌；以及於該第二組電源軌之間的一第二介面電路。
9. 如申請專利範圍第 8 項所述之電路，其進一步包括一電阻器，該電阻器係耦合於該第二介面電路之一輸出與該第一介面電路之該至少一閘極電極之間。
10. 如申請專利範圍第 8 項所述之電路，其中該第二 ESD 裝置進一步包括一電晶體，並且該電晶體包括：一耦合至該至少一閘極電極之第一端子；一經由一第一電阻器耦合至該第一低電源軌之第二端子；以及一經由一第二電阻器耦合至該第二低電源軌之閘極。
11. 如申請專利範圍第 10 項所述之電路，其進一步包括一 ESD 箝位電路，該 ESD 箝位電路係耦合於該第一低電源軌與該第二低電源軌之間。
12. 如申請專利範圍第 8 項所述之電路，其中該第一 ESD 裝置進一步包括一電晶體，並且該電晶體包括：一耦合至該至少一閘極電極之第一端子；一經由一第一電阻器耦合至該第一高電源軌之第二端子；以及一經由一第二電阻器耦合至該第二高電源軌之閘極。
13. 如申請專利範圍第 12 項所述之電路，其進一步包括一 ESD 箝位電路，該 ESD 箝位電路係耦合於該第一高電源軌與該第二高電源軌之間。
14. 一種能夠提供靜電放電(ESD)防護的電路，該電路包括：一第一組電源軌，其包括一第一高電源軌與一第一低電源軌；一第二組電源軌，其包括一第二高電源軌與一第二低電源軌；一耦合於該第一組電源軌之間的第一介面電路，該第一介面電路包括至少一閘極電極；一耦合於該第二組電源軌之間的第二介面電路，該第二介面電路進一步包括一耦合至該至少一閘極電極的輸出；以及一 ESD 裝置，其係經由該第一介面電路之該至少一閘極電極而耦合至該第一介面電路，該 ESD 裝置係配置成在該第一組電源軌之一係於相對接地而 ESD 發生於該第二高電源軌時或者在該第二組電源軌之一係於相對接地而 ESD 發生於該第一高電源軌時將該至少一閘極電極處的一電壓位準保持於大約一接地位準。
15. 如申請專利範圍第 14 項所述之電路，其進一步包括一耦合於該第一組電源軌之間的 ESD 電路。
16. 如申請專利範圍第 14 項所述之電路，其進一步包括一耦合於該第二組電源軌之間的 ESD 電路。
17. 如申請專利範圍第 14 項所述之電路，其進一步包括一 ESD 電路，該 ESD 電路係耦合於該第一低電源軌與該第二低電源軌之間。
18. 如申請專利範圍第 14 項所述之電路，其進一步包括一 ESD 電路，該 ESD 電路係耦合於該第一高電源軌與該第二高電源軌之間。
19. 如申請專利範圍第 14 項所述之電路，其中該 ESD 裝置包括一電晶體，並且該電晶體包括：一耦合至該至少一閘極電極之第一端子；一耦合至該第一高電源軌之第二端子；以及一耦合至該第一低電源軌之閘極。
20. 如申請專利範圍第 14 項所述之電路，其中該 ESD 裝置包括一電晶體，並且該電晶體包括：一耦合至該至少一閘極電極之第一端子；一耦合至該第一低電源軌之第二端子；以及一耦合至該第一高電源軌之閘極。
21. 如申請專利範圍第 17 項所述之電路，其中該 ESD 裝置包括一電晶體，該電晶體進一步包括一耦合至該至少一閘極電極之第一端子、一經由一第一電阻器耦合至該 ESD 箝位電路之一第一端的第二端子以及一經由一第二電阻器耦合至該 ESD 箝位電路之一第二端的閘極。

22. 如申請專利範圍第 18 項所述之電路，其中該 ESD 裝置包括一電晶體，該電晶體進一步包括一耦合至該至少一閘極電極之第一端子、一經由一第一電阻器耦合至該 ESD 箝位電路之一第一端的第二端子以及一經由一第二電阻器耦合至該 ESD 箝位電路之一第二端的閘極。
23. 一種能夠提供靜電放電(ESD)防護的電路，其包括：一第一組電源軌，其進一步包括一第一高電源軌與一第一低電源軌；一第二組電源軌，其進一步包括一第二高電源軌與一第二低電源軌；於該第一組電源軌之間的一第一介面電路，其進一步包括一閘極電極與一第一端子；於該第二組電源軌之間的一第二介面電路，其進一步包括一耦合至該閘極電極的輸出，該第二介面電路能夠回應於一 ESD 電壓而將該閘極電極處的一電壓位準拉至該第二低電源軌的一電壓位準；以及一 ESD 裝置，其進一步包括一耦合至該第一介面電路之該第一端子之端子，該 ESD 裝置能夠將該第一端子處之一電壓位準拉至該第一低電源軌或該第二低電源軌之一電壓位準。
24. 如申請專利範圍第 23 項所述之電路，其進一步包括一電晶體，該電晶體係耦合於該第一高電源軌與該第一介面電路之該第一端子之間。
25. 如申請專利範圍第 23 項所述之電路，其進一步包括一電晶體，該電晶體係耦合於該第二高電源軌與該第二介面電路之一端子之間。
26. 如申請專利範圍第 24 項所述之電路，其中該 ESD 裝置包括一閘極，其與耦接於該第一高電源軌與該第一介面電路之該第一端子之間的該電晶體之一閘極耦合。
27. 如申請專利範圍第 23 項所述之電路，其中該 ESD 裝置包括一耦合至該第一低電源軌與該第二低電源軌之一的端子。
28. 如申請專利範圍第 23 項所述之電路，其進一步包括：一反相器，其進一步包括一輸入；以及一電晶體，其進一步包括一耦合至該反相器之該輸入之閘極以及一耦合至該第二低電源軌之端子。
29. 如申請專利範圍第 28 項所述之電路，其進一步包括於該第二組電源軌之間的一電阻器-電容器(RC)網路，該 RC 網路進一步包括一耦合至該反相器之該輸入之端子。
30. 如申請專利範圍第 23 項所述之電路，其進一步包括一位於該第一組電源軌之間的電阻器-電容器(RC)網路。
31. 如申請專利範圍第 23 項所述之電路，其中該 ESD 裝置進一步包括：一電晶體，其包括一經由一電阻器耦合至該第一低電源軌的閘極，以及一耦合至該第二低電源軌的端子；以及一 ESD 箝位電路，其耦合於該第一低電源軌與該第二低電源軌之間。
32. 如申請專利範圍第 30 項所述之電路，其中該 ESD 裝置進一步包括一耦合至該 RC 網路之一端子的閘極，以及一耦合至該第二低電源軌的端子。
33. 一種能夠提供靜電放電(ESD)防護的電路，其包括：一第一組電源軌，其進一步包括一第一高電源軌與一第一低電源軌；一第二組電源軌，其進一步包括一第二高電源軌與一第二低電源軌；於該第一組電源軌之間的一第一介面電路，其進一步包括一閘極電極；於該第二組電源軌之間的一第二介面電路，其進一步包括一耦合至該閘極電極的輸出；以及一 ESD 裝置，其進一步包括一矽控整流器(SCR)以及一電晶體，其中該 SCR 具有一第一端和一第二端，分別耦接該第一高電源軌和該第二低電源軌，或分別耦接該第一低電源軌和該第二高電源軌，該電晶體能夠回應於該第一高電源軌與該第二高電源軌之一上發生的一 ESD 電壓而觸發該 SCR。

圖式簡單說明

(4)

當併同各隨附圖式而閱覽時，即可更佳瞭解本發明之前揭摘要以及上文詳細說明。為達本發明之說明目的，各圖式裏圖繪有現屬較佳之各具體實施例。然應瞭解本發明並不限於所繪之精確排置方式及設備裝置。

在各圖式中：圖 1 為習知多電源組 IC 應用之電路圖；圖 2A 為根據本發明之一範例之 ESD 防護電路之電路圖；圖 2B 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 2C 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 2D 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 2E 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 3A 為根據本發明之一範例之 ESD 防護電路之電路圖；圖 3B 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 3C 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 3D 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 3E 為根據本發明之另一範例之 ESD 防護電路之電路圖；圖 4A 為根據本發明之一範例之 ESD 防護電路之電路圖；圖 4B 為根據本發明之另一範例之 ESD 防護電路之電路圖；以及圖 4C 為根據本發明之另一範例之 ESD 防護電路之電路圖。

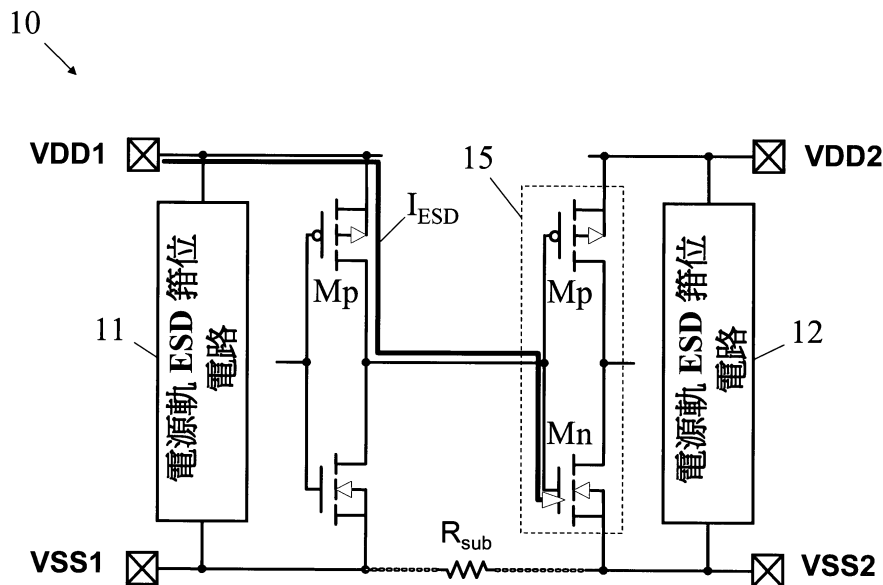


圖 1 (先前技術)

(5)

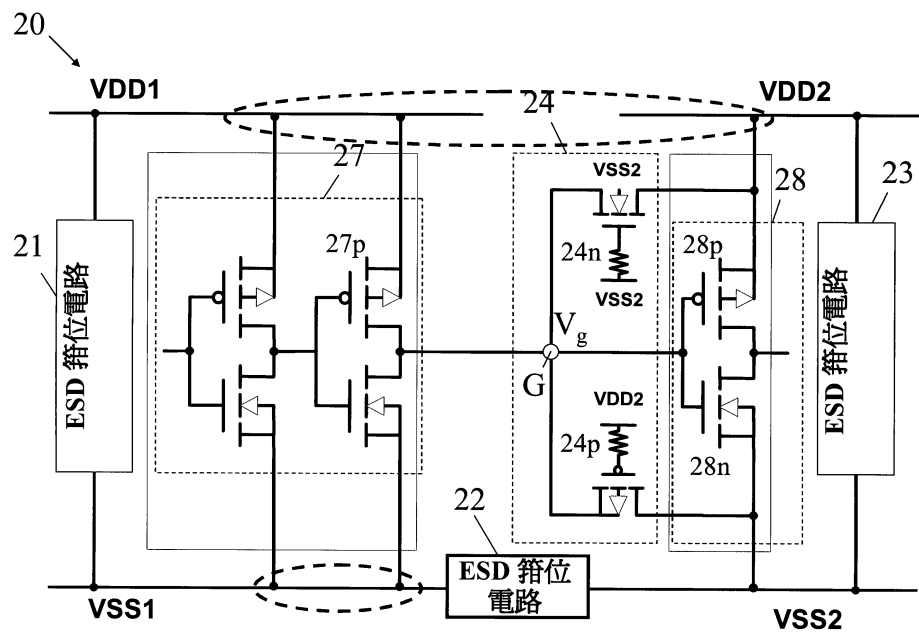


圖 2A

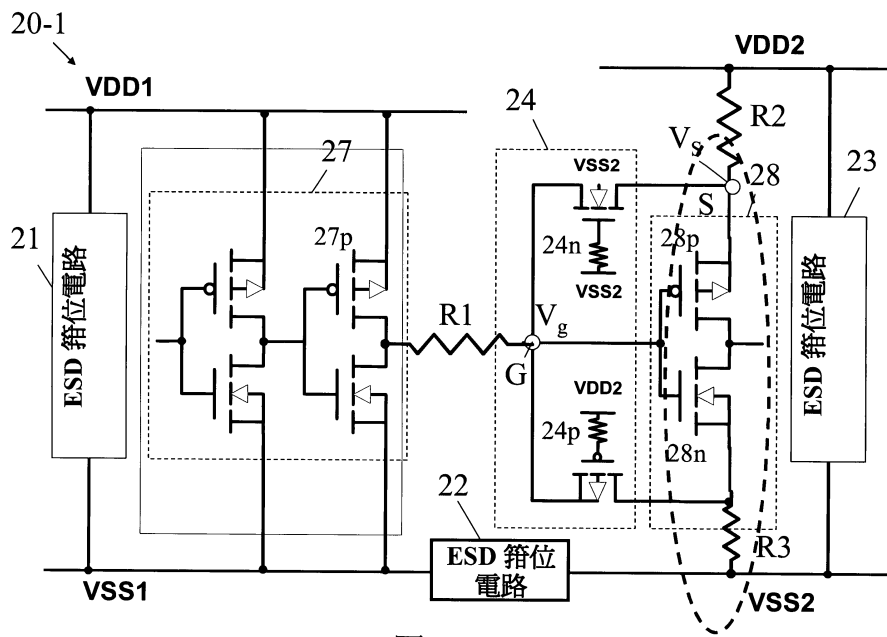


圖 2B

(6)

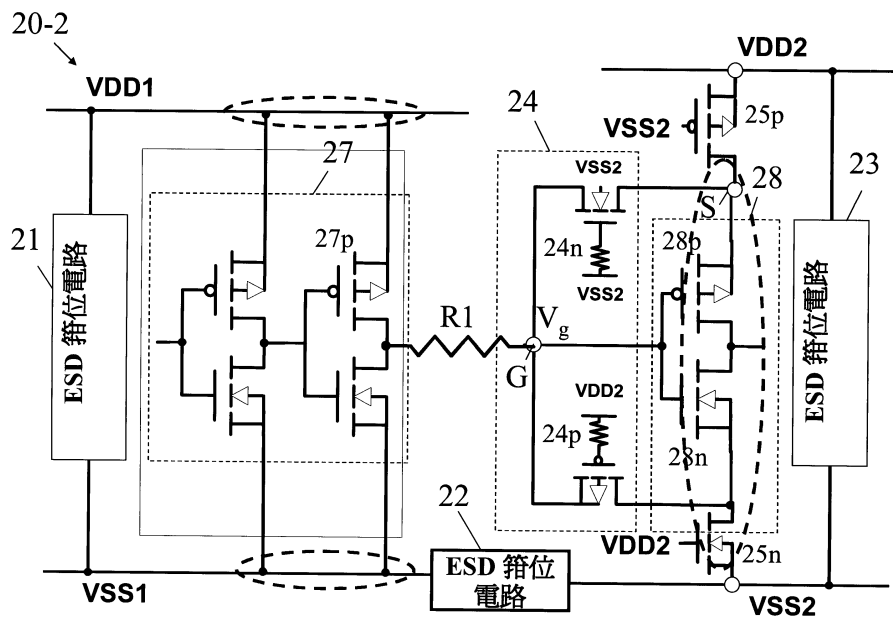


圖 2C

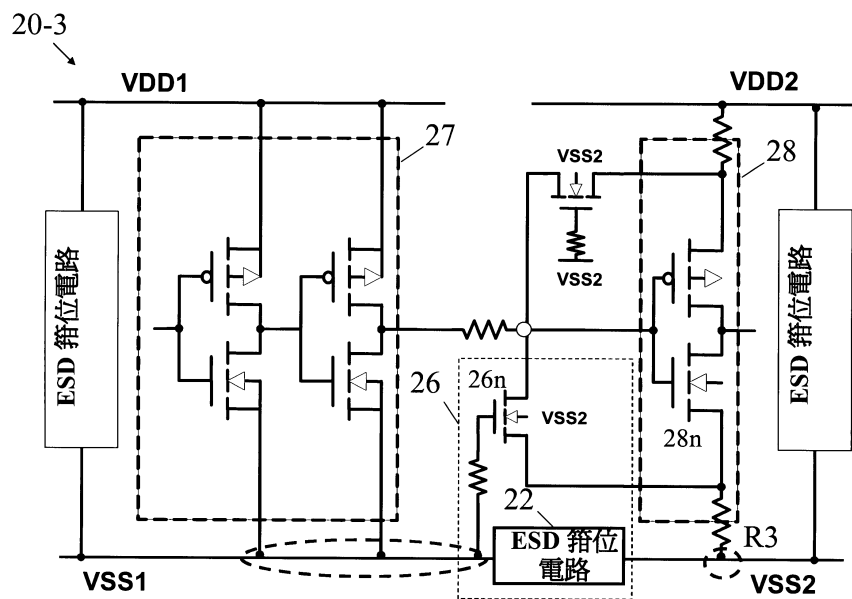


圖 2D

(7)

20-4
↙

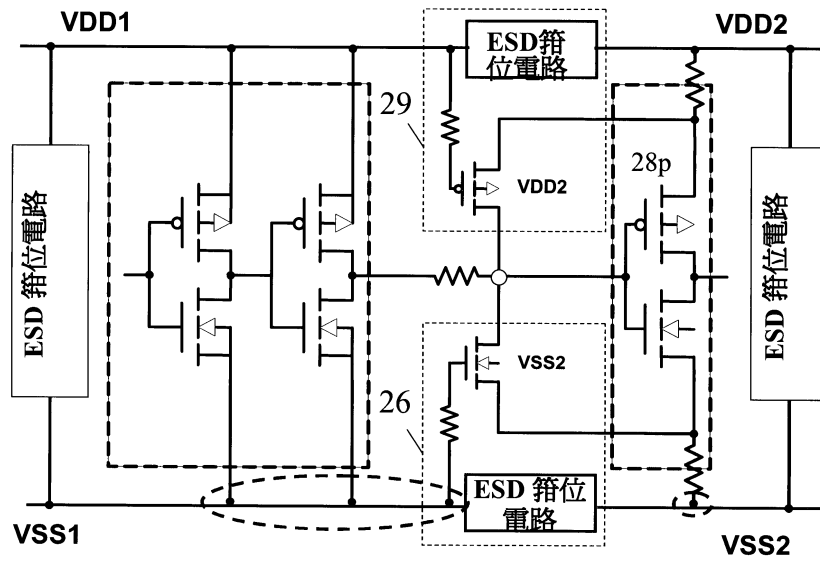


圖 2E

30
↙

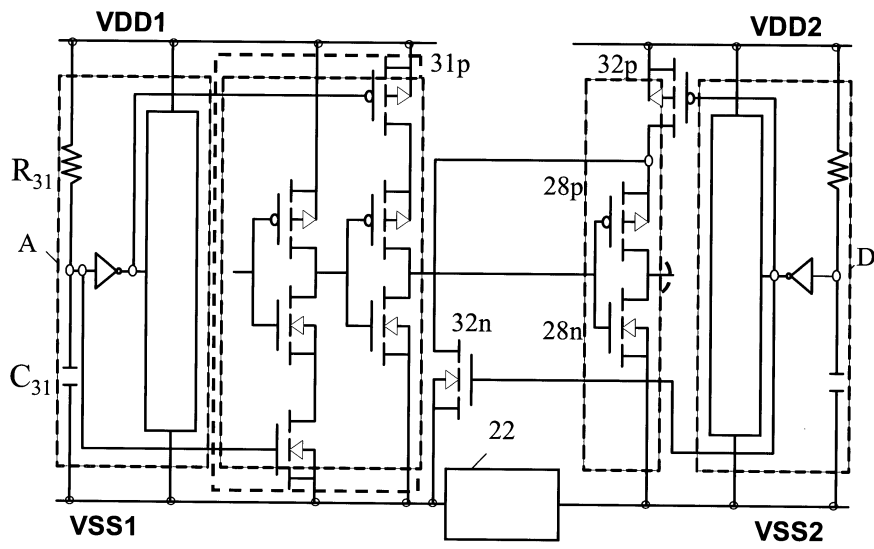


圖 3A

(8)

30-1

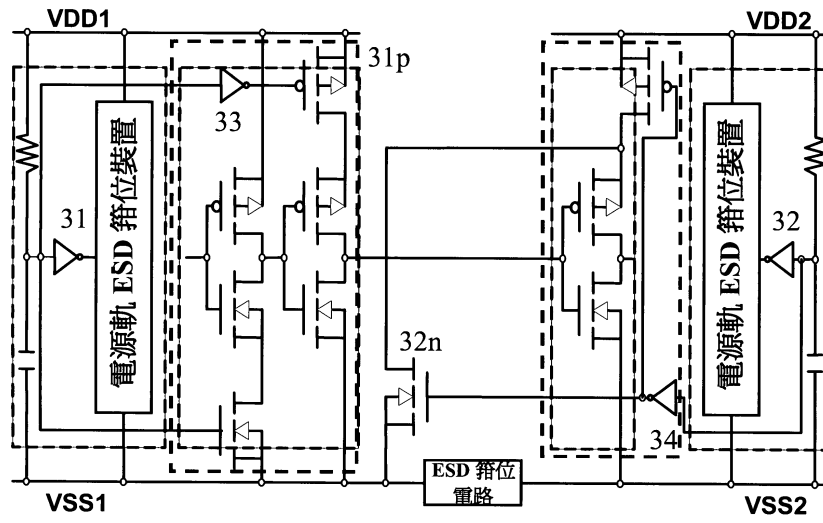


圖 3B

30-2

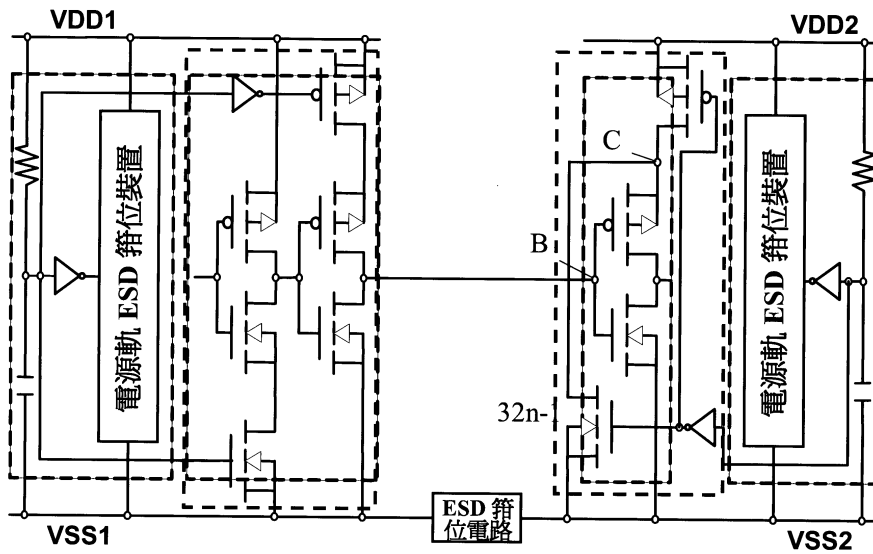


圖 3C

(9)

30-3

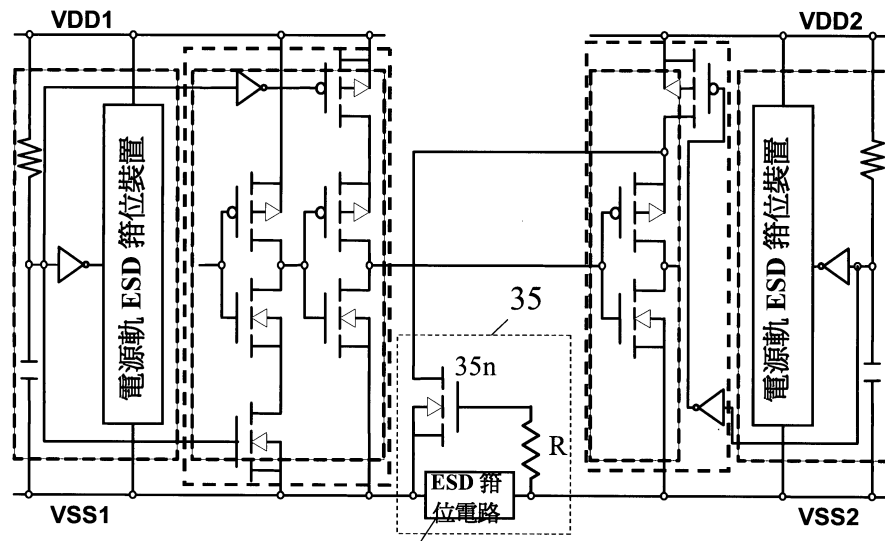


圖 3D

30-4

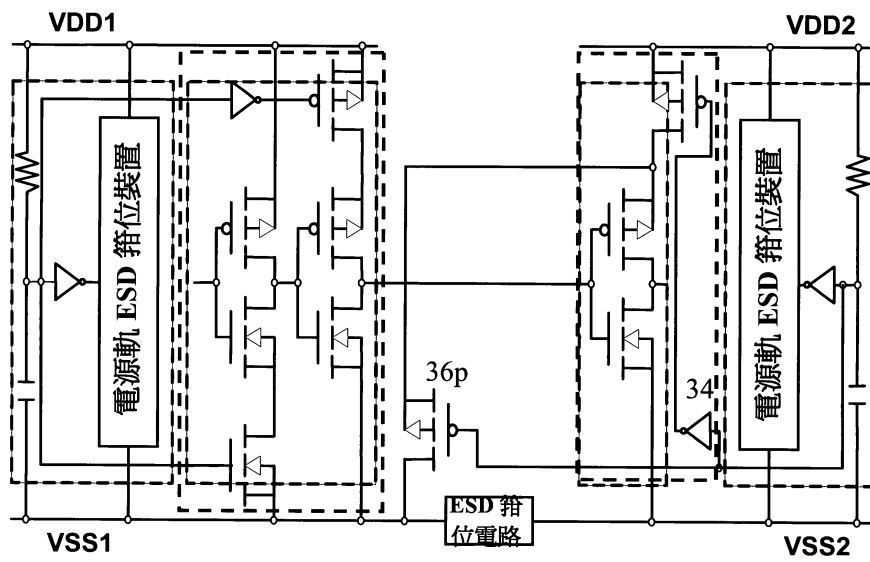


圖 3E

(10)

40

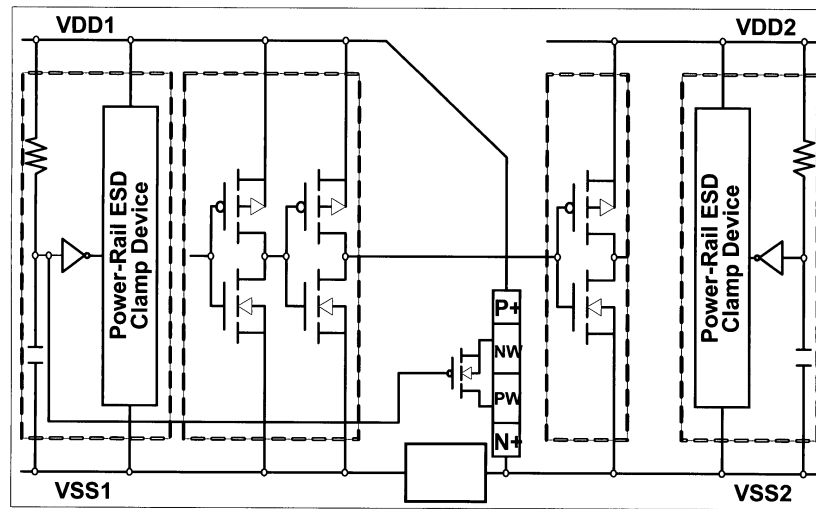


圖 4A

40-1

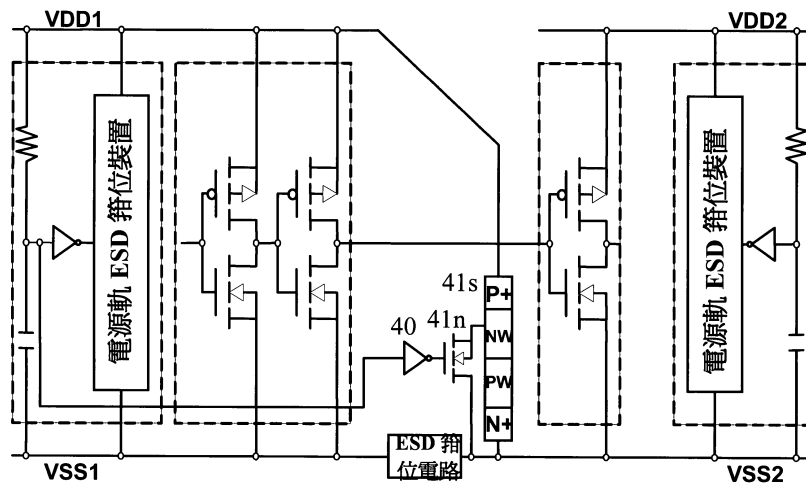


圖 4B

40-2
↙

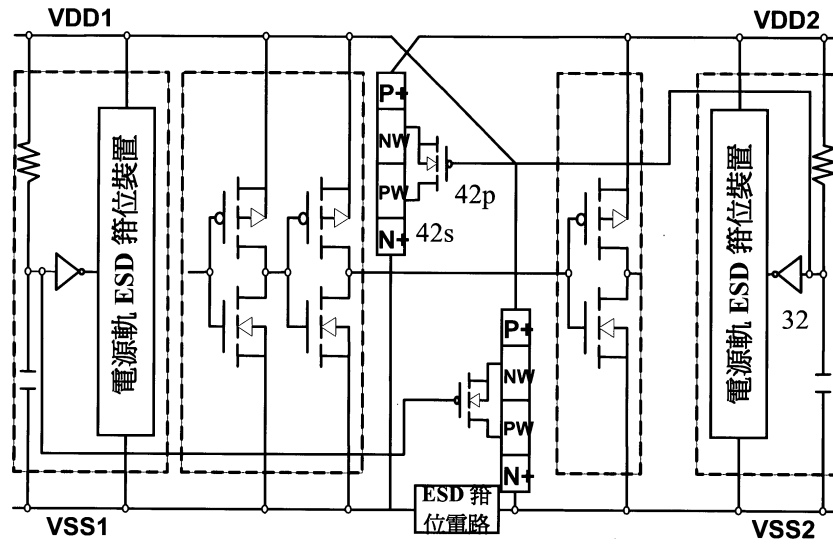


圖 4C

