

(11)公告編號: 359021

(44)中華民國88年(1999)05月21日

發明

全 7 頁

(51)Int. Cl. 6: H01L23/60

(54)名稱: 強化靜電放電防護能力之互補式金氧半輸出緩衝器

(21)申請案號: 84107062

(22)申請日期: 中華民國84年(1995)07月06日

(72)發明人:

柯明道

吳添祥

台南縣歸仁鄉西埔村大埔十一號

苗栗縣後龍鎮龍北里三鄰一〇四號

(71)申請人:

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代理人:

1

2

[57]申請專利範圍:

1.一種含抗靜電放電保護電路之互補式金氧半輸出緩衝器,其內含有:

一薄氧化層PMOS元件及一薄氧化層NMOS元件,該薄氧化層PMOS元件的源極接到VDD電壓源;該薄氧化層NMOS元件的源極接到VSS電壓源,該PMOS元件與NMOS元件的汲極連接在一起並連接到一個輸出墊上;

一個第一低電壓觸發矽控整流器連接於VDD與該輸出墊之間來防護ND模式的靜電放電;

一個第二低電壓觸發矽控整流器連接於該輸出墊與VSS之間來防護PS模式的靜電放電;

一個第一寄生二極體連接於VDD與輸出墊之間來防護PD模式的靜電放電;以及

一個第二寄生二極體連接於輸出墊與VSS之間來防護NS模式的靜電放電。

2.如申請專利範圍第1項所述之含抗靜電

放電保護電路之互補式金氧半輸出緩衝器,有一個P型井區/N型基底的結構。

3.如申請專利範圍第1項所述之含抗靜電放電保護電路之互補式金氧半輸出緩衝器,有一個N型井區/P型基底的結構。

4.如申請專利範圍第1項所述之含抗靜電放電保護電路之互補式金氧半輸出緩衝器,其中,該第一低電壓觸發矽控整流器具有一橫向矽控整流結構,且其陽極連接到VDD,其陰極連接到該輸出墊,此第一低電壓觸發矽控整流器內尚含一PMOS元件,此PMOS元件在其汲極驟回崩潰時會觸發此矽控整流器導通。

5.如申請專利範圍第1項所述之含抗靜電放電保護電路之互補式金氧半輸出緩衝器,其中,該第二低電壓觸發矽控整流器具有一橫向矽控整流器結構,且其陽極連接到輸出墊,其陰極連接到VSS,此第二低電壓觸發矽控整流器內

尚含一 NMOS 元件，此 NMOS 元件在其汲極驟回崩潰時會觸發此矽控整流器導通。

6.一種含抗靜電放電保護電路在內的互補式金氧半輸出緩衝器，其內含有：
一個第一 PMOS 元件與一個第一 NMOS 元件，此兩元件的汲極連接在一起且接到一個輸出墊，該第一 PMOS 元件的源極接到第一參考電壓源，該第一 NMOS 元件的源極接到第二參考電壓源；

一個第一橫向矽控整流器，其陽極接到第一參考電壓，其陰極接到該輸出墊，並包含一個第二 PMOS 元件，此第二 PMOS 元件在其汲極驟回崩潰時會導通該第一橫向矽控整流器；以及
一個第二橫向矽控整流器，其陽極接到該輸出墊，其陰極接到第二參考電壓，並包含有一個第二 NMOS 元件，該第二 NMOS 元件在其汲極驟回崩潰時會導通該第二橫向矽控整流器。

7.如申請專利範圍第 6 項所述之含靜電放電保護電路在內的互補式金氧半輸出緩衝器，尚包含一個第一寄生二極體連接於該輸出墊與第一參考電壓之間。

8.如申請專利範圍第 6 項所述之含抗靜電放電保護電路在內的互補式金氧半輸出緩衝器，尚包含一個第二寄生二極體連接於該輸出墊與第二參考電壓之間。

9.一種半導體元件用來提供積體電路輸出緩衝器抗靜電放電之保護，包含一個第一低電壓觸發橫向矽控整流器，該第一低電壓觸發橫向矽控整流器做在一半導體基底上，其陽極接到一個第一參考電壓，其陰極接到該積體電路的一個輸出墊，該第一低電壓觸發橫向矽控整流器內含有一 PMOS 元件，該 PMOS 元件在其汲極驟回崩潰時會導通此第一低電壓觸發橫向矽控整流器。

10.如申請專利範圍第 9 項所述之半導體

元件，其中，該第一低電壓觸發橫向矽控整流器的該陰極包含一 N 型濃佈植區，在一 N 型井區內，共同做在一 P 型基底上。

11.如申請專利範圍第 9 項所述之半導體元件，其中，該第一低電壓觸發橫向矽控整流器的該陰極包含一 N 型濃佈植區在一 P 型井區內，共同做在一 N 型基底上。

12.如申請專利範圍第 9 項所述之半導體元件，其中，該 PMOS 元件的汲極橫跨做在該半導體基底與一第一井區的接面上，其源極橫跨做在該半導體基底與一第二井區的接面上，該半導體基底是一第一型的佈植，而該第一井區與該第二井區是一第二型的佈植。

13.如申請專利範圍第 9 項所述之半導體元件，其中，該 PMOS 元件的該汲極是一 P 型濃佈植區。

14.如申請專利範圍第 9 項所述之半導體元件，尚包含一薄氧化層 PMOS 元件，此薄氧化層 PMOS 元件與該第一低電壓觸發橫向矽控整流器合併在一起以節省佈局面積，此一薄氧化層 PMOS 元件的汲極由平行的 P 型濃佈植區做在同一半導體基底而成，且此一薄氧化層 PMOS 元件在佈局上與該第一低電壓觸發橫向矽控整流器平行並聯。

15.如申請專利範圍第 9 項所述之半導體元件，尚包含一第二低電壓觸發橫向矽控整流器，與該第一橫向低電壓觸發橫向矽控整流器做在同一半導體基底上，並且其陽極連接到該輸出墊，其陰極連接到一個第二參考電壓，該第二低電壓觸發橫向矽控整流器內含有一 NMOS 元件，此 NMOS 元件在其汲極驟回崩潰時會導通此第二低電壓觸發橫向矽控整流器。

16.如申請範圍第 15 項所述之半導體元件，其中，該第二低電壓橫向矽控整流

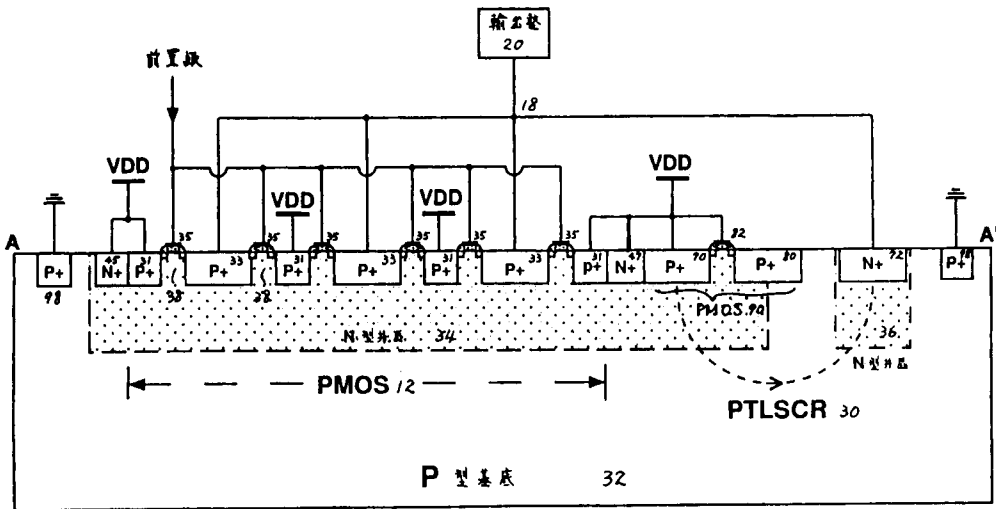
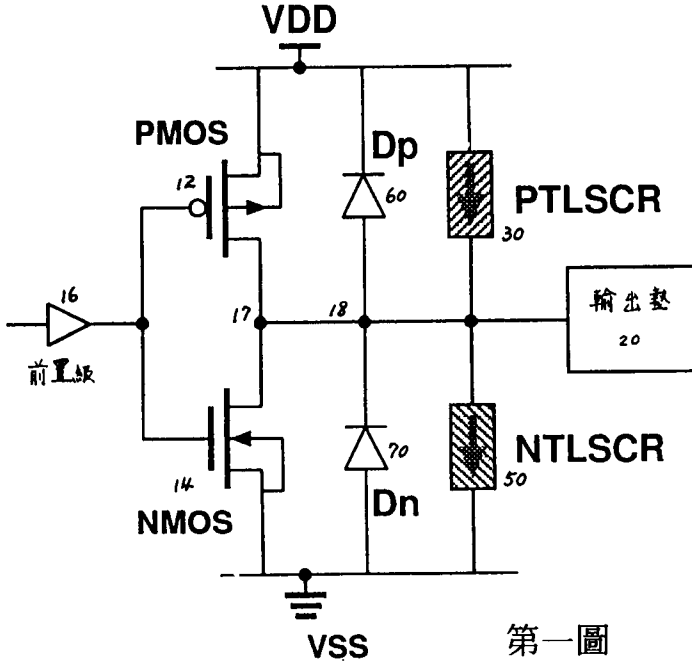
器的該陽極是由一P型濃佈植區在一N型井區內；做在同一P型基底上所組成。

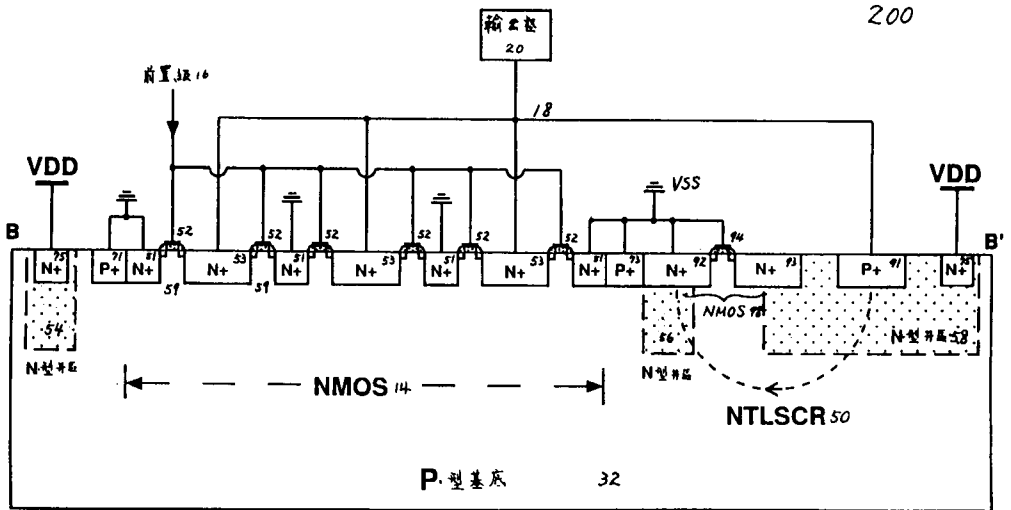
- 17.如申請專利範圍第15項所述之半導體元件，其中，該第二低電壓觸發橫向矽控整流器的該陽極是由一P型濃佈植區在一P型井區內，做在同一N型基底上所組成。
- 18.如申請專利範圍第15項所述之半導體元件，其中，該NMOS元件的汲極橫跨做在該半導體基底與一第一井區的接面上，其源極橫跨做在該半導體基底與一第二井區的接面上，該半導體基底是一第一型的佈植，而該第一井區與該第二井區為一第二型的佈植。
- 19.如申請專利範圍第15項所述之半導體元件，其中，該NMOS元件的汲極為一N型濃佈植區。
- 20.如申請專利範圍第15項所述之半導體元件，尚包含一薄氧化層NMOS元件，與該第二低電壓觸發橫向矽控整流器合併在一起以節省佈局面積，其中該薄氧化層NMOS元件的汲極由平行的N型濃佈植區做在同一半導體基底而成，

且該薄氧化層NMOS元件在佈局上與該第二低電壓觸發橫向矽控整流器平行並聯。

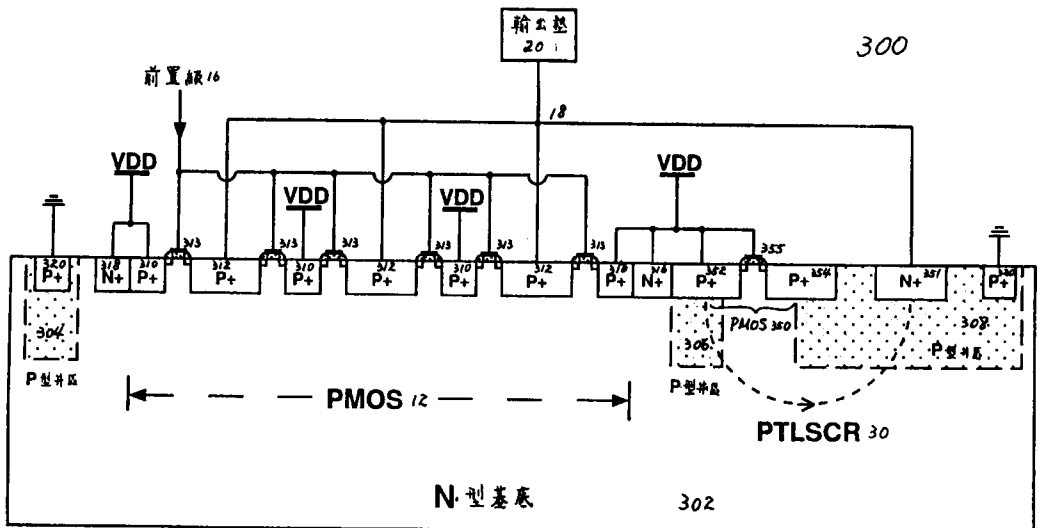
圖式簡單說明：

5. 第一圖係顯示本發明的電路連接示意圖；
- 第二圖係顯示根據本發明中互補式金氧半輸出緩衝器內之PMOS元件與PTLSCR元件合併製作於P型基底的剖面圖；
10. 第三圖係顯示根據本發明中互補式金氧半輸出緩衝器內之NMOS元件與NTLSCR元件合併製作於P型基底的剖面圖；
15. 第四圖係顯示根據本發明中互補式金氧半輸出緩衝器內之PMOS元件與PTLSCR元件合併製作於N型基底的剖面圖；
20. 第五圖係顯示根據本發明中互補式金氧半輸出緩衝器內之NMOS元件與NTLSCR元件合併製作於N型基底的剖面圖；
- 第六圖係顯示第二圖的上視圖；
- 第七圖係顯示第三圖的上視圖。



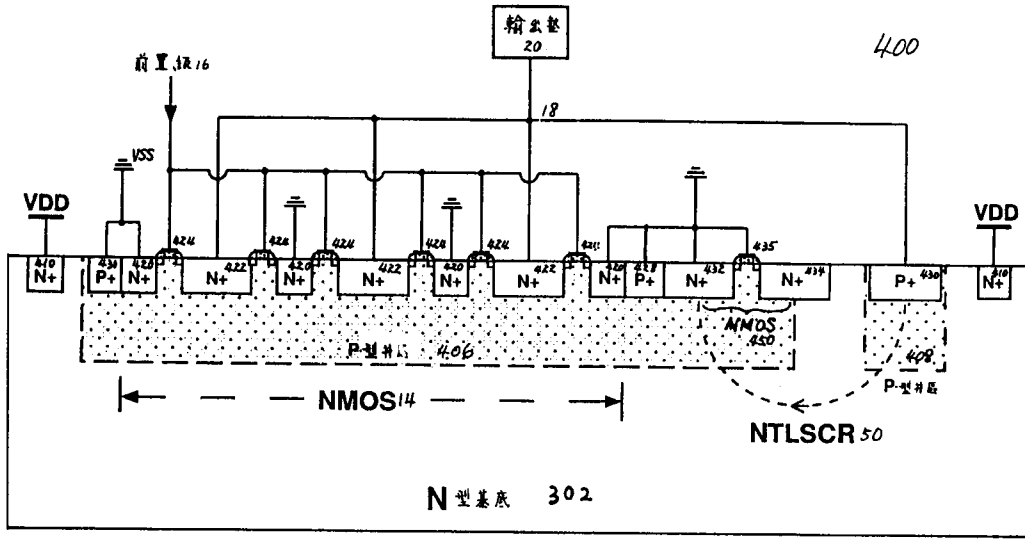


第三圖

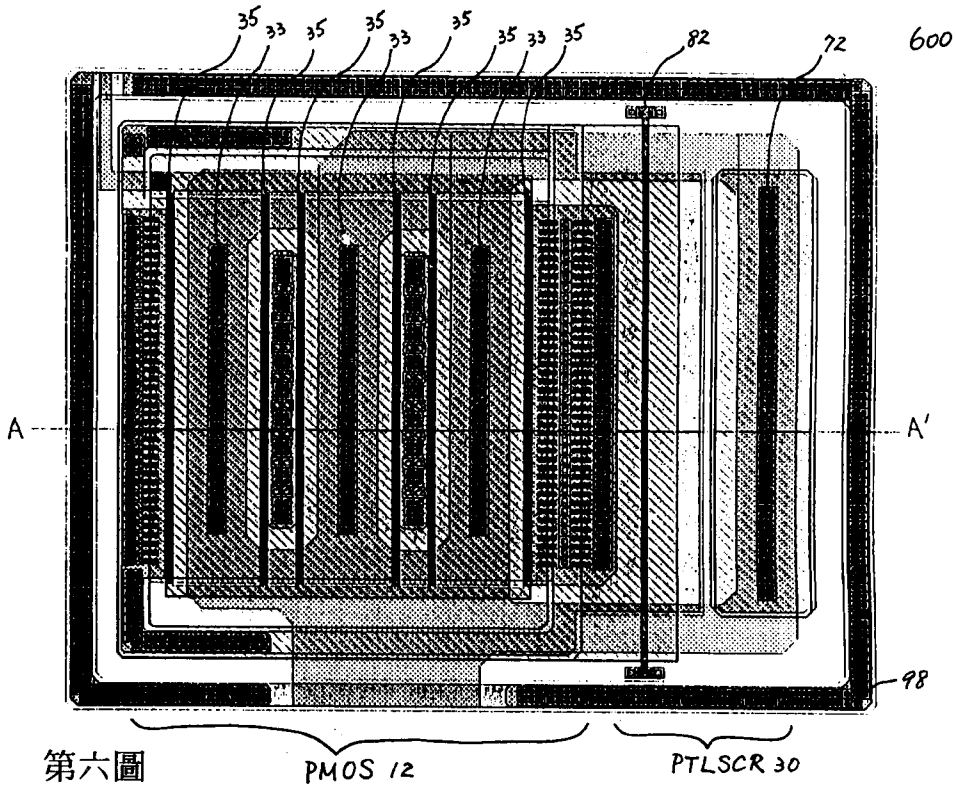


第四圖

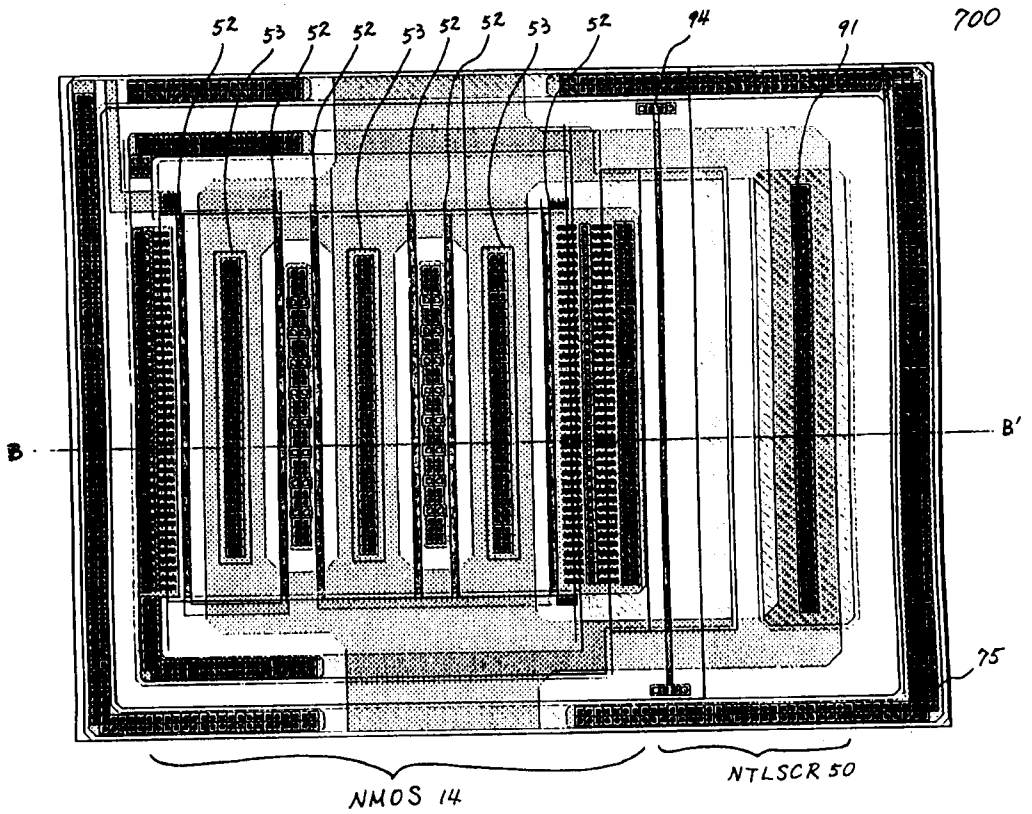
(6)



第五圖



第六圖



第七圖

