

**【11】 證書號數：**I369501**【45】 公告日：**中華民國 101 (2012) 年 08 月 01 日**【51】 Int. Cl.：** **G01R29/12 (2006.01)**

發明

全 6 頁

**【54】 名 稱：**暫態偵測電路以及積體電路

TRANSIENT DETECTION CIRCUIT AND INTEGRATED CIRCUIT

**【21】 申請案號：**097113923**【22】 申請日：**中華民國 97 (2008) 年 04 月 17 日**【11】 公開編號：**200933164**【43】 公開日期：**中華民國 98 (2009) 年 08 月 01 日**【30】 優先權：**2008/01/23

美國

12/018,229

**【72】 發明人：**柯明道 (TW) KER, MING DOU；顏承正 (TW) YEN, CHENG CHEGN；廖期聖 (TW) LIAO, CHI SHENG；陳東暘 (TW) CHEN, TUNG YANG**【71】 申請人：**國立交通大學NATIONAL CHIAO-TUNG  
UNIVERSITY

新竹市東區大學路 1001 號

奇景光電股份有限公司

HIMAX TECHNOLOGIES LIMITED

臺南市新市區紫棟路 26 號

**【74】 代理人：**洪澄文；顏錦順**【56】 參考文獻：**

US 6369994B1

US 2005/0018370A1

US 2007/0097568A1

審查人員：高健忠

**[57]申請專利範圍**

1. 一種暫態偵測電路，當一靜電放電事件發生時，提供一告知信號予一外部儀器，該暫態偵測電路包括：一偵測單元，耦接於一第一及第二電源線之間，用以偵測該靜電放電事件；一設定單元，根據偵測結果，設定一第一節點之位準；一記憶單元，根據該第一節點之位準，控制該告知信號，當該靜電放電事件發生時，該告知信號為一第一位準；一緩衝單元，耦接於該記憶單元與該外部儀器之間，用以增加該告知信號之驅動能力；以及一重置單元，耦接於該緩衝單元與該第二電源線之間，用以使該告知信號為一第二位準，該第二位準相對於該第一位準。
2. 如申請專利範圍第 1 項所述之暫態偵測電路，其中該偵測單元包括：一電阻，耦接於該第一電源線與一第二節點之間；以及一電容，耦接於該第二節點與該第二電源線之間。
3. 如申請專利範圍第 2 項所述之暫態偵測電路，其中該設定單元包括：一反相器，其輸入端耦接該第二節點；以及一 N 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第二電源線，其汲極耦接該第一節點。
4. 如申請專利範圍第 2 項所述之暫態偵測電路，其中該設定單元係為一 P 型電晶體，其閘極耦接該第二節點，其源極耦接該第一電源線，其汲極耦接該第一節點。
5. 如申請專利範圍第 1 項所述之暫態偵測電路，該偵測單元包括：一電容，耦接於該第一電源線與一第二節點之間；以及一電阻，耦接於該第二節點與該第二電源線之間。
6. 如申請專利範圍第 5 項所述之暫態偵測電路，其中該設定單元包括：一反相器，其輸入端耦接該第二節點；以及一 P 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第一電源線，其汲極耦接該第一節點。

7. 如申請專利範圍第 5 項所述之暫態偵測電路，其中該設定單元係為一 N 型電晶體，其閘極耦接該第二節點，其源極耦接該第二電源線，其汲極耦接該第一節點。
8. 如申請專利範圍第 1 項所述之暫態偵測電路，其中該記憶單元包括：一第一邏輯模組，其輸入端耦接該第一節點，其輸出端輸出該告知信號予該外部儀器；以及一第二邏輯模組，其輸入端耦接該第一邏輯模組之輸出端，其輸出端耦接該第一節點。
9. 如申請專利範圍第 8 項所述之暫態偵測電路，其中該第一邏輯模組係為反相器，NAND 閘或是 NOR 閘。
10. 一種積體電路，當一靜電放電事件發生時，提供一告知信號予一外部儀器，包括：一核心單元，耦接於一第一及第二電源線之間，用以執行相關功能；以及一暫態偵測電路，包括：一偵測單元，耦接於該第一及第二電源線之間，用以偵測該靜電放電事件；一設定單元，根據偵測結果，設定一第一節點之位準；一記憶單元，根據第一節點之位準，控制該告知信號，當該靜電放電事件發生時，該告知信號為一第一位準；一緩衝單元，耦接於該記憶單元與該外部儀器之間，用以增加該告知信號之驅動能力；以及一重置單元，耦接於該緩衝單元與該第二電源線之間，用以使該告知信號為一第二位準，該第二位準相對於該第一位準。
11. 如申請專利範圍第 10 項所述之積體電路，其中該偵測單元包括：一電阻，耦接於該第一電源線與一第二節點之間；以及一電容，耦接於該第二節點與該第二電源線之間。
12. 如申請專利範圍第 11 項所述之積體電路，其中該設定單元包括：一反相器，其輸入端耦接該第二節點；以及一 N 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第二電源線，其汲極耦接該第一節點。
13. 如申請專利範圍第 11 項所述之積體電路，其中該設定單元係為一 P 型電晶體，其閘極耦接該第二節點，其源極耦接該第一電源線，其汲極耦接該第一節點。
14. 如申請專利範圍第 10 項所述之積體電路，該偵測單元包括：一電容，耦接於該第一電源線與一第二節點之間；以及一電阻，耦接於該第二節點與該第二電源線之間。
15. 如申請專利範圍第 14 項所述之積體電路，其中該設定單元包括：一反相器，其輸入端耦接該第二節點；以及一 P 型電晶體，其閘極耦接該反相器之輸出端，其源極耦接該第一電源線，其汲極耦接該第一節點。
16. 如申請專利範圍第 14 項所述之積體電路，其中該設定單元係為一 N 型電晶體，其閘極耦接該第二節點，其源極耦接該第二電源線，其汲極耦接該第一節點。
17. 如申請專利範圍第 10 項所述之積體電路，其中該記憶單元包括：一第一邏輯模組，其輸入端耦接該第一節點，其輸出端輸出該告知信號予該外部儀器；以及一第二邏輯模組，其輸入端耦接該第一邏輯模組之輸出端，其輸出端耦接該第一節點。
18. 如申請專利範圍第 17 項所述之積體電路，其中該第一邏輯模組係為反相器，NAND 閘或是 NOR 閘。

#### 圖式簡單說明

第 1 圖為本發明之測量系統之示意圖。

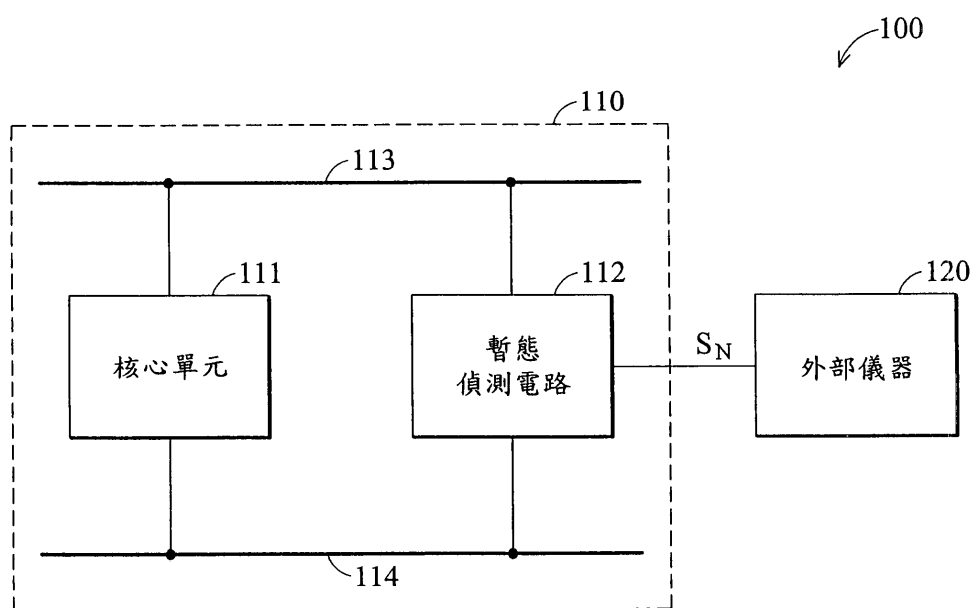
第 2 圖為本發明之暫態偵測電路之一可能實施例。

第 3A~3B 圖為本發明之偵測單元與設定單元之一可能實施例。

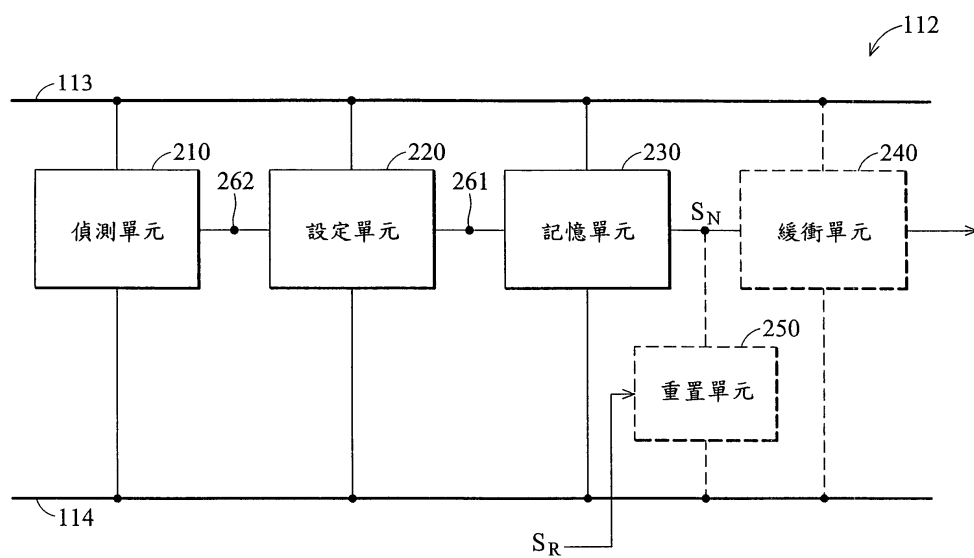
第 4A~4B 圖為本發明之偵測單元與設定單元之另一可能實施例。

第 5A~5C 圖為本發明之記憶單元之一可能實施例。

(3)

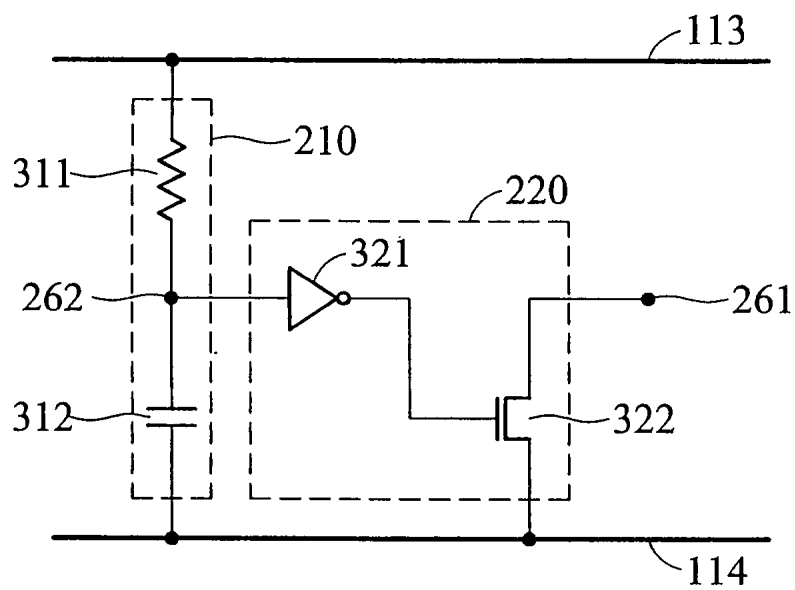


第 1 圖

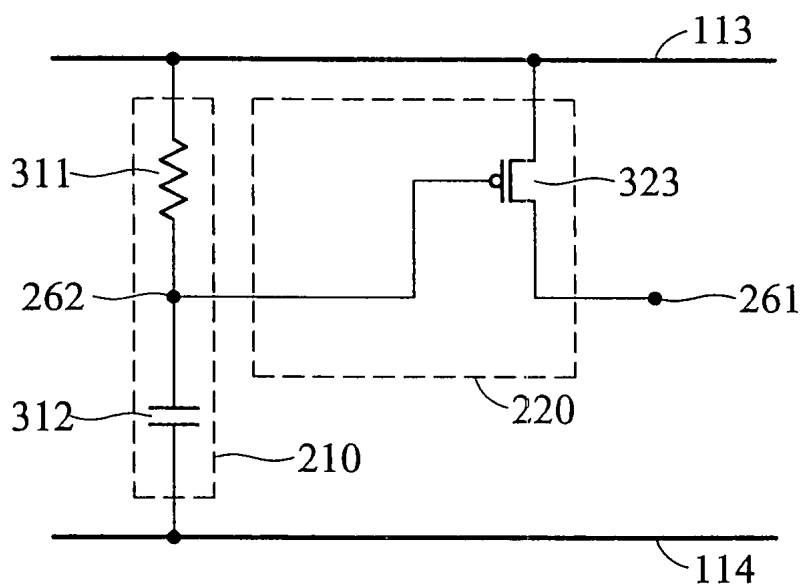


第 2 圖

(4)

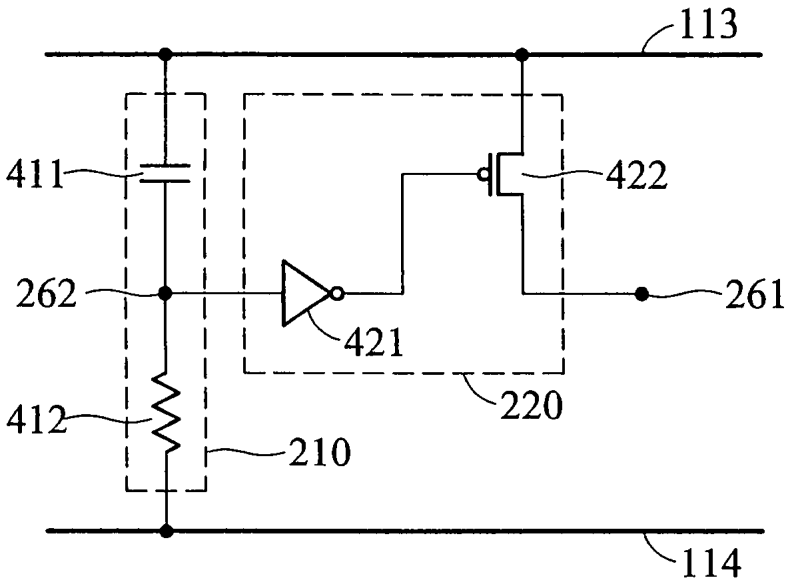


第 3A 圖

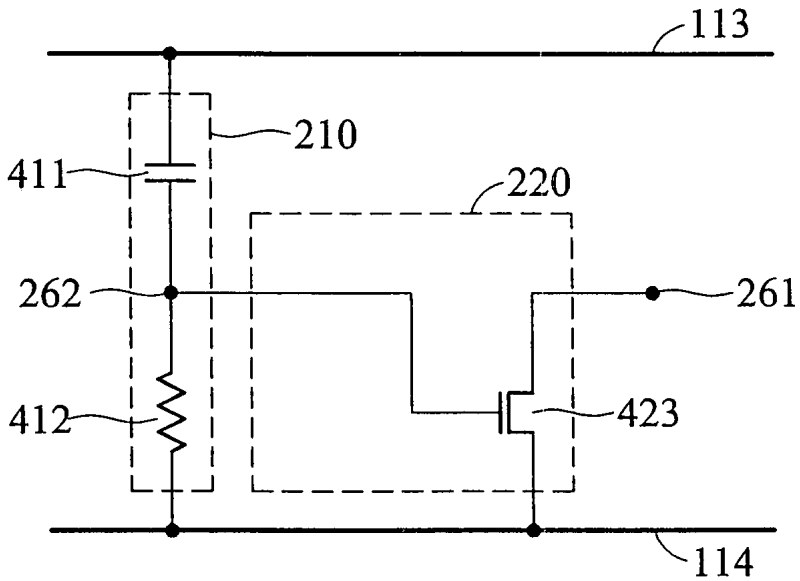


第 3B 圖

(5)

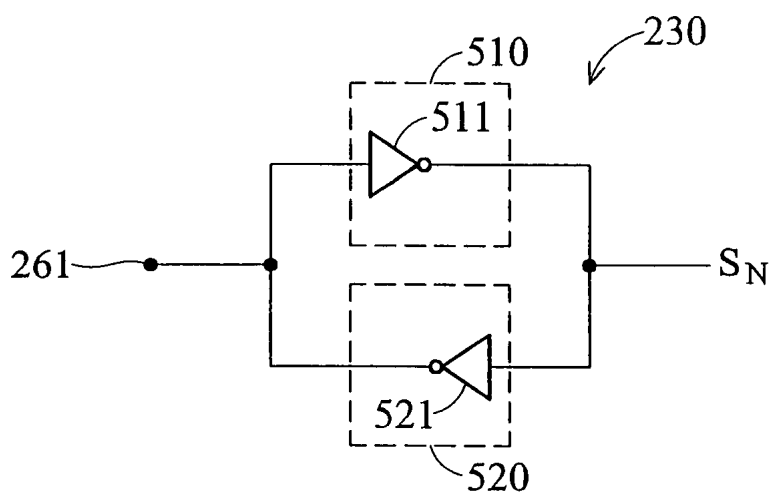


第 4A 圖

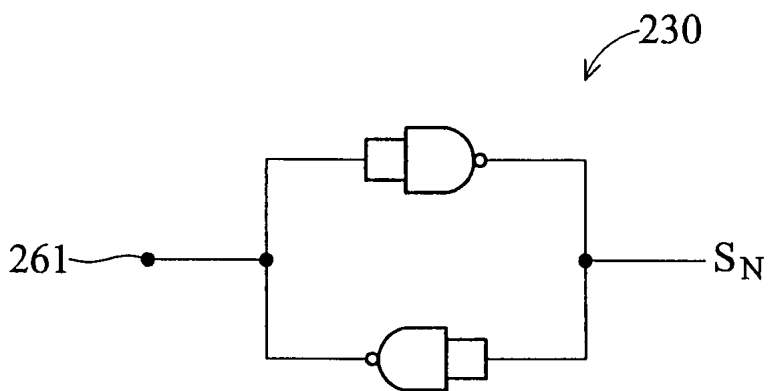


第 4B 圖

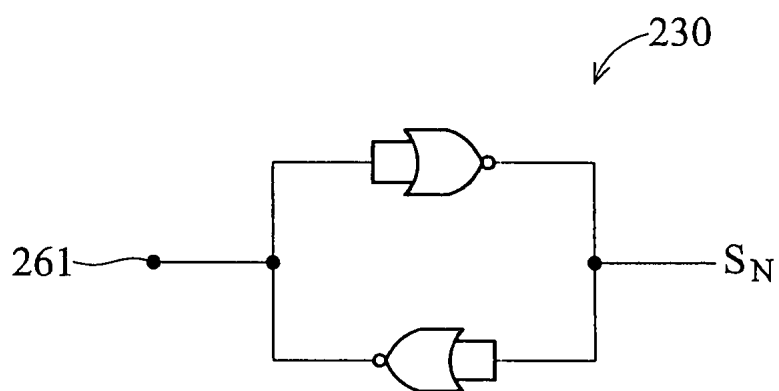
(6)



第 5A 圖



第 5B 圖



第 5C 圖