

(11)公告編號：373279

(44)中華民國88年(1999)11月01日

發明

全 4 頁

(51)Int. Cl.⁵: H01L21/60

(54)名稱：一種具有交錯佈局之鋁線墊片設計的半導體晶片

(21)申請案號：87111185

(22)申請日期：中華民國87年(1998)07月10日

(72)發明人：

王泰和

柯明道

王文美

新竹市仙水里十九鄰安康街七巷二十六號

新竹市寶山路二〇〇巷三號四樓之三

新竹市振興一街八十五號五樓

(71)申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代理人：

1

2

[57]申請專利範圍：

1.一種半導體晶片，其包含有：

一方形之基材(substrate)；

一積體電路，設置於該方形基材之中央部分；以及

複數個輸出入單元(input/output cell)，設置於該方形基材之週邊部分並與該積體電路相互電連接，每一輸出入單元包含有二呈線型且相鄰設置之第一輸出入埠及第二輸出入埠，每一輸出入埠包含有三表面近似方形且呈線型排列之元件：P通道金氧半導體電晶體(PMOS)，N通道金氧半導體電晶體(NMOS)以及鋁線墊片(bonding pad)，該三元件係分別設置於與該方形基材之週邊相平行之三條平行線上；

其中該第一及第二輸出入埠之鋁線墊片係設置於不同之平行線上。

2.如申請專利範圍第1項之半導體晶片，其中該三條平行線係為第一、第二及第三平行線，該第一平行線距離該晶片之

週邊最近，而該第三平行線距離該方形基材之週邊最遠，該第一及第二輸出入埠之鋁線墊片均係設置於該第一或第二平行線上。

3.如申請專利範圍第2項之半導體晶片，其中該第一輸出入埠之PMOS、鋁線墊片及NMOS三元件係分別設置於該第一、第二及第三條平行線上，而該第二輸出入埠之鋁線墊片、PMOS及NMOS三元件則係分別設置於該第一、第二及第三條平行線上。

4.如申請專利範圍第2項之半導體晶片，其中該第一輸出入埠之NMOS、鋁線墊片及PMOS三元件係分別設置於該第一、第二及第三條平行線上，而該第二輸出入埠之鋁線墊片、NMOS及PMOS三元件則係分別設置於該第一、第二及第三條平行線上。

5.如申請專利範圍第1項之半導體晶片，其中於該複數個輸出入單元中，每一輸

出入單元之第一輸出入埠係與一相鄰之輸出入單元之第二輸出入埠相鄰，且每一輸出入單元之第二輸出入埠係與一相鄰之輸出入單元之第一輸出入埠相鄰。

圖式簡單說明：

第一圖為一習知陣列式半導體晶片之外視圖。

第二圖為第一圖陣列式輸出入埠之佈局圖。

第三圖為錯疊式輸出入埠之佈局圖。

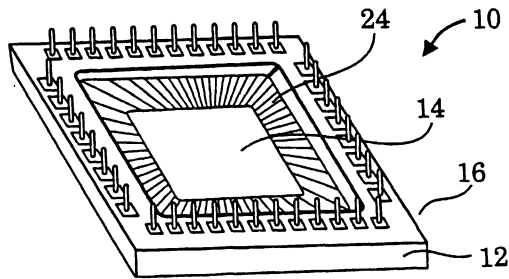
第四圖為本發明之交錯式輸出入單元之佈局圖。

第五圖為本發明晶片第一金屬層之佈局設計。

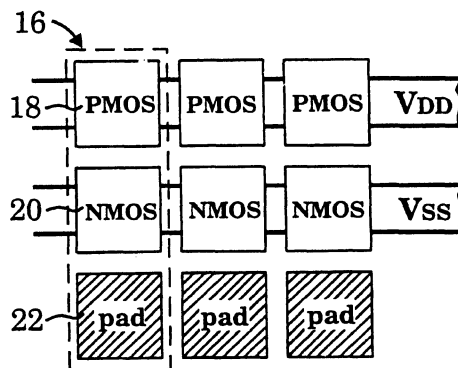
5. 第六圖為本發明晶片第二金屬層之佈局設計。

第七圖為本發明晶片第三金屬層之佈局設計。

10. 第八圖為本發明之交錯式輸出入單元之另一佈局圖。

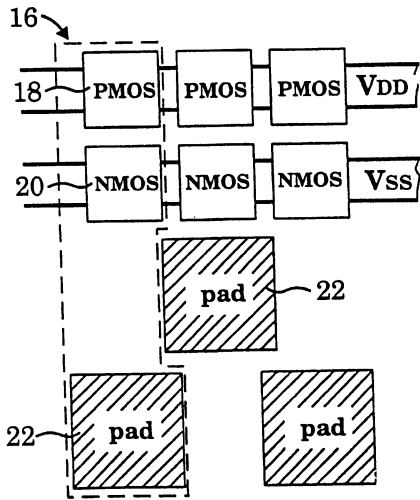


第一圖

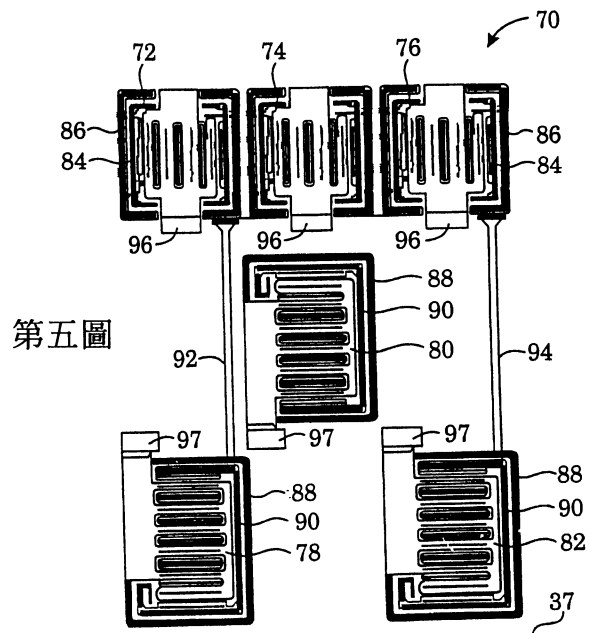


第二圖

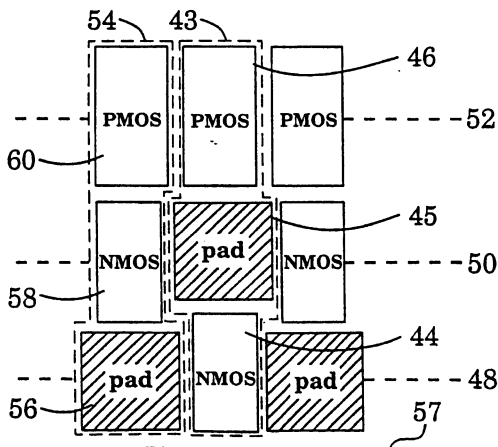
(3)



第三圖

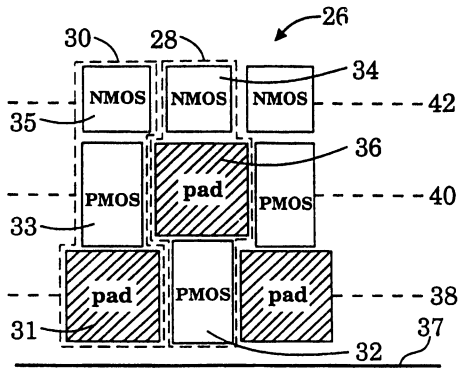


第五圖

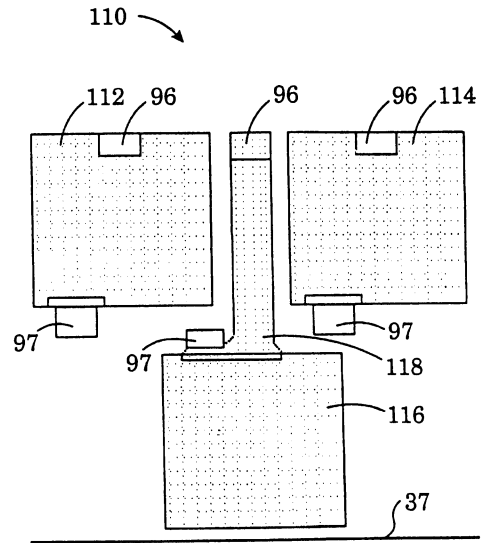


第八圖

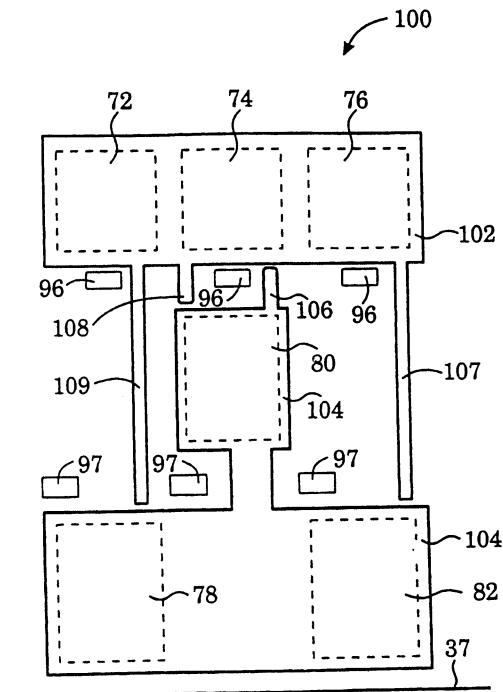
(4)



第四圖



第七圖



第六圖