

(11)公告編號:375823

(44)中華民國88年(1999)12月01日

發 明

全 8 頁

(51)Int. Cl.⁶:H01L23/60

(54)名 稱:數位類比混合式積體電路之靜電放電防護

(21)申 請 案 號:86112808

(22)申請日期:中華民國86年(1997)09月05日

(72)發 明 人:

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

(71)申 請 人:

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

(74)代 理 人:

1

2

[57]申請專利範圍:

1.一種積體電路之ESD防護組合,用來防護第一與第二內部電路,該ESD防護組合個別連接到第一或第二電源線,該第一與第二電源線具有相同電位極性但彼此分離,該ESD防護組合包含有:

一第一ESD防護電路,連接到該第一電源線,

一第二ESD防護電路,連接到該第二電源線,

一第三ESD防護電路,連接到該第一與第二電源線之間,在ESD放電情形下,該第三ESD防護電路用來連通該第一與第二電源線的電壓準位,以防止ESD損傷在該第一與第二內部電路及其間的界面電路;耦合到該第一與第二電源線的ESD能量經由該第一或第二ESD防護電路排放到地去。

2.如申請專利範圍第1項所述之ESD防護組合,其中該第一與第二內部電路個別

連接到第三或第四電源線,該第三與第四電源線具有相同電位極性但彼此分離,該第三與第四電源線的電位極性與該第一與第二電源線的電位極性相反;

5. 該第一與第二ESD防護電路個別進一步連接到該第三及第四電源線;以及該ESD防護組合另包含一第四ESD防護電路連接於該第三與第四電源線之間,在ESD放電情形下,該第四ESD防護電路連通該第三與第四電源線的電壓準位,以防止ESD損傷發生在第一與第二內部電路及其間的界面電路;耦合到第三與第四電源線的ESD能量會經由該第一或第二ESD防護電路排放到地去。

10. 3.如申請專利範圍第1項所述之ESD防護組合,更包含有一或多個二極體串接在該第一與第二電源線之間。

15. 4.如申請專利範圍第3項所述之ESD防護組合,其中該一或多個串接二極體之導

通電壓大於該電源線上所預期之雜訊干擾臨界準位。

- 5.如申請專利範圍第3項所述之ESD防護組合，其中該一或多個串接二極體電路包含：

一第一單方向一或多個二極體的串接組合，該第一單方向二極體串接組合的陰極連接到該第一電源線，該第一單方向二極體串接組合的陽極連接到該第二電源線；以及

一第二單方向一或多個二極體的串接組合，該第二單方向二極體串接組合的陰極連接到該第二電源線，該第二單方向二極體串接組合的陽極連接到該第一電源線；

在ESD放電情形下，該第一或第二單方向二極體串接組合能夠連接該第一與第二電源線的電壓準位，以防止ESD損傷發生在該第一與第二內部電路間的界面電路上。

- 6.如申請專利範圍第1項所述之ESD防護組合，該積體電路更包含至少一增加的電源線，該增加的電源線具有與該第一及第二電源相同的電位極性，該積體電路另具有一增加的內部電路連接到該增加的電源線，該ESD防護組合另包含有：

一第五ESD防護電路連接到該增加的電源線，以及

一第六ESD防護電路連接在該第一或第二電源線與該增加的電源線之間，在ESD放電情形下，該第六ESD防護電路連通該增加之電源線與該第一或第二電源線的電壓準位，以防止ESD損傷發生在其間的界面電路上，耦合到該增加之電源線上的ESD能量曾經由該第五ESD防護電路而排放到地去。

- 7.一種具有ESD防護功能的積體電路，包含：

第一及第二內部電路；

第一及第二彼此分離但具相同電位極性的電源線，該第一電源線接到該第一內部電路，該第二電源線連接到該第二內部電路；

5. 第一及第二ESD防護電路，該第一ESD防護電路連接到該第一電源線，該第二ESD防護電路連接到該第二電源線；以及

10. 一第三ESD防護電路，該第三ESD防護電路連接於該第一與第二電源線之間；在ESD放電情形下，該第三ESD防護電路連通該第一與第二電源線上的電位。

15. 8.如申請專利範圍第7項所述之積體電路，另外包含有：

第三及第四彼此分離但具相同電位極性的電源線，該第三及第四電源線的電位極性與該第一及第二電源線的單位極性相反，該第三電源線連接到該第一內部電路，該第四電源線連接到該第二內部電路；以及

20. 一第四ESD防護電路，該第四ESD防護電路連接於該第三與第四電源線之間，在ESD放電情形下，該第四ESD防護電路連通該第三與第四電源線上的電位。

25. 9.如申請專利範圍第8項所述之積體電路，另外包含：

30. 一界面電路連接於該第一與第二內部電路之間，該界面電路連接到該第一、第二、第三以及第四電源線。

- 10.如申請專利範圍第9項所述之積體電路，另外包含有：

35. 一第三內部電路，
一第五電源線，該第五電源線具有跟該第一及第二電源線相同的電位極性，該第五電源線連接到該第三內部電路，該第五電源線與該第一、第二、第三及第四電源線彼此分離；
- 40.

，一第五 ESD 防護電路連接到該第五電源線，以及

一第六 ESD 防護電路連接於該第五電源線與該第一或第二電源線之間，在 ESD 放電情形下，該第六 ESD 防護電路連通該第五電源線，與該第一或第二電源線上的電壓準位，以防止 ESD 損傷發生在第一、第二、或第三內部電路及其間的界面電路上。

圖式簡單說明：

第一圖輸入／輸出腳對 VDD/VSS 腳的 ESD 測試組合。

第二圖腳對腳(pin-to-pin)的 ESD 測試組合。

第三圖 VDD 腳對 VSS 腳(VDD-to-VSS)的 ESD 測試組合。

第四圖先前技術使用一閘極接地 NMOS 元件來箝制跨在 VDD 與 VSS 電源線上的 ESD 電壓。

第五圖腳對腳 ESD 測試造成混合式 IC 內界面電路損傷示意圖。

第六圖另一腳對腳 ESD 測試造成混合式 IC 內界面電路損傷示意圖。

5. 第七圖先前技術用來防止混合式 IC 內界面電路被 ESD 損傷的問題。

第八圖另一先前技術用來防止混合式 IC 內界面電路被 ESD 損傷的問題。

第九圖本發明之第一種實施例。

10. 第十圖本發明在 VDD 腳對 VSS 腳 ESD 測試下的防護操作。

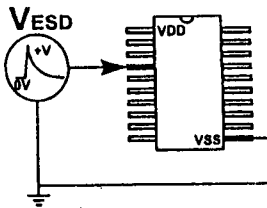
第十一圖本發明在腳對腳 ESD 測試下的防護操作。

15. 第十二圖本發明在具有多對電源線之 IC 中的應用設計。

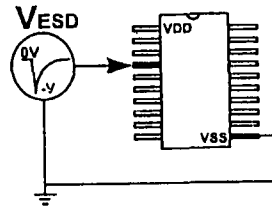
第十三圖本發明之第二種電路實施例。

第十四圖本發明之第三種電路實施例。

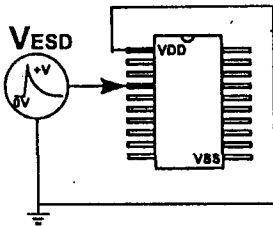
(a) PS- 模式



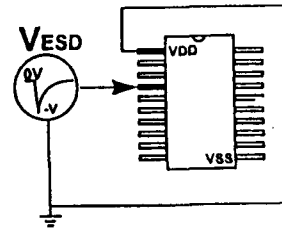
(b) NS- 模式



(c) PD- 模式

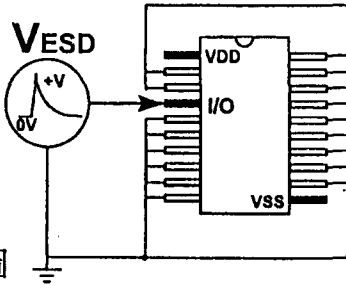


(d) ND- 模式



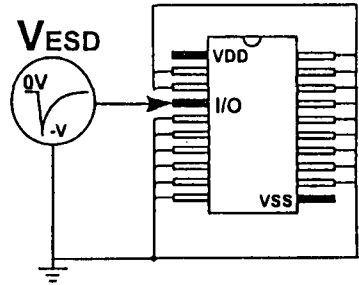
第一圖

(1) 正電壓模式

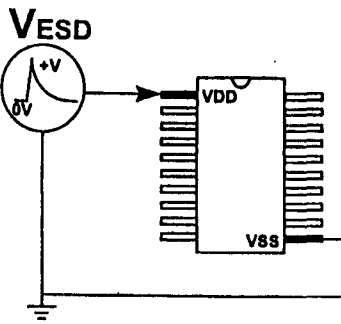


第二圖

(2) 負電壓模式

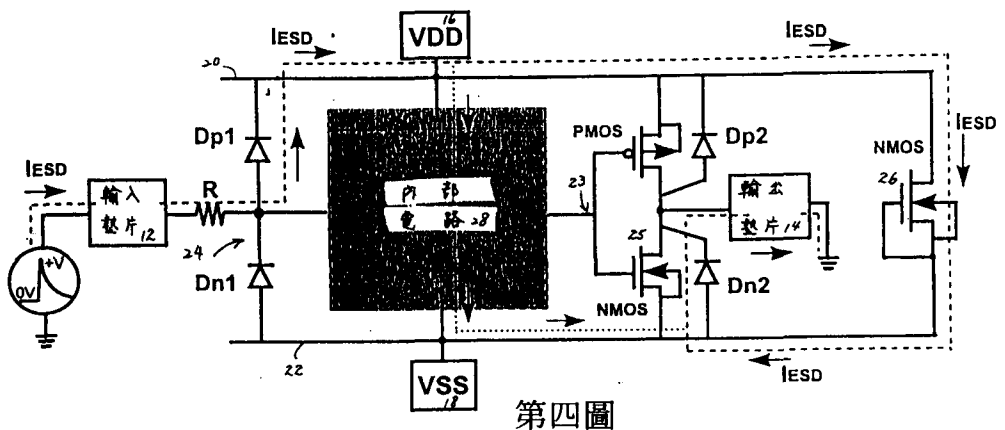
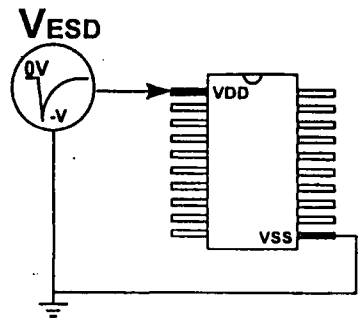


(1) 正電壓模式



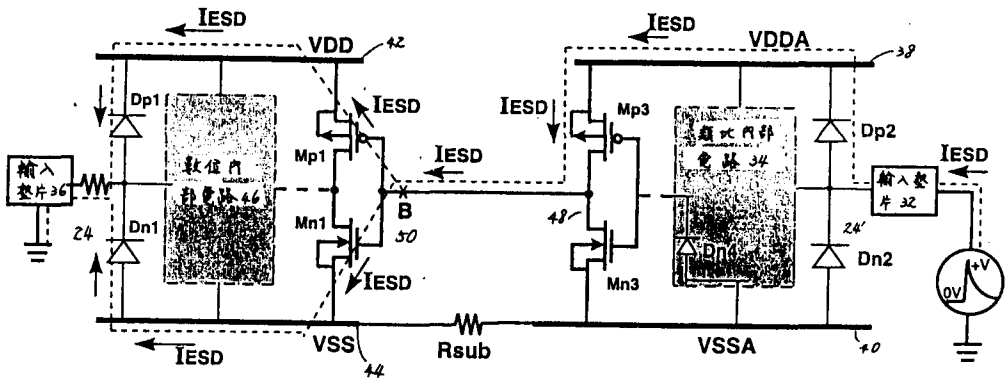
第三圖

(2) 負電壓模式

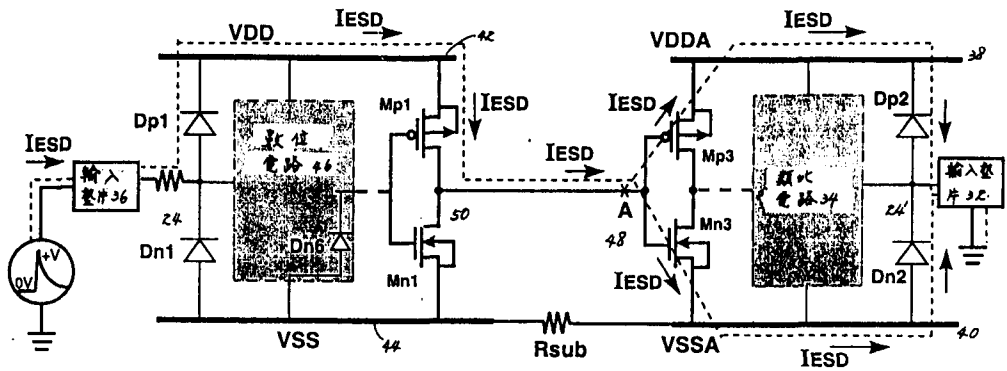


第四圖

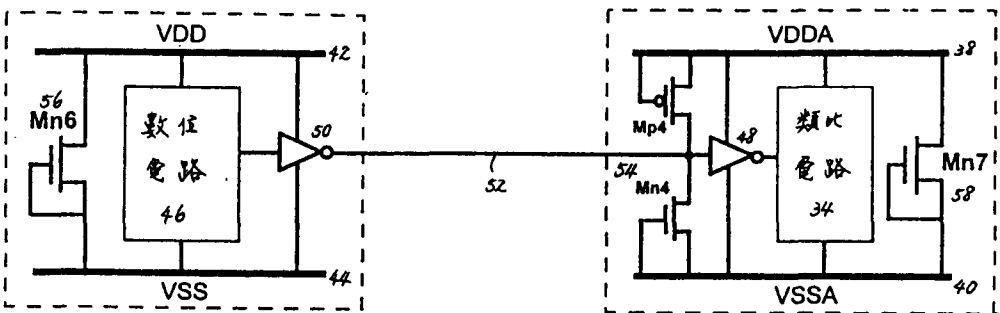
(5)



第五圖

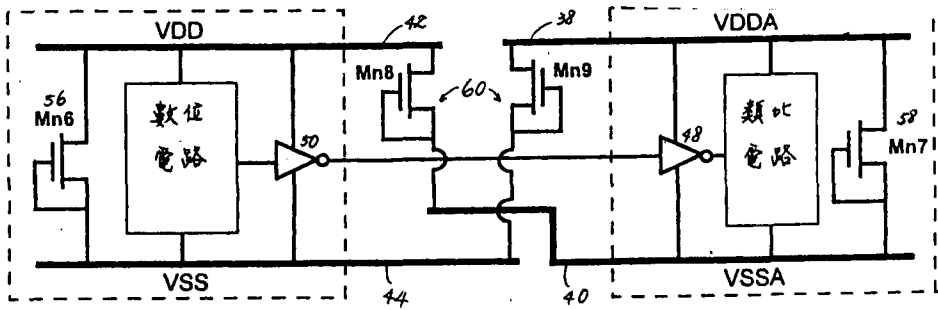


第六圖

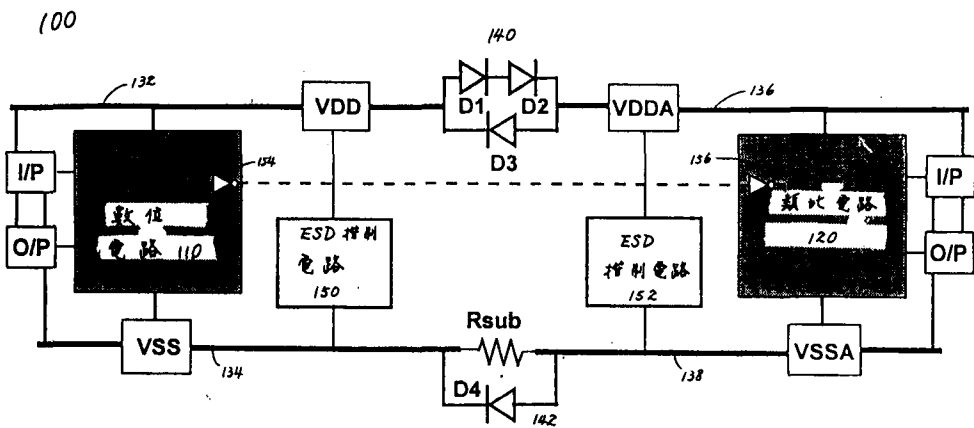


第七圖

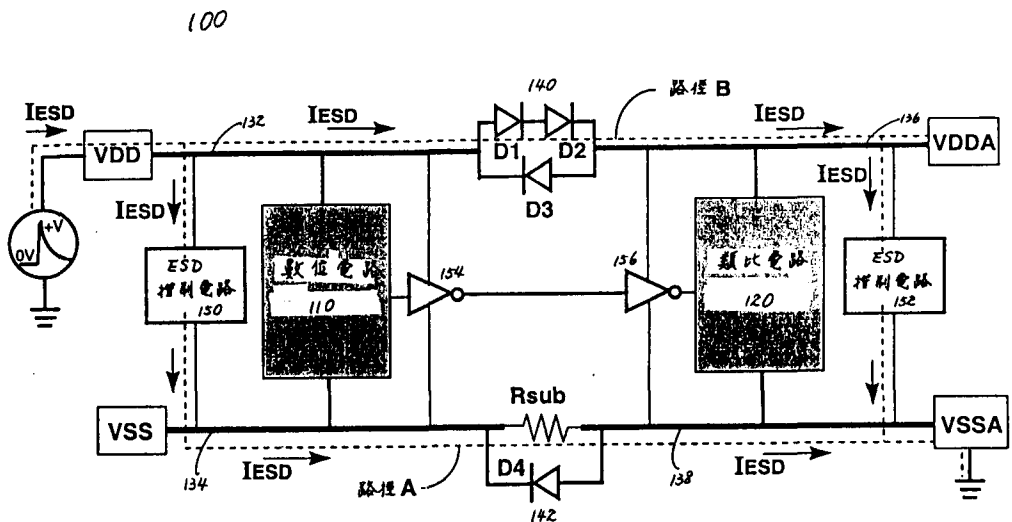
(6)



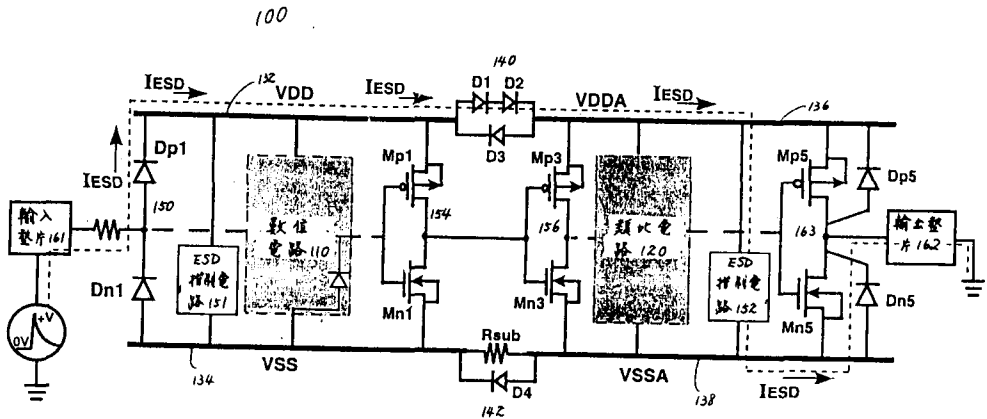
第八圖



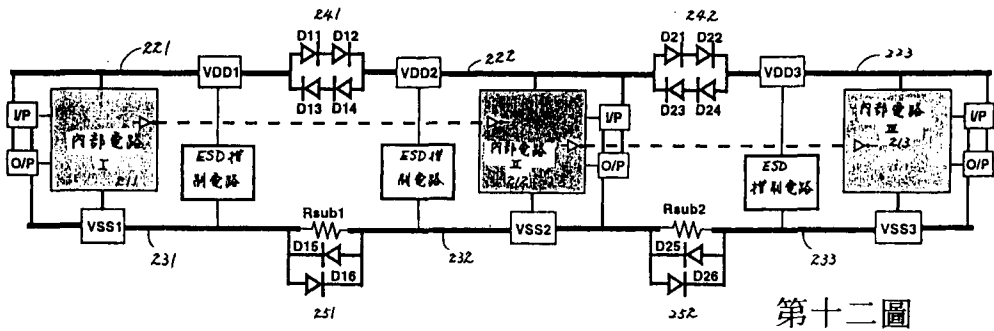
第九圖



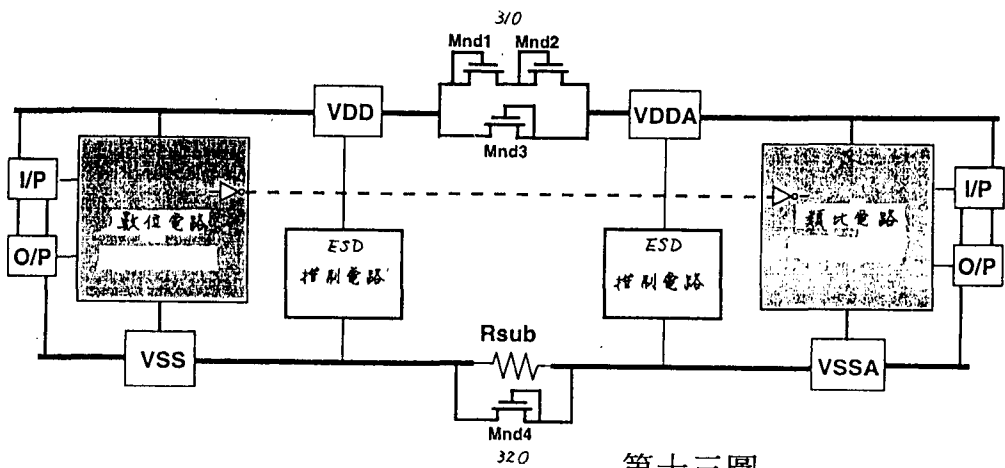
第十圖



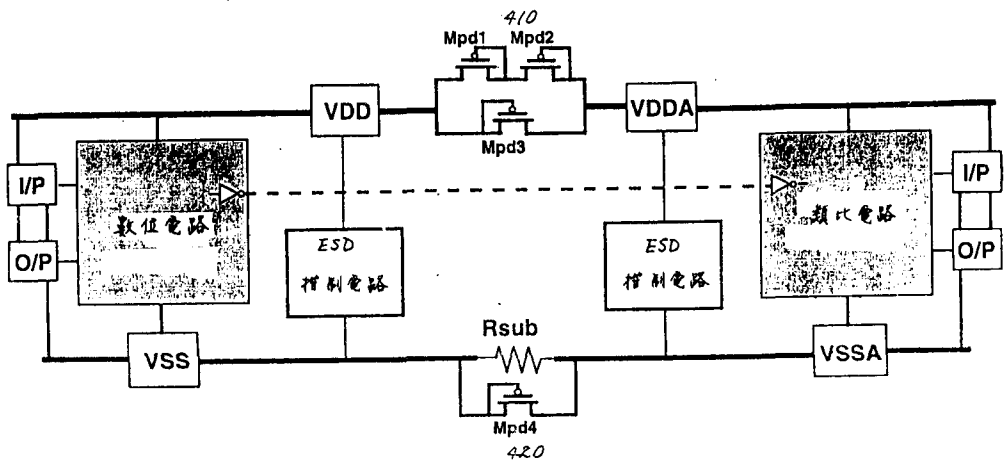
第十一圖



第十二圖



第十三圖



第十四圖