

(11)公告編號: 375825

(44)中華民國88年(1999)12月01日

發 明

全 13 頁

(51)Int. Cl. 6: H01L23/60

(54)名 稱: 不同電壓電源混合之積體電路的靜電放電防護設計

(21)申 請 案 號: 87110941

(22)申請日期: 中華民國87年(1998)07月07日

(72)發 明 人:

柯明道

張恆祥

新竹市寶山路二〇〇巷三號四樓之三

台北縣汐止鎮大同路二段三三七號

(71)申 請 人:

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二三一號

(74)代 理 人: 蔡坤財 先生

1

2

[57]申請專利範圍:

1.一種使用於不同電壓電源混合之積體電路的靜電放電防護電路,該靜電放電防護電路至少包含:

第一電壓源;

第二電壓源;及

至少一個第一矽控整流器,該第一矽控整流器以陰極相連於下一個該第一矽控整流器之陽極的串聯方式相接,其中第一個陽極與該第一電壓源相接,最後一個陰極與該第二電壓源相接,該第一矽控整流器使用N型矽控整流器時,每一個該第一矽控整流器之控制閘與其陽極相接,該第一矽控整流器使用P型矽控整流器時,每一個該第一矽控整流器之控制閘與其陰極相接。

2.如申請專利範圍第1項之靜電放電防護電路,更包含至少一個二極體與該至少一個第一矽控整流器相並聯,該至少一個二極體以N接面相連於下一個該二極體的P接面的串聯方式相接,其中第

一個P接面與該第二電壓源相接,最後一個N接面與該第一電壓源相接。

3.如申請專利範圍第1項之靜電放電防護電路,更包含至少一個第二矽控整流器與該至少一個第一矽控整流器相並聯,該第二矽控整流器以陰極相連於下一個該第二矽控整流器之陽極的串聯方式相接,其中第一個陽極與該第二電壓源相接,最後一個陰極與該第一電壓源相接,該第二矽控整流器使用N型矽控整流器時,每一個該第二矽控整流器之控制閘與其陽極相接,該第二矽控整流器使用P型矽控整流器時,每一個該第二矽控整流器之控制閘與其陰極相接。

10. 4.如申請專利範圍第3項之靜電放電防護電路,其中上述之至少一個第二矽控整流器係使用低電壓觸發矽控整流器。

15. 5.如申請專利範圍第1項之靜電放電防護電路,更包含至少一個二極體連接於該至少一個第一矽控整流器之間,每一個

該二極體以P接面與前一個該第一矽控整流器之陰極相接，並以N接面與下一個該第一矽控整流器之陽極相接。

- 6.如申請專利範圍第1項之靜電放電防護電路，更包含至少一個二極體連接於該第二電壓源與該最後一個陰極之間，該至少一個二極體以N接面相連於下一個該二極體的P接面的串聯方式相接，其中第一個P接面與該最後一個陰極相接，最後一個N接面與該第二電壓源相接。
- 7.如申請專利範圍第1項之靜電放電防護電路，更包含至少一個二極體連接於該第一電壓源與該第一個陽極之間，該至少一個二極體以N接面相連於下一個該二極體的P接面的串聯方式相接，其中第一個P接面與該第一電壓源相接，最後一個N接面與該第一個陽極相接。
- 8.如申請專利範圍第1項之靜電放電防護電路，其中上述之至少一個第一矽控整流器係使用低電壓觸發矽控整流器。
- 9.如申請專利範圍第1項之靜電放電防護電路，其中上述之第一電壓源及上述之第二電壓源，係為該積體電路中之兩個相互獨立之高電位電壓源，該第一電壓源之電位較該第二電壓源之電位為高，該積體電路中包含該高電位電壓源及低電位電壓源。
- 10.如申請專利範圍第9項之靜電放電防護電路，更包含高低電位間靜電放電防護電路，設置於該高電位電壓源及該低電位電壓源之間。
- 11.如申請專利範圍第1項之靜電放電防護電路，其中上述之第一電壓源及上述之第二電壓源，係為該積體電路中之兩個相互獨立之低電位電壓源，該積體電路中包含高電位電壓源及該低電位電壓源。
- 12.如申請專利範圍第11項之靜電放電防

護電路，更包含高低電位間靜電放電防護電路，設置於該高電位電壓源及該低電位電壓源之間。

- 13.一種使用於不同電壓電源混合之積體電路的靜電放電防護電路，該靜電放電防護電路至少包含：
 5. 第一電壓源；
 - 第二電壓源；
 - 至少一個第一矽控整流器，該第一矽控整流器以陰極相連於下一個該第一矽控整流器之陽極的串聯方式相接，其中第一個陽極與該第一電壓源相接，最後一個陰極與該第二電壓源相接，該第一矽控整流器使用N型矽控整流器時，每一個該第一矽控整流器之控制閘與其陽極相接，該第一矽控整流器使用P型矽控整流器時，每一個該第一矽控整流器之控制閘與其陰極相接；及
 - 至少一個並聯二極體與該至少一個第一矽控整流器相並聯，該至少一個並聯二極體以N接面相連於下一個該並聯二極體的P接面的串聯方式相接，其中該並聯二極體之第一個P接面與該第二電壓源相接，該並聯二極體之最後一個N接面與該第一電壓源相接。
- 14.如申請專利範圍第13項之靜電放電防護電路，更包含至少一個二極體連接於該至少一個第一矽控整流器之間，每一個該二極體以P接面與前一個該第一矽控整流器之陰極相接，並以N接面與下一個該第一矽控整流器之陽極相接。
- 15.如申請專利範圍第13項之靜電放電防護電路，更包含至少一個二極體連接於該第二電壓源與該最後一個陰極之間，該至少一個二極體以N接面相連於下一個該二極體的P接面的串聯方式相接，其中第一個P接面與該最後一個陰極相接，最後一個N接面與該第二電壓源相接。
- 16.如申請專利範圍第13項之靜電放電防

護電路，更包含至少一個二極體連接於該第一電壓源與該第一個陽極之間，該至少一個二極體以 N 接面相連於下一個該二極體的 P 接面的串聯方式相接，其中第一個 P 接面與該第一電壓源相接，最後一個 N 接面與該第一個陽極相接。

- 17.如申請專利範圍第 13 項之靜電放電防護電路，其中上述之至少一個第一矽控整流器係使用低電壓觸發矽控整流器。
- 18.如申請專利範圍第 13 項之靜電放電防護電路，其中上述之第一電壓源及上述之第二電壓源，係為該積體電路中之兩個相互獨立之高電位電壓源，該第一電壓源之電位較該第二電壓源之電位為高，該積體電路中包含該高電位電壓源及低電位電壓源。
- 19.如申請專利範圍第 18 項之靜電放電防護電路，更包含高低電位間靜電放電防護電路，設置於該高電位電壓源及該低電位電壓源之間。
- 20.如申請專利範圍第 13 項之靜電放電防護電路，其中上述之第一電壓源及上述之第二電壓源，係為該積體電路中之兩個相互獨立之低電位電壓源，該積體電路中包含高電位電壓源及該低電位電壓源。
- 21.如申請專利範圍第 20 項之靜電放電防護電路，更包含高低電位間靜電放電防護電路，設置於該高電位電壓源及該低電位電壓源之間。
- 22.一種使用於不同電壓電源混合之積體電路的靜電放電防護電路，該靜電放電防護電路至少包含：
 - 第一電壓源；
 - 第二電壓源；
 - 至少一個第一矽控整流器，該第一矽控整流器以陰極相連於下一個該第一矽控整流器之陽極的串聯方式相接，其中第一個陽極與該第一電壓源相接，最後一

個陰極與該第二電壓源相接，該第一矽控整流器使用 N 型矽控整流器時，每一個該第一矽控整流器之控制閘與其陽極相接，該第一矽控整流器使用 P 型矽控整流器時，每一個該第一矽控整流器之控制閘與其陰極相接；以及

5. 至少一個並聯二極體與該至少一個第一矽控整流器相並聯，該至少一個並聯二極體以 N 接面相連於下一個該並聯二極體的 P 接面的串聯方式相接，其中該並聯二極體之第一個 P 接面與該第二電壓源相接，該並聯二極體之最後一個 N 接面與該第一電壓源相接；
 10. 其中上述之第一電壓源及上述之第二電壓源，係為該積體電路中之兩個相互獨立之高電位電壓源，該第一電壓源之電位較該第二電壓源之電位為高，該積體電路中包含該高電位電壓源及低電位電壓源，並包含使用高低電位間之靜電放電防護電路，設置於該高電位電壓源及該低電位電壓源之間。
 15. 23.如申請專利範圍第 22 項之靜電放電防護電路，其中上述之高低電位間之靜電放電防護電路，係由至少一個第三矽控整流器及至少一個串聯二極體組成。
 20. 24.如申請專利範圍第 22 項之靜電放電防護電路，更包含至少一個二極體連接於該至少一個第一矽控整流器之間，每一個該二極體以 P 接面與前一個該第一矽控整流器之陰極相接，並以 N 接面與下一個該第一矽控整流器之陽極相接。
 25. 25.如申請專利範圍第 22 項之靜電放電防護電路，更包含至少一個二極體連接於該第二電壓源與該最後一個陰極之間，該至少一個二極體以 N 接面相連於下一個該二極體的 P 接面的串聯方式相接，其中第一個 P 接面與該最後一個陰極相接，最後一個 N 接面與該第二電壓源相接。
 30. 26.如申請專利範圍第 22 項之靜電放電防
 35. 40.

護電路，更包含至少一個二極體連接於該第一電壓源與該第一個陽極之間，該至少一個二極體以 N 接面相連於下一個該二極體的 P 接面的串聯方式相接，其中第一個 P 接面與該第一電壓源相接，最後一個 N 接面與該第一個陽極相接。

27. 如申請專利範圍第 22 項之靜電放電防護電路，其中上述之至少一個第一矽控整流器係使用低電壓觸發矽控整流器。

圖式簡單說明：

第一圖顯示腳對腳的靜電放電測試組合的示意圖。

第二圖中顯示使用額外的靜電防護單元，以解決腳對腳的靜電放電電流破壞介面電路，其設計的示意圖。

第三圖 a 顯示靜電放電電流由輸入端流入時，靜電防護單元作用的示意圖。

第三圖 b 顯示靜電放電電流由輸出端流入時，靜電防護單元作用的示意圖。

第四圖即顯示一種使用多個二極體的靜電防護單元之示意圖。

第五圖即顯示一種使用串聯的 N 型金氧半場效電晶體的靜電防護單元之示意圖。

第六圖顯示一種使用串聯的 P 型金氧半場效電晶體的靜電防護單元之示意圖。

第七圖顯示使用一個 P 型金氧半場效電晶體及其寄生二極體的靜電防護單元之示意圖。

第八圖顯示使用場氧化元件的靜電防護單元之示意圖。

第九圖顯示本發明中應用於獨立電源間的靜電防護電路，其第一實施例的示意圖。

5. 第十圖顯示串接之 N 型低電壓觸發矽控整流器的結構截面示意圖。

第十一圖顯示使用第二低電壓觸發矽控整流器於第二裝置中的示意圖。

10. 第十二圖顯示加入一個或多個二極體於低電壓觸發矽控整流器之後的實施例之示意圖。

第十三圖顯示 N 型低電壓觸發矽控整流器及多個二極體結構的截面示意圖。

15. 第十四圖顯示加入二極體於各個低電壓觸發矽控整流器之間的實施例之示意圖。

第十五圖顯示使用 P 型低電壓觸發矽控整流器於第一裝置中，其實施例之示意圖。

20. 第十六圖顯示串接之 P 型低電壓觸發矽控整流器的結構截面示意圖。

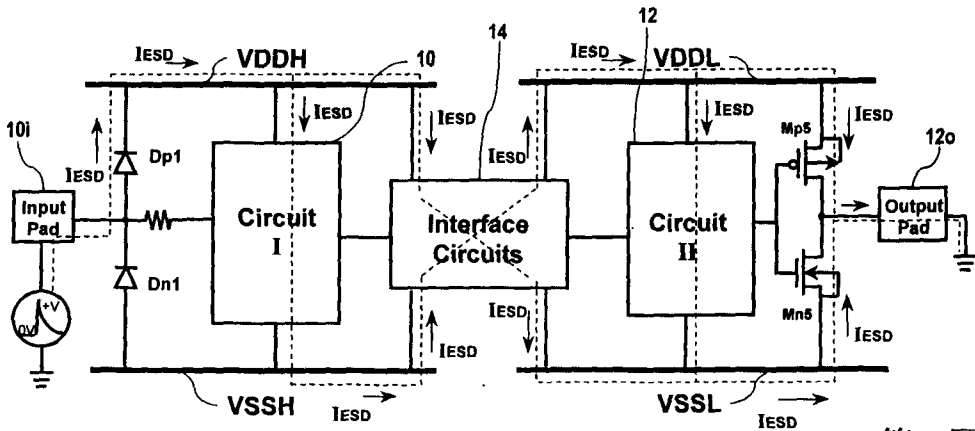
第十七圖顯示使用串接的二極體加入於 P 型低電壓觸發矽控整流器之後的實施例之示意圖。

25. 第十八圖則顯示串接的二極體與 P 型低電壓觸發矽控整流器結構的截面示意圖。

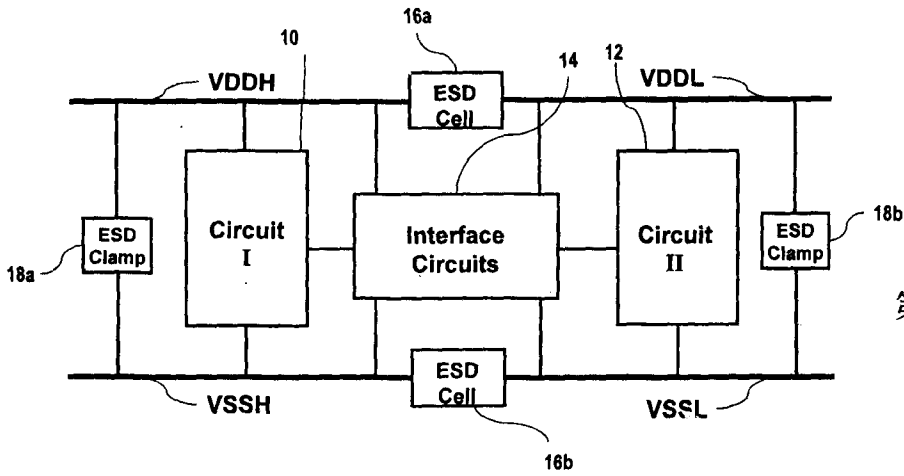
第十九圖顯示加入二極體於各個 P 型低電壓觸發矽控整流器之間，其實施例之示意圖。

30. 第二十圖 a 至第二十圖 e 顯示本發明中應用串接低電壓觸發矽控整流器，於高低電位間的靜電放電防護電路之中的示意圖。

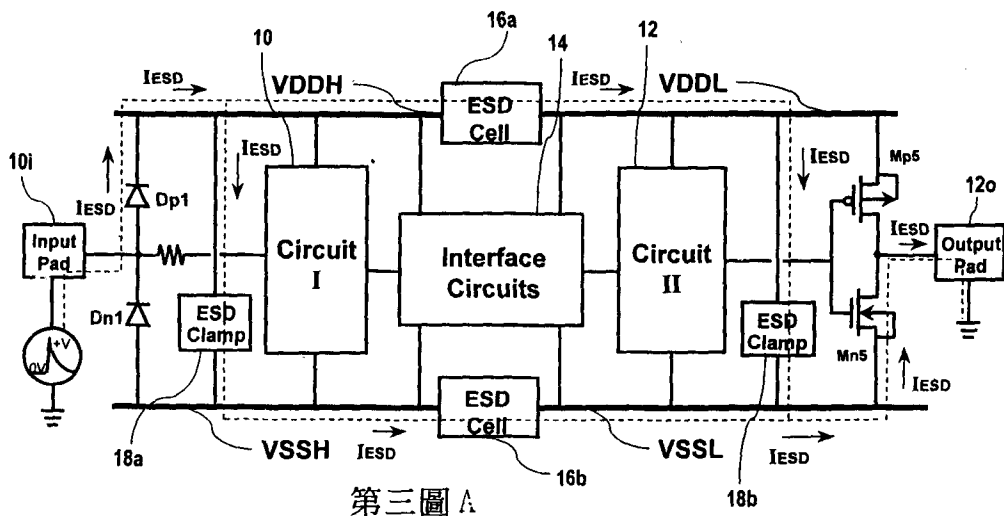
(5)



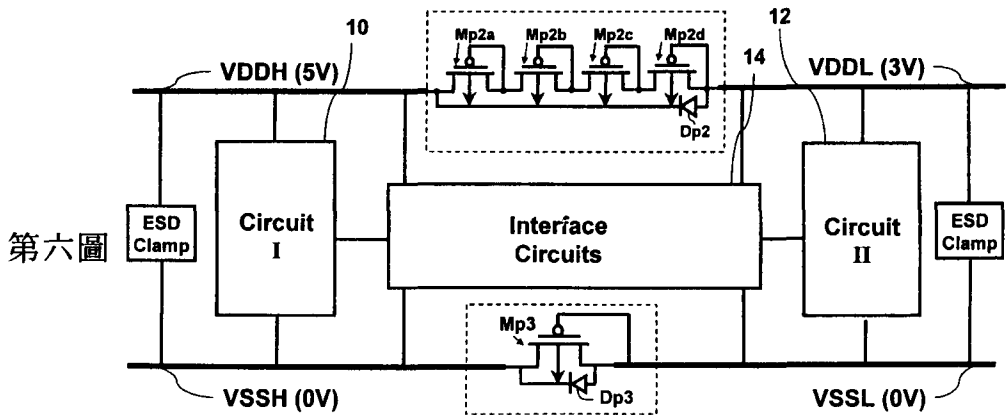
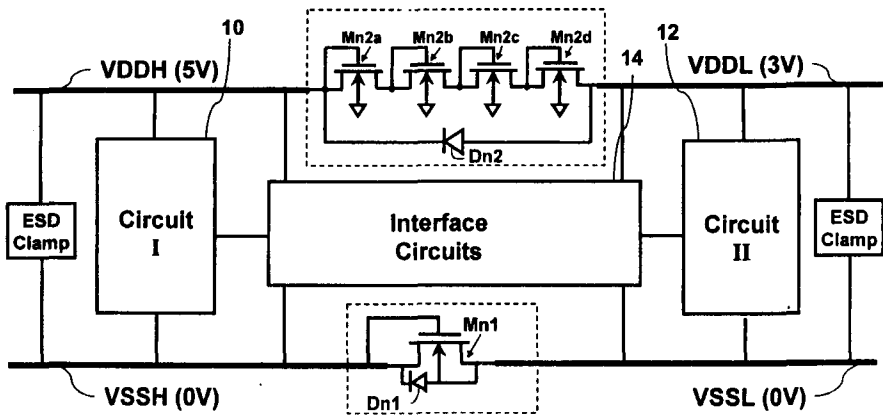
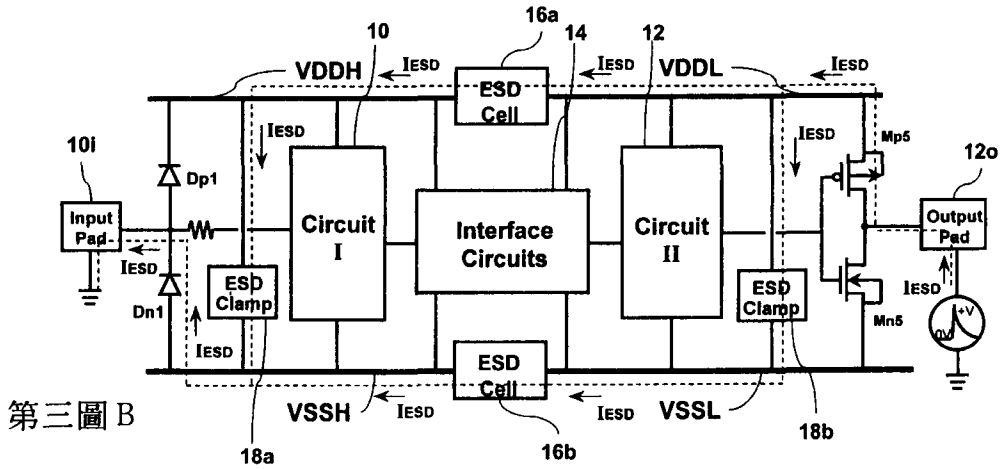
第一圖

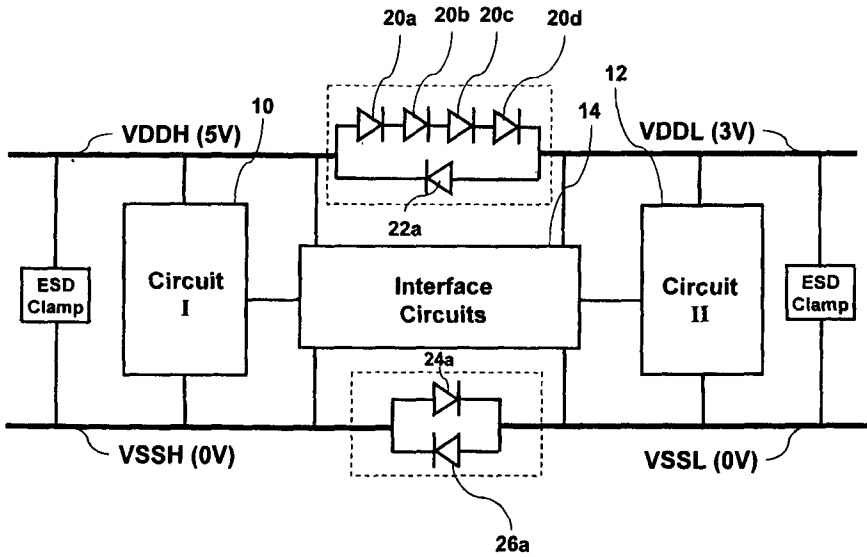


第二圖

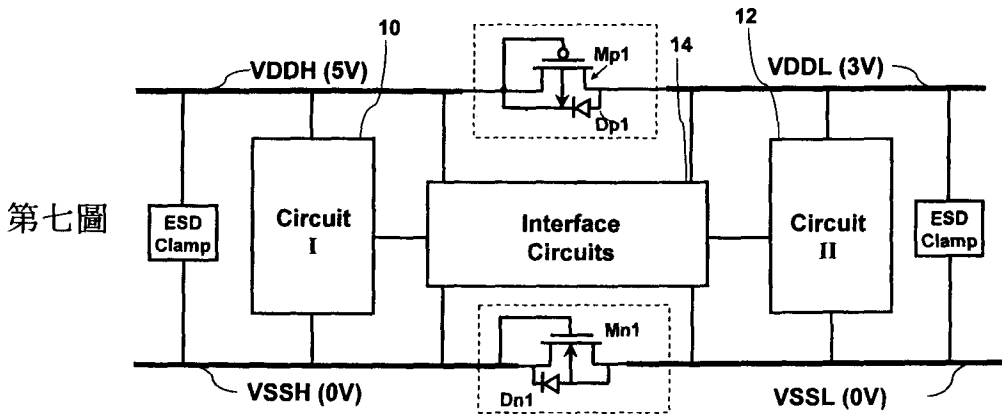


第三圖 A

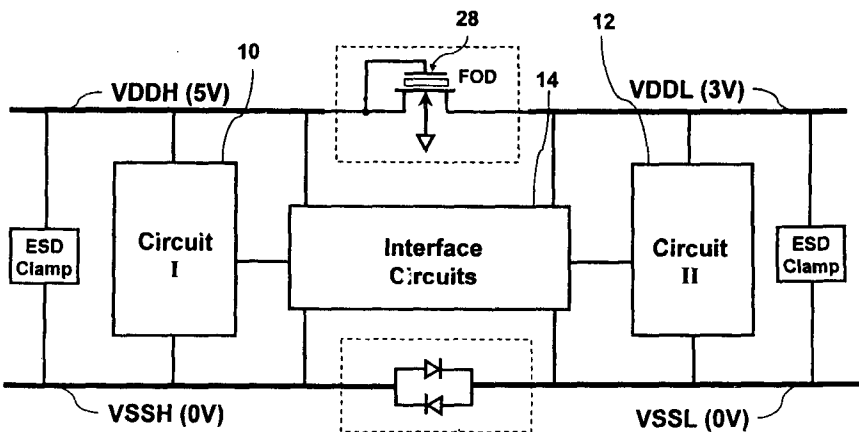




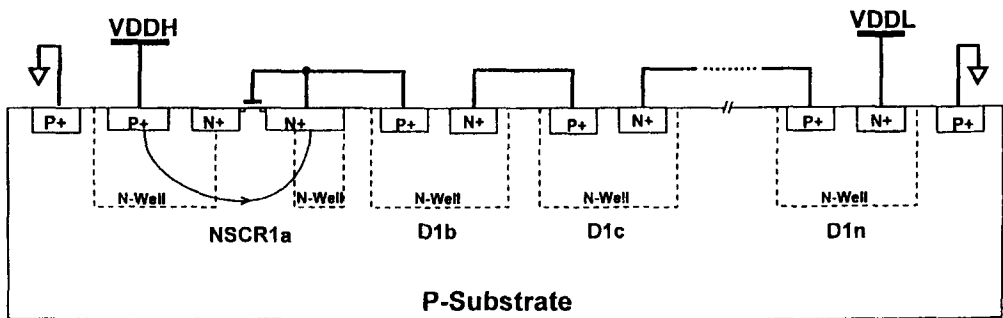
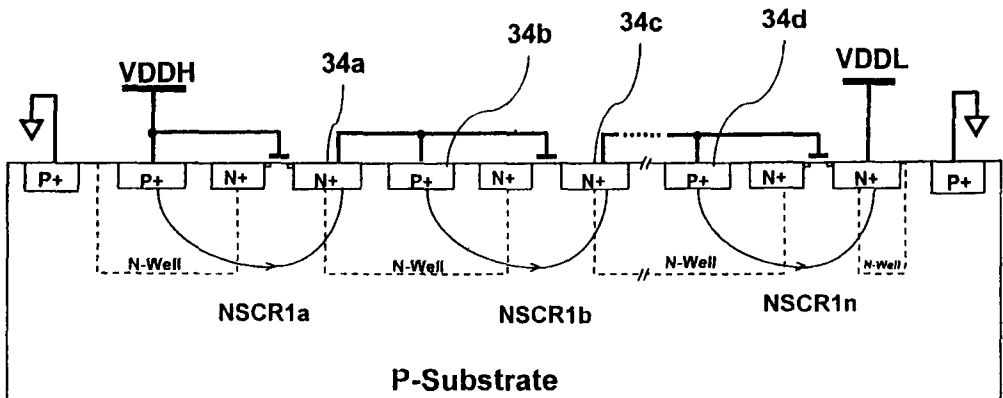
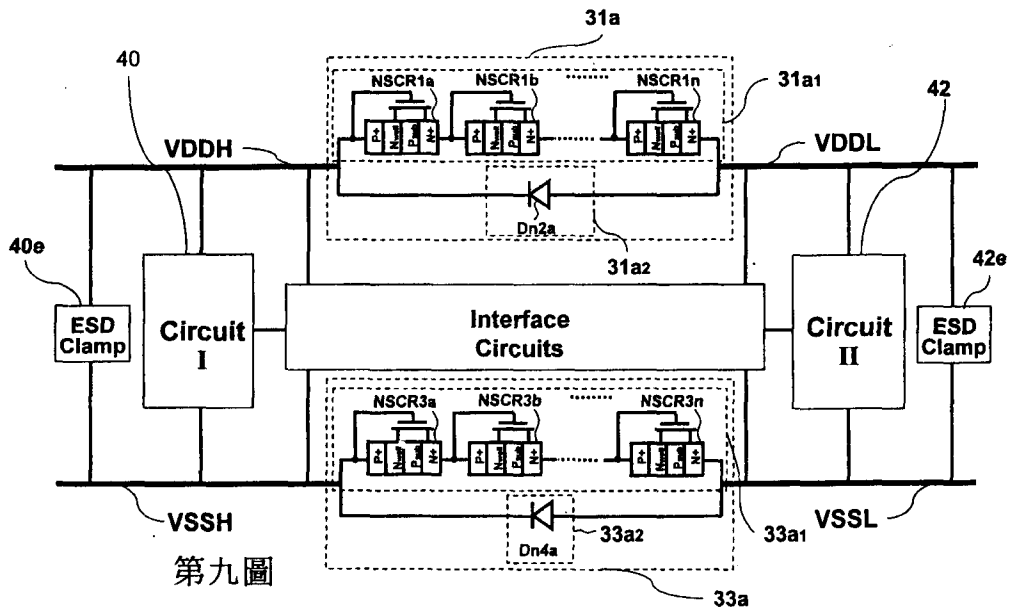
第四圖

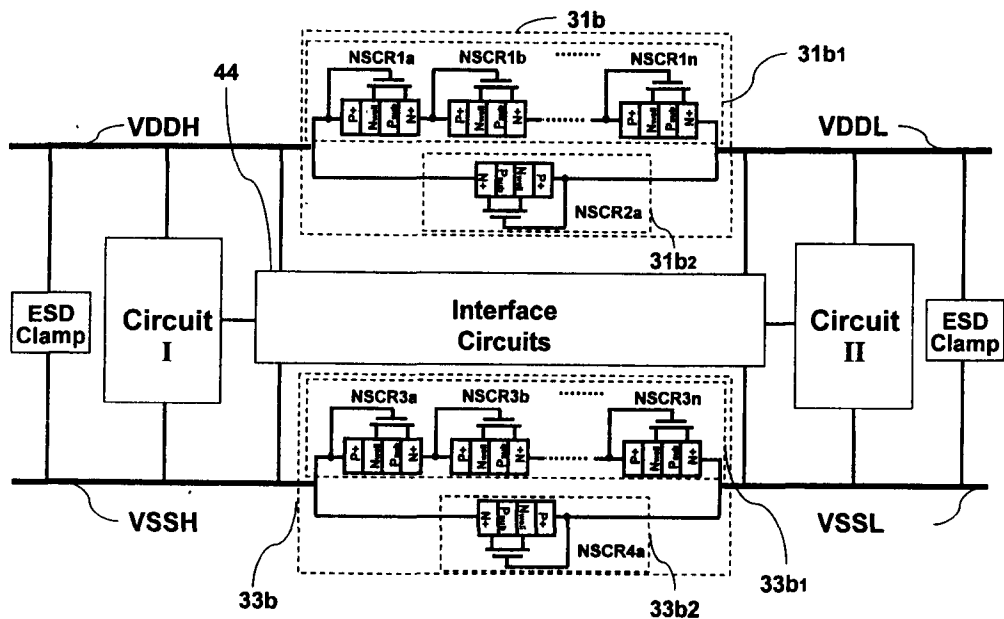


第七圖

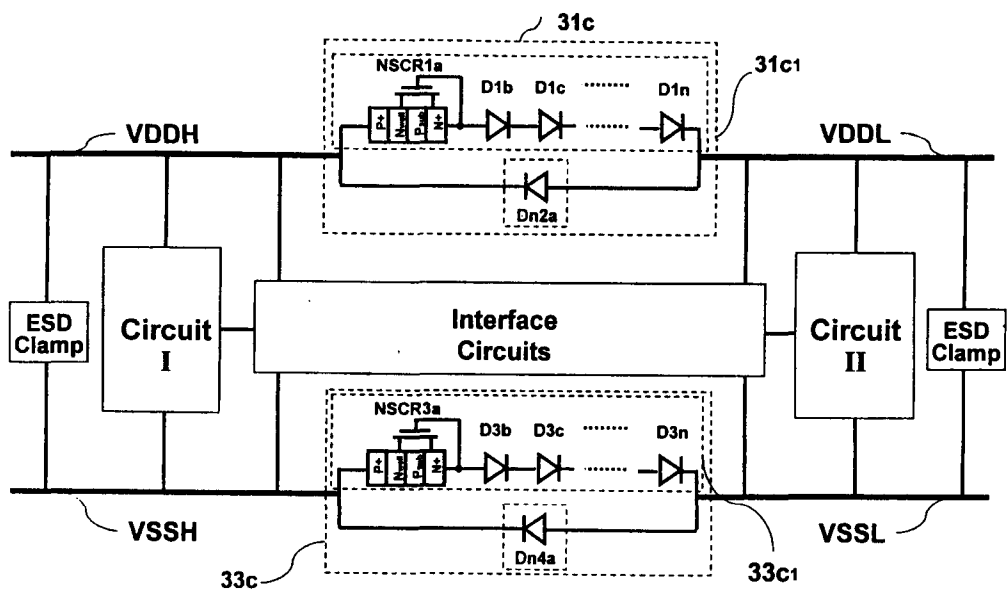


第八圖

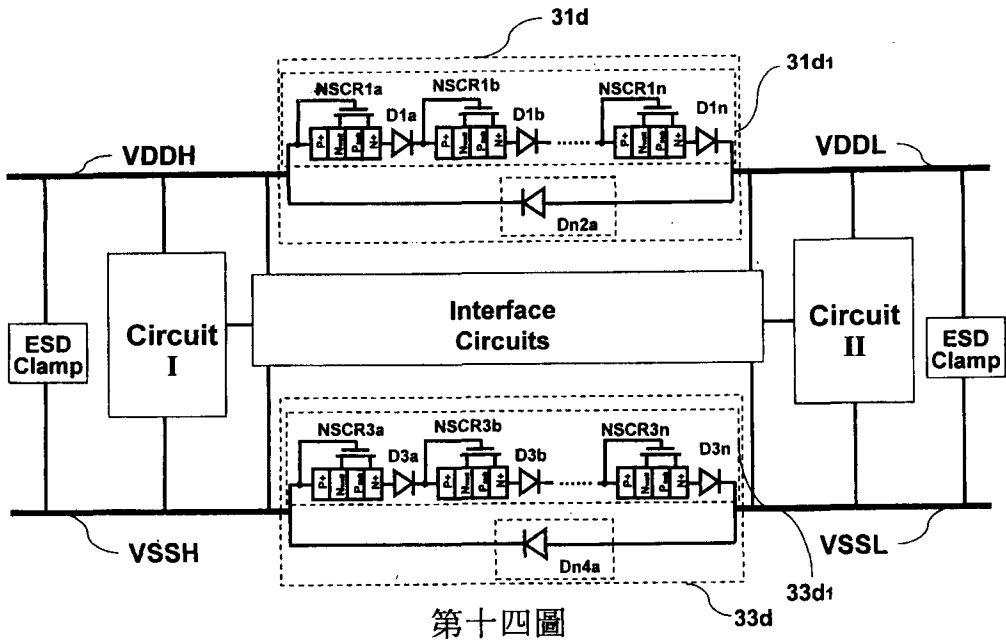




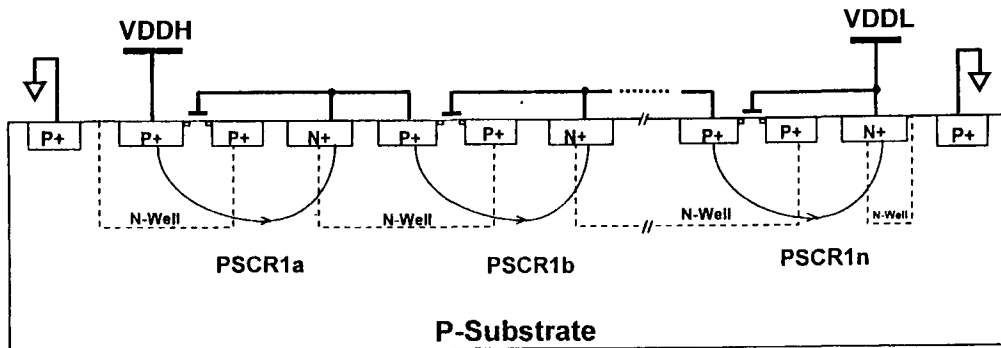
第十一圖



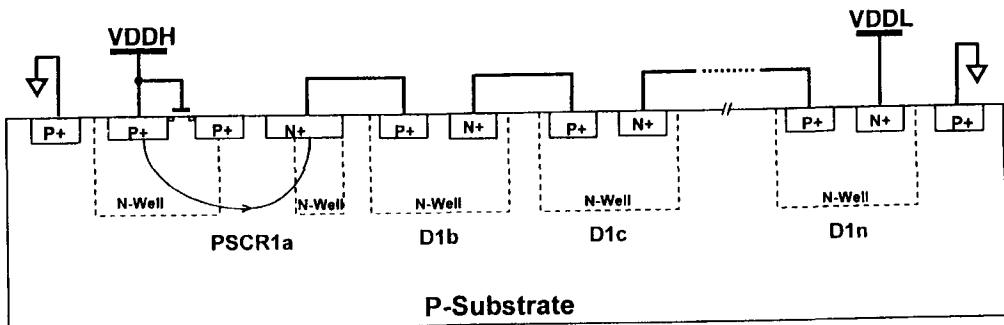
第十二圖



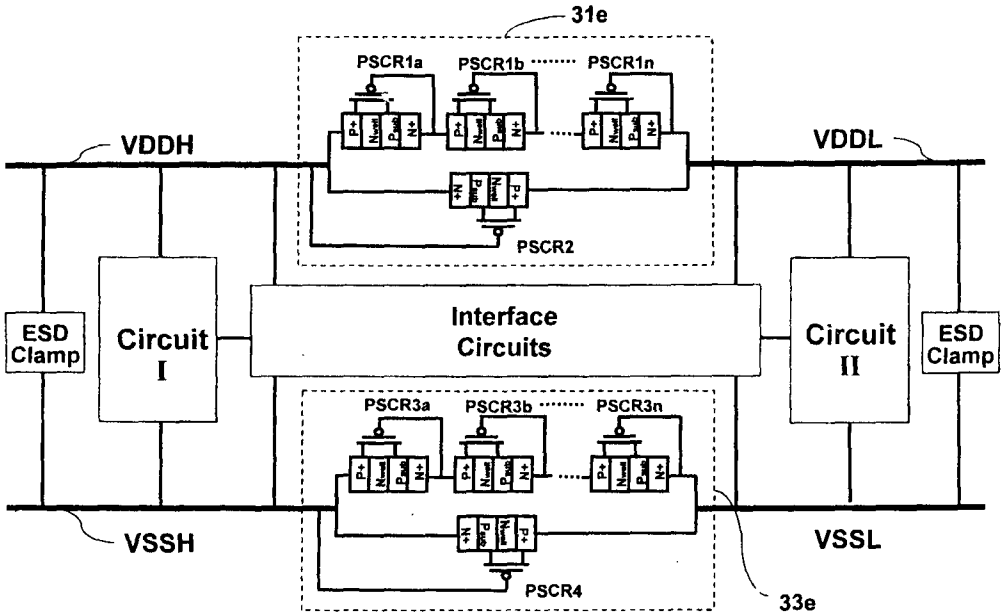
第十四圖



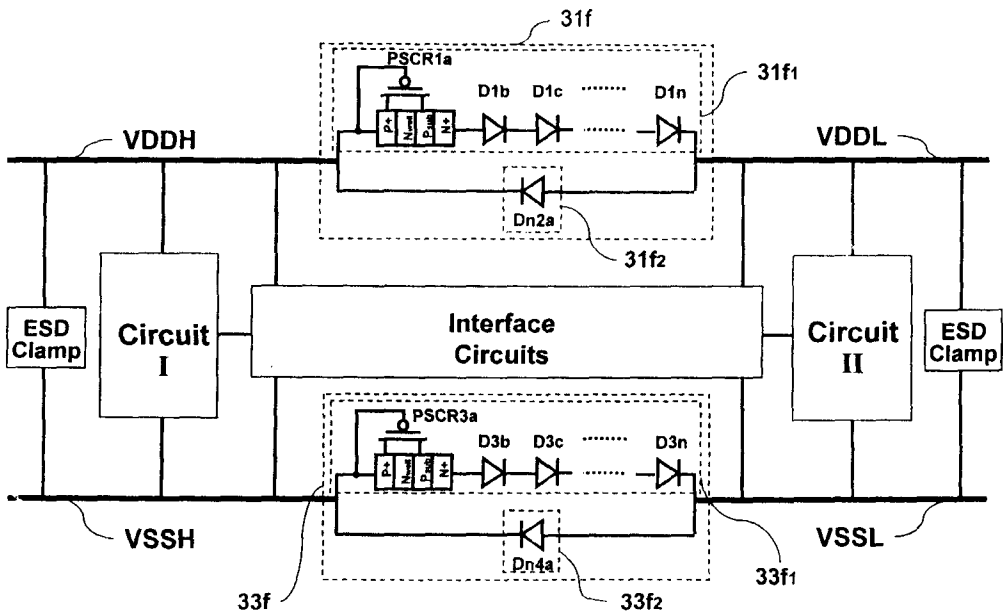
第十六圖



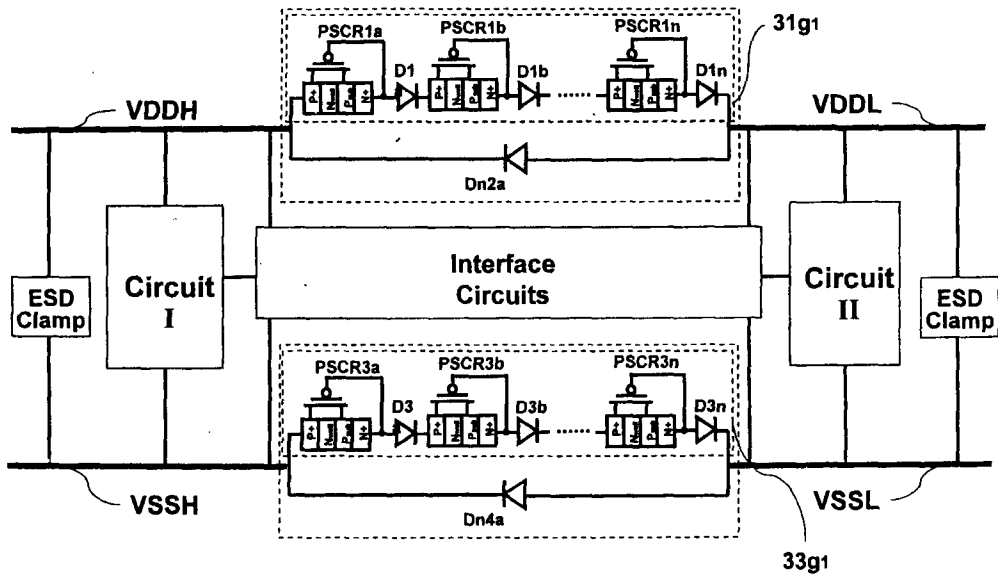
第十八圖



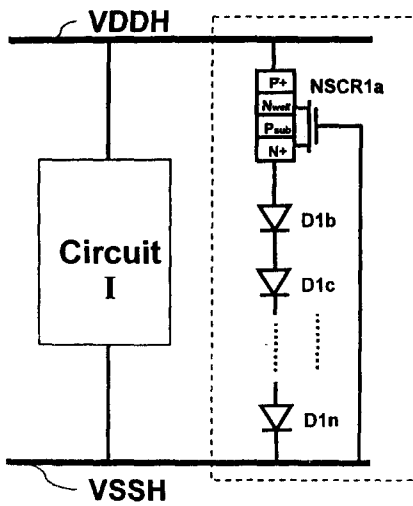
第十五圖



第十七圖

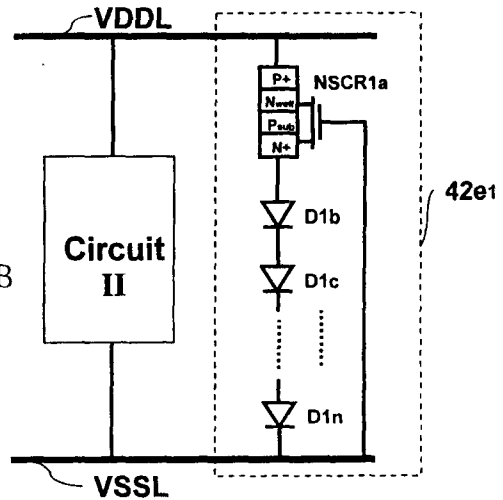


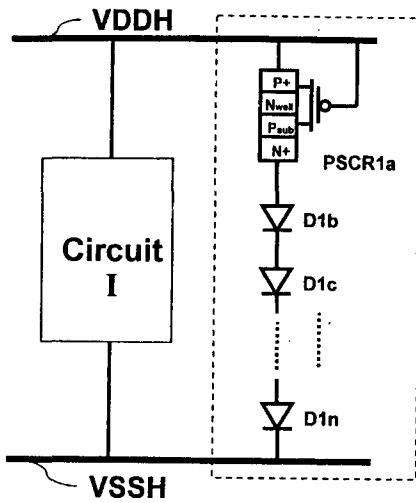
第十九圖



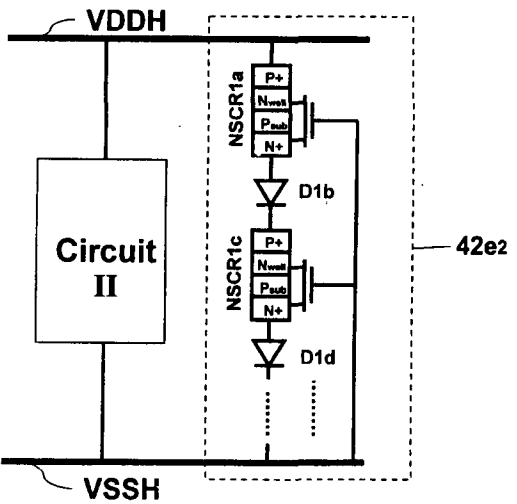
第二十圖 A

第二十圖 B

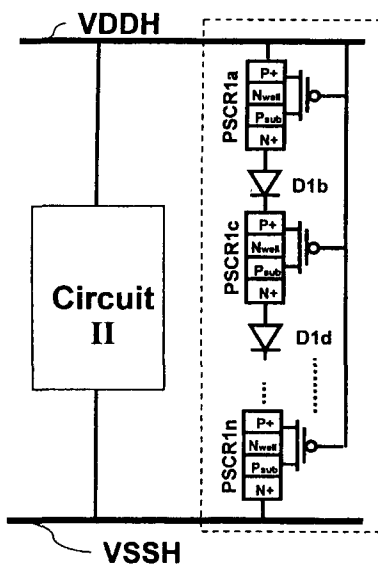




第二十圖 C



第二十圖 D



第二十圖 E

