

【11】證書號數：I387093

【45】公告日：中華民國 102 (2013) 年 02 月 21 日

【51】Int. Cl. : H01L27/04 (2006.01)

發明

全 11 頁

【54】名稱：利用低壓元件實現的低漏電高壓電源靜電放電保護電路

HIGH-VOLTAGE-TOLERANT ESD CLAMP CIRCUIT WITH LOW  
LEAKAGE CURRENT FABRICATED BY LOW-VOLTAGE CMOS  
PROCESS

【21】申請案號：098128717

【22】申請日：中華民國 98 (2009) 年 08 月 26 日

【11】公開編號：201108392

【43】公開日期：中華民國 100 (2011) 年 03 月 01 日

【72】發明人：林群祐 (TW) LIN, CHUN YU；柯明道 (TW) KER, MING DOU；蔡富義 (TW)  
 TSAI, FU YI【71】申請人：智原科技股份有限公司 FARADAY TECHNOLOGY CORP.  
新竹市科學園區力行三路 5 號

【74】代理人：詹銘文；蕭錫清

【56】參考文獻：

TW 200418164

TW 200840016

US 7545614B2

US 2008/0049365A1

US 2009/0015974A1

審查人員：詹利澤

## [57]申請專利範圍

1. 一種靜電放電保護電路，包括：完全相同的多個模組電路，其中第一個模組電路的電源端耦接該靜電放電保護電路的電源端，其餘每一個模組電路的電源端耦接上一個模組電路的接地端，最後一個模組電路的接地端耦接該靜電放電保護電路的接地端，每一上述模組電路包括：一傳導路徑，耦接該模組電路的電源端；以及一偵測電路，耦接該模組電路的電源端、接地端與該傳導路徑，若該模組電路的電源端的電壓上升速度超過一臨界值，則該偵測電路使該傳導路徑導通，其中每一上述偵測電路包括：一 PMOS 電晶體，耦接於所屬模組電路的電源端與一第一節點之間；一電阻，耦接於該第一節點與一第二節點之間；一電容，耦接於該第二節點與所屬模組電路的接地端之間；一第一反相器，耦接該第二節點，接收該第二節點的電壓；一第二反相器，耦接該第一反相器，接收該第一反相器的輸出；以及一第三反相器，耦接該第一節點與該第二反相器，接收該第一節點的電壓，該第三反相器的輸出使對應的該傳導路徑導通或截止。
2. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該傳導路徑包括一 PMOS 電晶體，該 PMOS 電晶體根據該偵測電路的輸出而導通或截止。
3. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中每一上述模組電路的傳導路徑耦接於該模組電路的電源端與接地端之間，將一靜電放電脈衝自該模組電路的電源端傳導至該模組電路的接地端。
4. 如申請專利範圍第 1 項所述之靜電放電保護電路，更包括：一放電路徑，耦接於該靜電放電保護電路的電源端與接地端之間，將一靜電放電脈衝自該靜電放電保護電路的電源端導入該靜電放電保護電路的接地端；其中最後一個模組電路的傳導路徑耦接該放電路徑，輸出一觸發信號，使該放電路徑導通；其餘每一模組電路的傳導路徑耦接於該模組電路的電源端與接地端之間，傳送該觸發信號。

(2)

5. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該第一反相器和該第二反相器的高壓端皆耦接該第一節點，該第一反相器和該第二反相器的低壓端皆耦接所屬模組電路的接地端，該第三反相器的高壓端耦接所屬模組電路的電源端，該第三反相器的低壓端耦接該第二反相器的輸出端。
6. 如申請專利範圍第 1 項所述之靜電放電保護電路，更包括：一分壓電路，耦接於該靜電放電保護電路的電源端與接地端之間，並耦接每一上述模組電路的電源端與接地端，將該靜電放電保護電路的電源端與接地端之間的跨壓均分，使每一上述模組電路的電源端與接地端之間的跨壓相等。
7. 一種靜電放電保護電路，包括：一第一 PMOS 電晶體，耦接於一電源端與一第一節點之間；一電阻，耦接於該第一節點與一第二節點之間；一電容，耦接於該第二節點與一接地端之間；一第一反相器，耦接該第二節點，接收該第二節點的電壓；一第二反相器，耦接該第一反相器，接收該第一反相器的輸出；一第三反相器，耦接該第一節點與該第二反相器，接收該第一節點的電壓；以及一傳導路徑，耦接該電源端，根據該第三反相器的輸出而導通或截止。
8. 如申請專利範圍第 7 項所述之靜電放電保護電路，其中該傳導路徑包括一第二 PMOS 電晶體，該第二 PMOS 電晶體根據該第三反相器的輸出而導通或截止。
9. 如申請專利範圍第 7 項所述之靜電放電保護電路，其中該傳導路徑耦接於該電源端與該接地端之間，將一靜電放電脈衝自該電源端傳導至該接地端。
10. 如申請專利範圍第 7 項所述之靜電放電保護電路，更包括：一放電路徑，耦接該傳導路徑與該接地端，將一靜電放電脈衝導入該接地端，其中該傳導路徑輸出一觸發信號，使該放電路徑導通。
11. 如申請專利範圍第 7 項所述之靜電放電保護電路，其中該第一反相器和該第二反相器的高壓端皆耦接該第一節點，該第一反相器和該第二反相器的低壓端皆耦接該接地端，該第三反相器的高壓端耦接該電源端，該第三反相器的低壓端耦接該第二反相器的輸出端。
12. 一種靜電放電保護電路，包括：一第一 PMOS 電晶體，耦接於一電源端與一第一節點之間；一反應電路，耦接於該第一節點；該反應電路可偵測該電源端之靜電放電脈衝並將偵測結果反映至一第二節點與該第一節點；一反相器，耦接該第一節點，接收該第一節點的電壓，以根據該第一節點與該第二節點的電壓作對應的輸出；以及一傳導路徑，耦接該電源端，根據該反相器的輸出而導通或截止，其中該反相器經由一組合電路耦接至該第二節點；當該反應電路偵測到靜電放電脈衝時，該反應電路可在該第一節點與該第二節點間提供一壓差以使該組合電路接收一邏輯高電位之輸入；當該反應電路未偵測到靜電放電脈衝時，該反應電路則會使該組合電路接收一邏輯低電位之輸入。
13. 如申請專利範圍第 12 項的靜電放電保護電路，其中，該反應電路包含有：一電阻，耦接於該第一節點與該第二節點之間；以及一電容，耦接於該第二節點與一接地端之間。
14. 如申請專利範圍第 12 項的靜電放電保護電路，其中，該組合電路包含有：一第一反相器，耦接該第二節點，接收該第二節點的電壓；以及一第二反相器，耦接該第一反相器，接收該第一反相器的輸出。

#### 圖式簡單說明

圖 1 至圖 3 是習知的三種靜電放電保護電路的電路圖。

圖 4 是依照本發明一實施例的一種靜電放電保護電路的示意圖。

圖 5 是依照本發明另一實施例的一種靜電放電保護電路的示意圖。

圖 6 是圖 4 的靜電放電保護電路的電路圖。

圖 7 是圖 5 的靜電放電保護電路的電路圖。

(3)

圖 8 是依照本發明另一實施例的一種靜電放電保護電路的電路圖。

圖 9 繪示圖 8 的靜電放電保護電路在正常啟動時的各節點電壓和漏電流。

圖 10 和圖 11 繪示圖 8 的靜電放電保護電路遭遇靜電放電脈衝時的各節點電壓和觸發電流。

圖 12 繪示習知的一種靜電放電保護電路遭遇電源雜訊時的工作電壓和觸發電壓。

圖 13 繪示圖 8 的靜電放電保護電路遭遇電源雜訊時的工作電壓和觸發電壓。

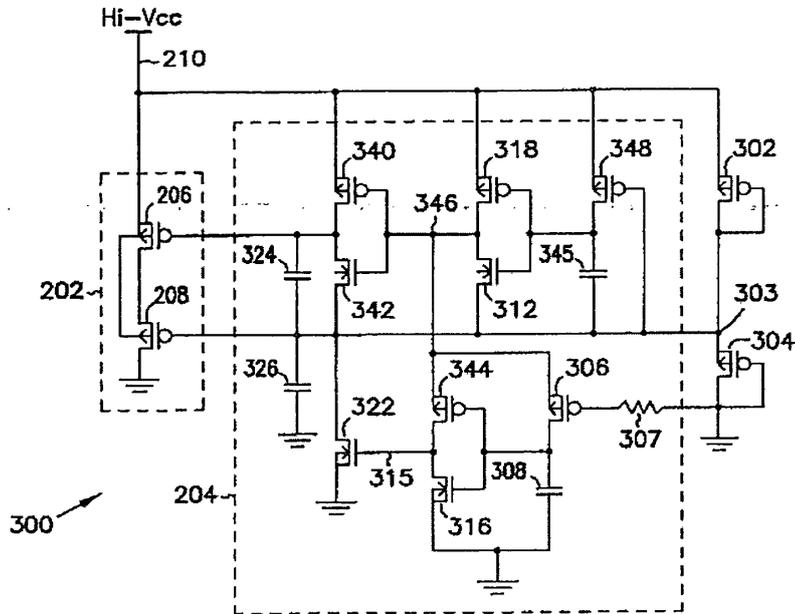


圖 1

(4)

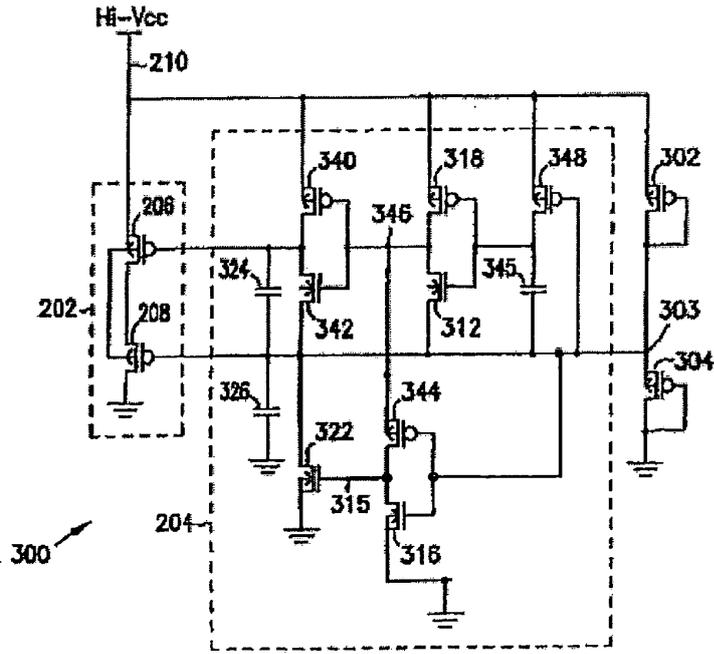


圖 2

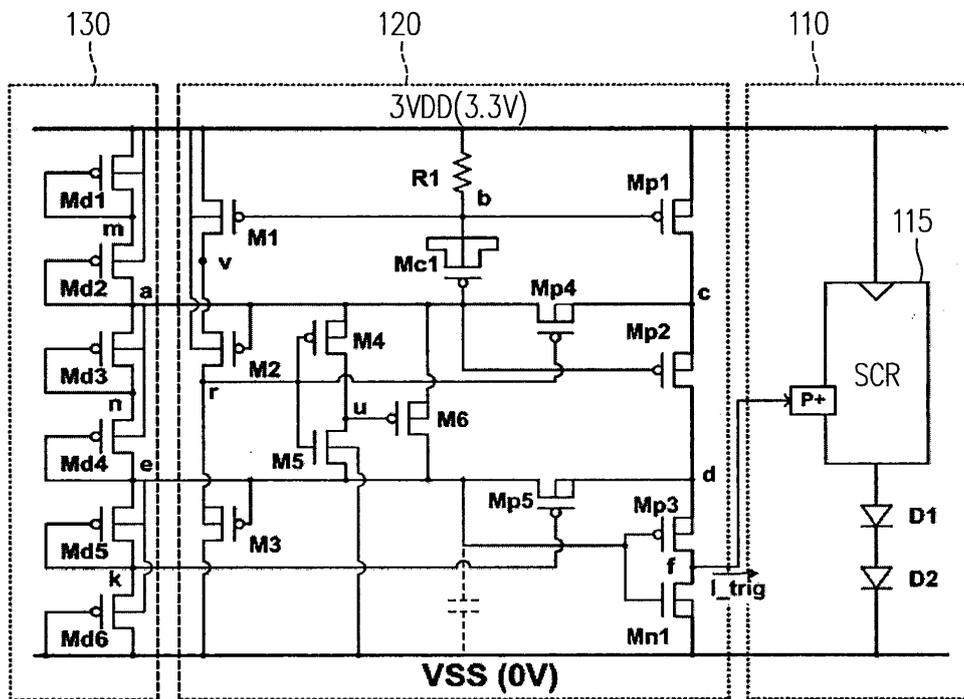


圖 3

(5)

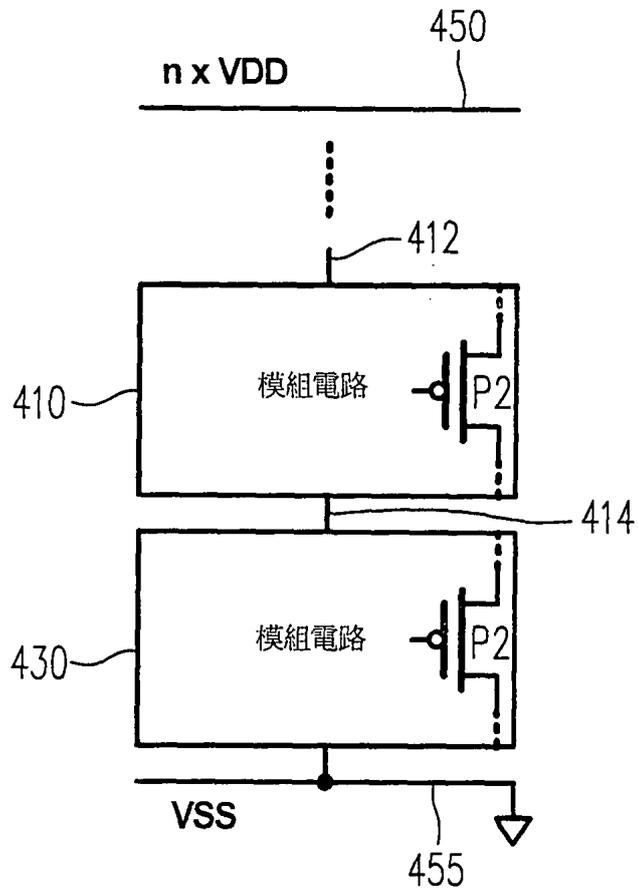


圖 4

(6)

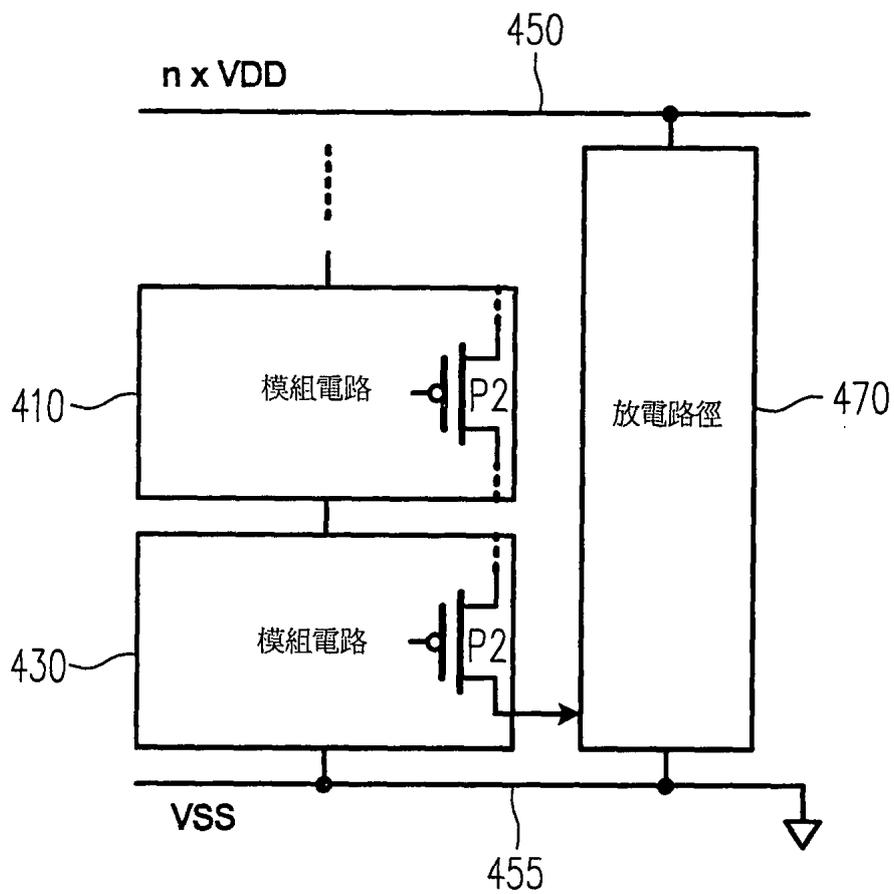


圖 5



(8)

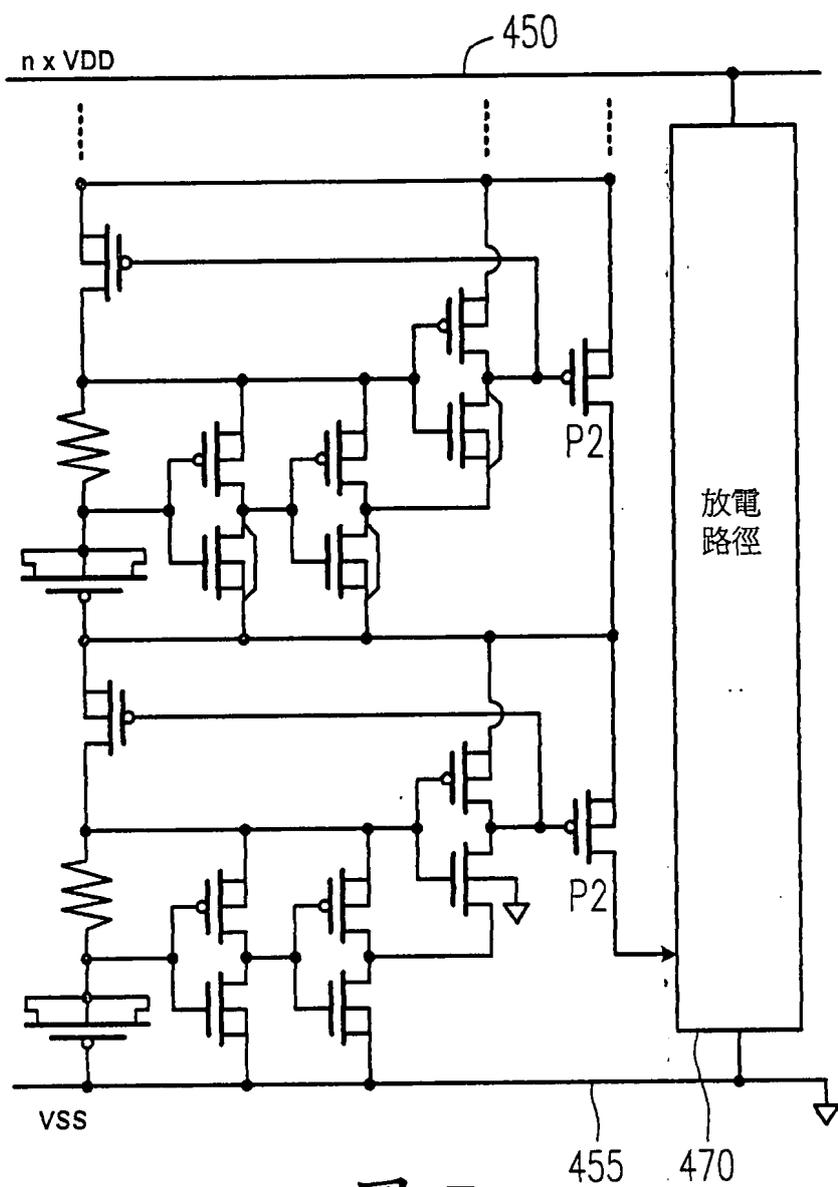


圖 7



(10)

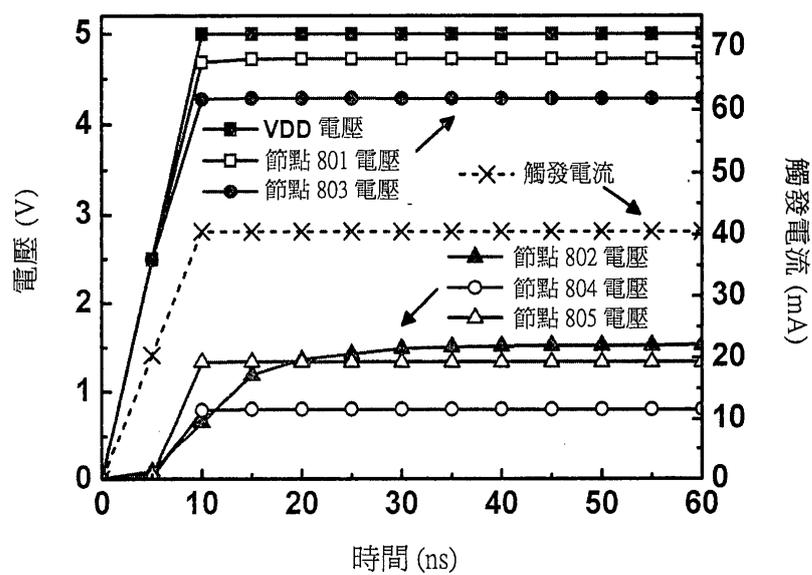


圖 11

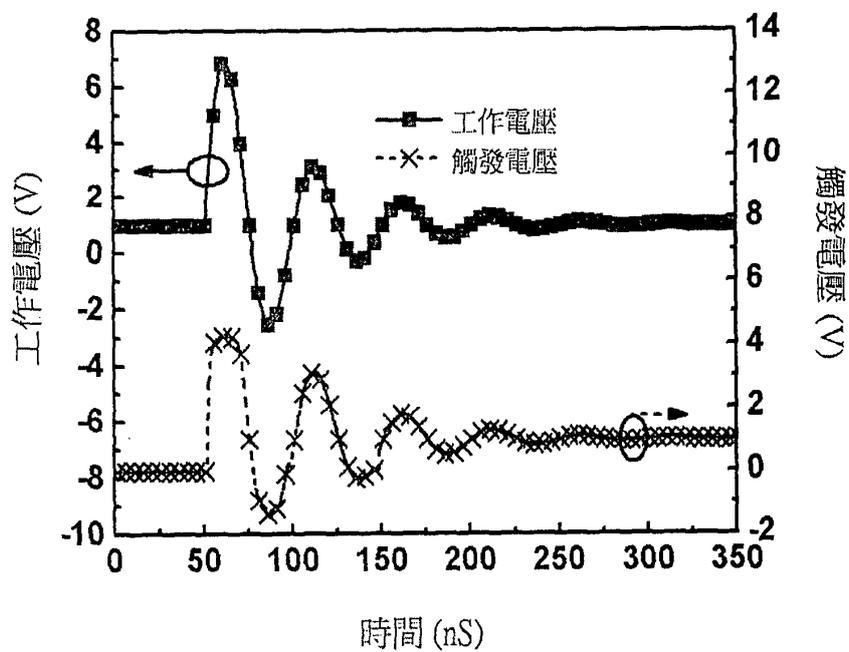


圖 12

(11)

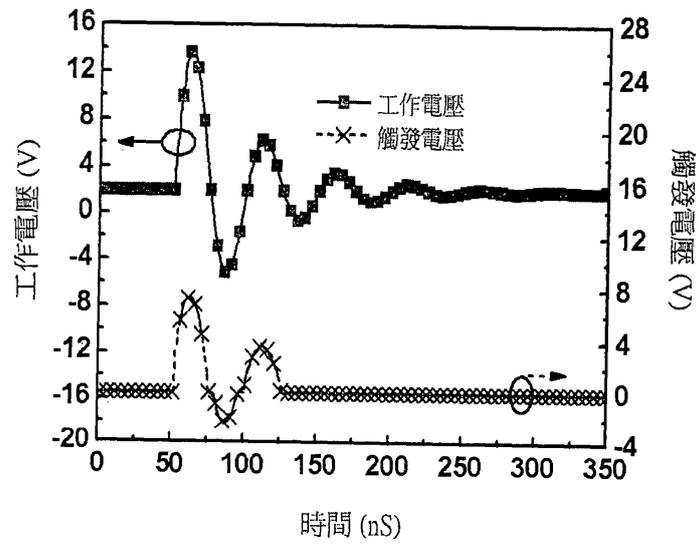


圖 13

