

【11】證書號數：I396382

【45】公告日：中華民國 102 (2013) 年 05 月 11 日

【51】Int. Cl. : H03K19/0175(2006.01)

發明

全 15 頁

【54】名稱：二倍供應電壓共容邏輯電路及具有 PVT 補償之二倍供應電壓共容輸出緩衝器

2xVDD-TOLERANT LOGIC CIRCUITS AND A RELATED 2xVDD-TOLERANT I/O BUFFER WITH PVT COMPENSATION

【21】申請案號：099100856

【22】申請日：中華民國 99 (2010) 年 01 月 14 日

【11】公開編號：201125288

【43】公開日期：中華民國 100 (2011) 年 07 月 16 日

【72】發明人：柯明道 (TW) KER, MING DOU；林彥良 (TW) LIN, YAN LIANG；王朝欽 (TW) WANG, CHUA CHIN

【71】申請人：國立中山大學

NATIONAL SUN YAT-SEN
UNIVERSITY

高雄市鼓山區蓮海路 70 號

【74】代理人：張啟威

【56】參考文獻：

TW I230507B

US 6229365B1

Ming-Dou Ker; Yan-Liang Lin; , "Design of 2xVDD-tolerant I/O buffer with 1xVDD CMOS devices," Custom Integrated Circuits Conference, 2009. CICC '09. IEEE , vol., no., pp.539-542, 13-16 Sept. 2009.

審查人員：陳明德

[57]申請專利範圍

1. 一種二倍供應電壓共容邏輯電路，其用以對至少一輸入訊號執行一邏輯運算，並產生至少一對輸出訊號，該邏輯電路包含：一電壓轉換器，該至少一輸入訊號係直接輸入該電壓轉換器，該電壓轉換器係將該至少一輸入訊號轉換為對應之至少一第一訊號以及至少一第二訊號，其中該第一訊號係位於一第一電壓範圍之內，而該第二訊號係位於一第二電壓範圍之內，且該第二電壓範圍係具有一高於該第一電壓範圍之電壓；一拉低邏輯路徑，用以執行該邏輯電路之上述邏輯運算中至少一部份，該拉低邏輯路徑接受來自該電壓轉換器之該至少一第一訊號為其輸入，並產生一第一輸出，其中該第一輸出位於該第一電壓範圍之內；一拉高邏輯路徑，用以執行該邏輯電路之上述邏輯運算中至少一部份，該拉高邏輯路徑接受來自該電壓轉換器之該至少一第二訊號為其輸入，並產生一第二輸出，其中該第二輸出位於該第二電壓範圍之內；以及一輸出級，用以接受該第一輸出訊號及該第二輸出訊號，藉以產生該邏輯電路之該輸出，該輸出之操作電壓包括，該第一電壓範圍及該第二電壓範圍。
2. 如申請專利範圍第 1 項所述之二倍供應電壓共容邏輯電路，其中該第一電壓範圍之最高電壓，在功能上等於該第二電壓範圍之最低電壓。
3. 如申請專利範圍第 2 項所述之二倍供應電壓共容邏輯電路，其中該輸出級包含一第一電晶體，其以一第一端子電性連接至該第一輸出，以及一第二電晶體，其以一第一端子電性連接至該第二輸出；其中該第一電晶體之第二端子及該第二電晶體之第二端子，係彼此電性連接以提供該輸出訊號。

(2)

4. 如申請專利範圍第 3 項所述之二倍供應電壓共容邏輯電路，其中該第一電晶體之基體端子，係電功能性連接至該第一電壓範圍之該最低電壓，且該第二電晶體之基體端子，係電功能性連接至該第二電壓範圍之該最高電壓；其中該第一及第二電晶體為相對之電氣種類，且該第一電晶體之閘及該第二電晶體之閘，係電性連接至一功能上等於該第一電壓範圍之該最高電壓。
5. 如申請專利範圍第 4 項所述之二倍供應電壓共容邏輯電路，其中該邏輯運算為一邏輯 NOT 運算，其中：該拉低邏輯路徑包含屬於相對電氣種類之一第三電晶體，以及一第四電晶體，該第三電晶體及該第四電晶體之閘，係電性連接至該第一訊號，該第三電晶體及該第四電晶體之第一端子分別電功能性連接至該第一電壓範圍，及該第二電壓範圍之最低電壓，且該第三及第四電晶體之第二端子，係彼此電性連接以提供該第一輸出；以及該拉高邏輯路徑包含屬於相對電氣種類之一第五電晶體以及一第六電晶體，該第五電晶體及該第六電晶體之閘，係電性連接至該第二訊號，該第五電晶體及該第六電晶體之第一端子，係分別電功能性連接至該第一電壓範圍及該第二電壓範圍之最高電壓，且該第五及第六電晶體之第二端子，係彼此電性連接以提供該第二輸出。
6. 如申請專利範圍第 4 項所述之二倍供應電壓共容邏輯電路，其中該邏輯運算為一邏輯性 NAND 運算，其具有至少二輸入，該邏輯電路具有至少二對應電壓轉換器，以便該至少二輸入提供複數個對應第一訊號及第二訊號，其中：該拉低邏輯路徑包含複數個電晶體，其利用該些第一訊號為輸入，在該第一電壓範圍之內執行一 NAND 邏輯運算；以及該拉高邏輯路徑包含複數個電晶體，其利用該些第二訊號為閘輸入在該第二電壓範圍之內，執行一 NAND 邏輯運算。
7. 如申請專利範圍第 4 項所述之二倍供應電壓共容邏輯電路，其中該邏輯運算為一邏輯性 NOR 運算，其具有至少二輸入，該邏輯電路具有至少二對應電壓轉換器，以便該至少二輸入提供複數個對應第一訊號及第二訊號，其中：該拉低邏輯路徑包含複數個電晶體，其利用該些第一訊號為閘輸入在該第一電壓範圍之內，執行一 NOR 邏輯運算；以及該拉高邏輯路徑包含複數個電晶體，其利用該些第二訊號為閘輸入在該第二電壓範圍之內，執行一 NOR 邏輯運算。

圖式簡單說明

第 1 圖：具有 PVT 補償之輸出(I/O)電路的方塊圖。

第 2 圖：為第 1 圖所示之 PVT 變化偵測器的電路圖。

第 3 圖：二倍供應電壓共容換流器實施例之電路圖。

第 4 圖：為用於二倍供應電壓共容邏輯閘之電壓轉換器實施例的電路圖。

第 5 圖：說明二路輸入二倍供應電壓共容邏輯閘的輸入訊號。

第 6 圖：為二路輸入二倍供應電壓共容 NAND 閘實施例之電路圖。

第 7 圖：為二路輸入二倍供應電壓共容 NOR 閘實施例之電路圖。

第 8 圖：說明三路輸入二倍供應電壓共容邏輯閘輸入訊號之實施例。

第 9 圖：為三路輸入二倍供應電壓共容 NAND 閘實施例之電路圖。

第 10 圖：為三路輸入二倍供應電壓共容 NOR 閘實施例之電路圖。

第 11 圖：為二倍供應電壓共容輸出緩衝器實施例之電路圖。

第 12 圖：為具有 PVT 補償之二倍供應電壓共容輸出緩衝器 3 位元控制訊號實施例之電路圖。

第 13 圖：為具有 PVT 補償之二倍供應電壓共容輸出緩衝器 4 位元控制訊號實施例之電路圖。

第 14 圖：顯示一 8 轉 3 編碼器實施例之真值表。

(3)

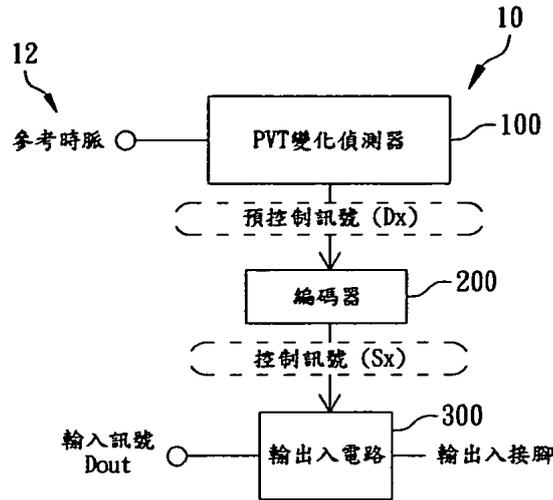
第 15 圖：顯示無 PVT 補償之二倍供應電壓共容輸出緩衝器實施例的模擬輸出壓擺率。

第 16 圖：使用 3 位元控制訊號具有 PVT 補償之二倍供應電壓共容輸出緩衝器實施例的模擬輸出壓擺率。

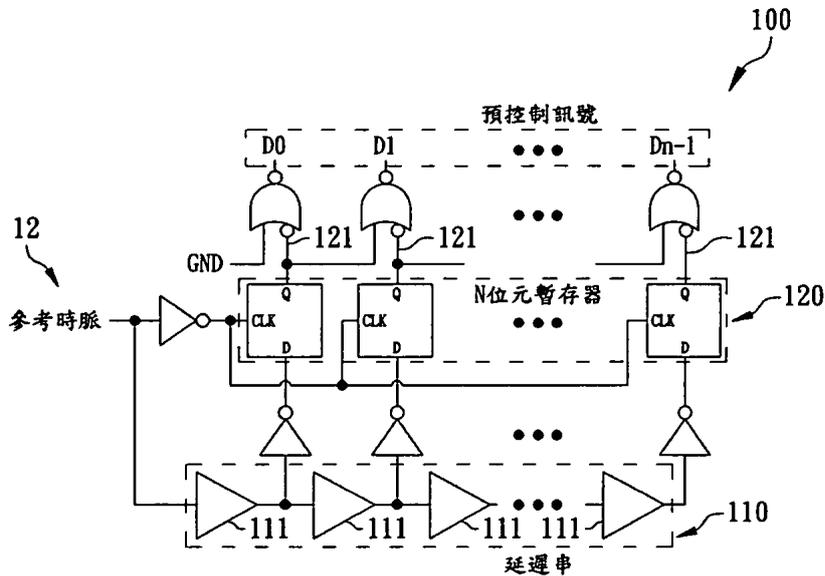
第 17 圖：為換流器電路元件之邏輯表。

第 18 圖：為 NAND 閘電路元件之邏輯表。

第 19 圖：為另一 NOR 閘電路元件之邏輯表。

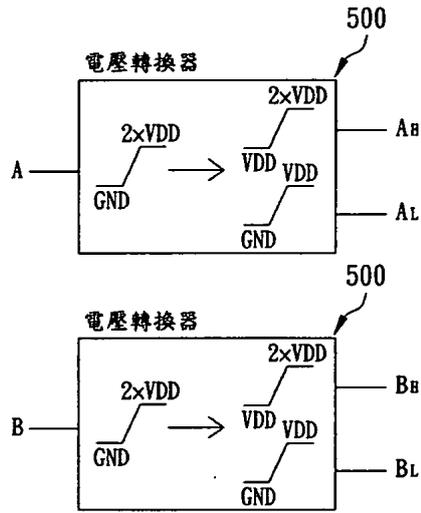


第 1 圖

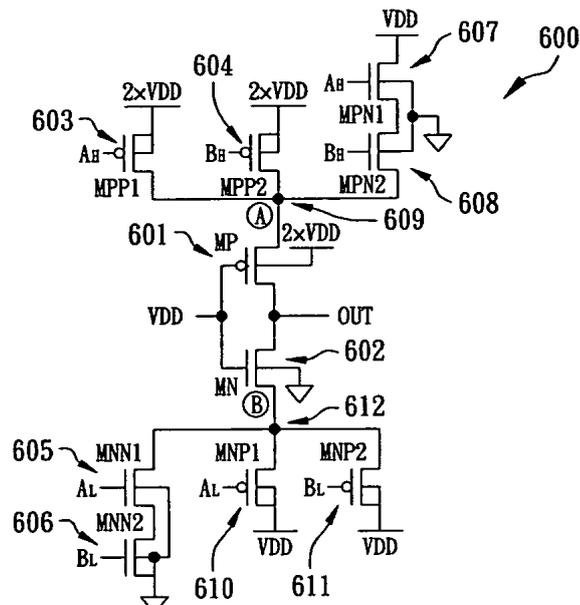


第 2 圖

(5)

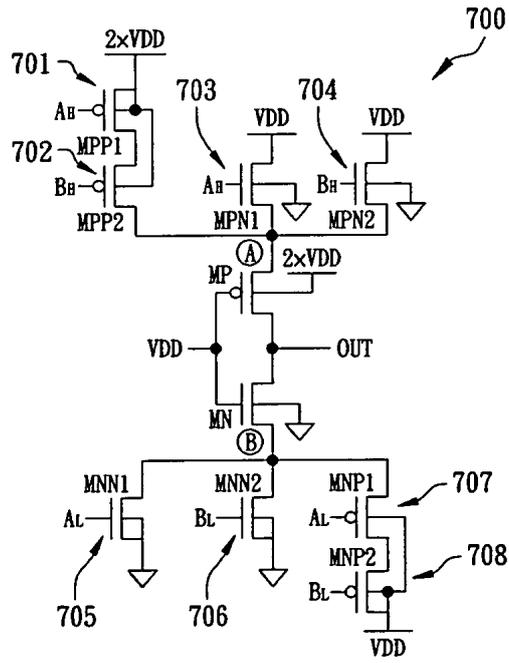


第 5 圖

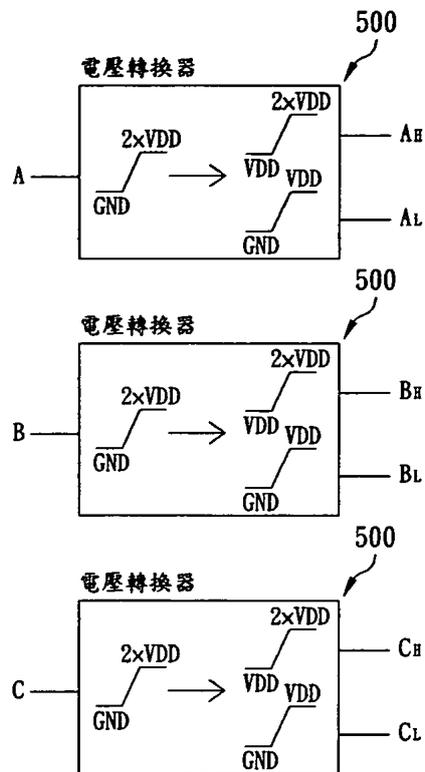


第 6 圖

(6)

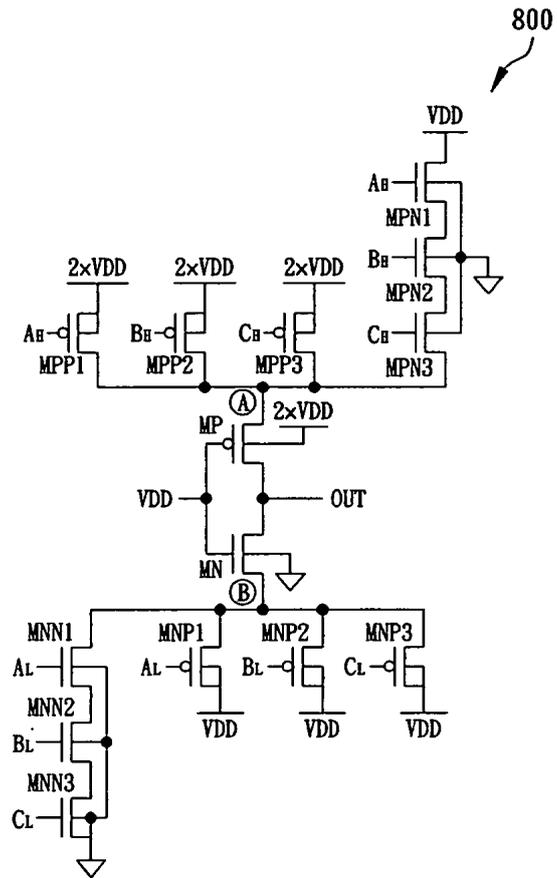


第 7 圖



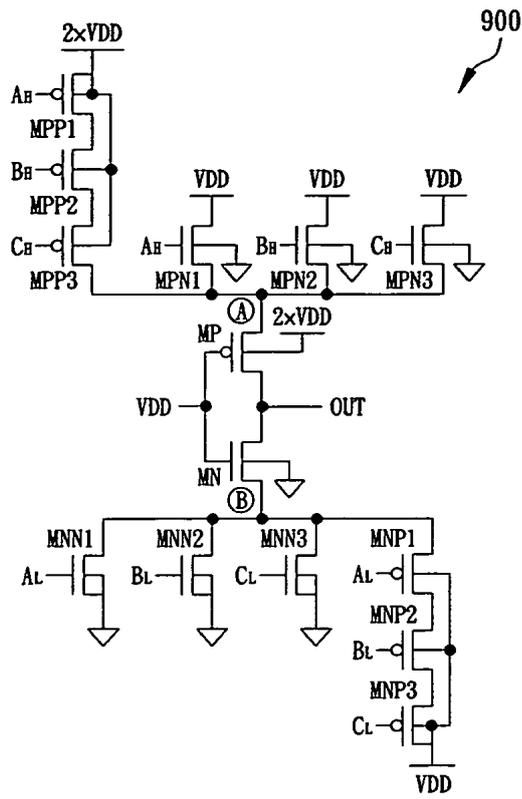
第 8 圖

(7)

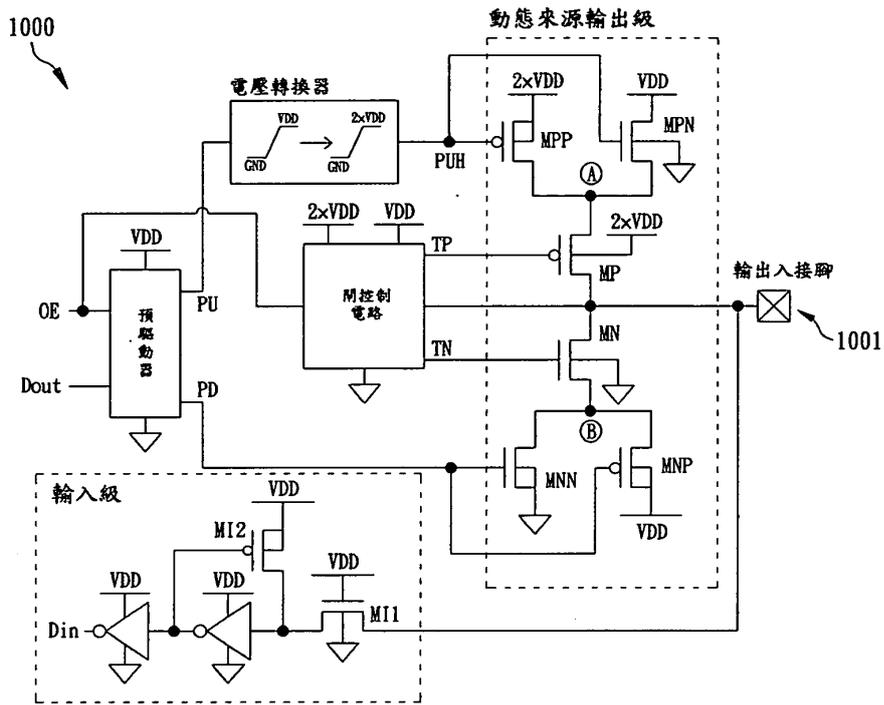


第 9 圖

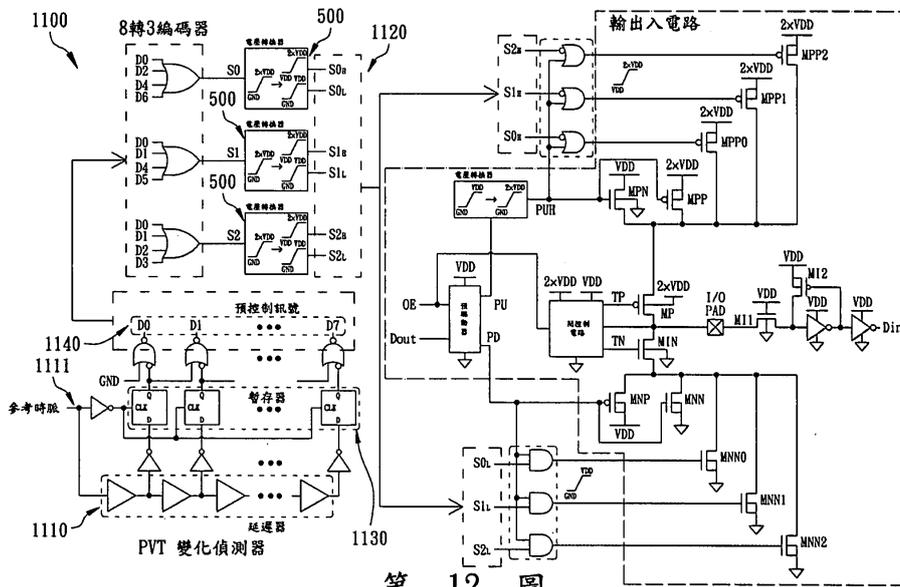
(8)



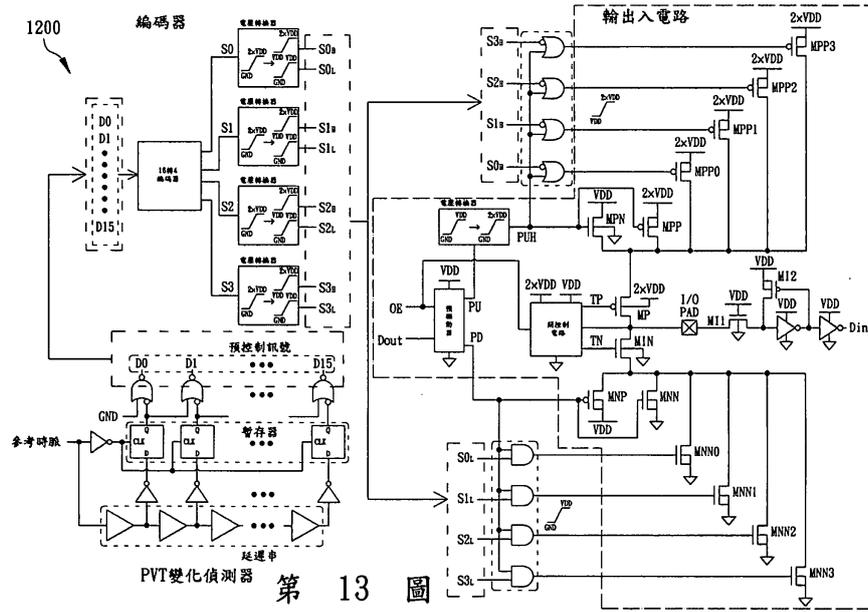
第 10 圖



第 11 圖



第 12 圖



D0	D1	D2	D3	D4	D5	D6	D7	S2	S1	S0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

第 14 圖

正規化電源電壓

FastCorner	0.9	0.95	1	1.05	1.1
0 °C	3.16 / 2.83	3.38 / 3.12	3.91 / 3.42	4.25 / 3.71	4.69 / 3.90
25 °C	3.05 / 2.67	3.40 / 2.96	3.74 / 3.23	4.16 / 3.52	4.51 / 3.73
50 °C	2.92 / 2.56	3.27 / 2.82	3.64 / 3.06	3.99 / 3.32	4.39 / 3.55
75 °C	2.87 / 2.42	3.22 / 2.69	3.53 / 2.91	3.93 / 3.16	4.05 / 3.41
100 °C	2.83 / 2.33	3.14 / 2.54	3.46 / 2.76	3.64 / 3.03	4.09 / 3.24
125 °C	2.79 / 2.22	3.09 / 2.43	3.41 / 2.63	3.67 / 2.88	4.01 / 3.05
Typical Corner	0.9	0.95	1	1.05	1.1
0 °C	2.58 / 2.23	2.88 / 2.48	3.22 / 2.73	3.52 / 3.00	3.85 / 3.26
25 °C	2.50 / 2.11	2.80 / 2.36	3.11 / 2.62	3.40 / 2.86	3.72 / 3.10
50 °C	2.43 / 1.99	2.72 / 2.23	2.99 / 2.45	3.30 / 2.69	3.63 / 2.93
75 °C	2.36 / 1.89	2.62 / 2.09	2.92 / 2.33	3.25 / 2.53	3.47 / 2.73
100 °C	2.30 / 1.79	2.57 / 2.00	2.86 / 2.21	3.11 / 2.37	3.38 / 2.63
125 °C	2.25 / 1.69	2.52 / 1.90	2.78 / 2.08	3.01 / 2.29	3.32 / 2.50
SlowCorner	0.9	0.95	1	1.05	1.1
0 °C	2.01 / 1.69	2.34 / 1.95	2.65 / 2.17	2.96 / 2.40	3.24 / 2.66
25 °C	1.94 / 1.60	2.28 / 1.81	2.57 / 2.03	2.85 / 2.29	3.14 / 2.52
50 °C	1.95 / 1.46	2.22 / 1.71	2.49 / 1.92	2.76 / 2.13	3.03 / 2.38
75 °C	1.90 / 1.43	2.16 / 1.61	2.42 / 1.82	2.68 / 2.04	2.95 / 2.22
100 °C	1.87 / 1.36	2.11 / 1.55	2.35 / 1.72	2.61 / 1.93	2.86 / 2.10
125 °C	1.83 / 1.29	2.06 / 1.47	2.30 / 1.63	2.55 / 1.80	2.78 / 2.00

 $SR_{rise} / SR_{fall} (V/nS)$

第 15 圖

正規化電源電壓

Fast Corner	0.9	0.95	1	1.05	1.1
0 °C	2.12 / 1.68	2.36 / 1.85	2.61 / 2.01	2.86 / 2.17	3.11 / 2.33
25 °C	2.05 / 1.61	2.29 / 1.77	2.52 / 1.92	2.76 / 2.08	3.00 / 2.23
50 °C	2.33 / 1.97	2.22 / 1.69	2.45 / 1.84	2.68 / 1.98	2.91 / 2.13
75 °C	2.27 / 1.88	2.52 / 2.07	2.38 / 1.75	2.61 / 1.89	2.83 / 2.03
100 °C	2.50 / 2.14	2.46 / 1.97	2.71 / 2.15	2.54 / 1.81	2.75 / 1.94
125 °C	2.45 / 2.04	2.71 / 2.24	2.64 / 2.04	2.47 / 1.72	2.68 / 1.85
Typical Corner	0.9	0.95	1	1.05	1.1
0 °C	2.49 / 2.36	2.54 / 2.30	2.83 / 2.55	2.76 / 2.32	2.59 / 1.95
25 °C	2.99 / 2.68	2.72 / 2.49	2.74 / 2.41	2.67 / 2.20	2.92 / 2.39
50 °C	2.91 / 2.53	2.64 / 2.35	2.93 / 2.60	2.92 / 2.50	2.83 / 2.27
75 °C	2.83 / 2.40	3.17 / 2.68	2.85 / 2.46	2.84 / 2.36	3.10 / 2.57
100 °C	2.91 / 2.43	3.09 / 2.54	2.77 / 2.33	3.05 / 2.56	3.02 / 2.43
125 °C	2.84 / 2.32	3.01 / 2.41	3.34 / 2.67	2.97 / 2.42	3.25 / 2.64
Slow Corner	0.9	0.95	1	1.05	1.1
0 °C	2.75 / 2.40	2.98 / 2.63	3.18 / 2.78	3.54 / 3.09	3.15 / 2.83
25 °C	2.66 / 2.29	2.88 / 2.48	3.23 / 2.79	3.41 / 2.90	3.04 / 2.66
50 °C	2.58 / 2.17	2.93 / 2.47	3.13 / 2.63	3.30 / 2.73	3.64 / 3.01
75 °C	2.62 / 2.15	2.85 / 2.33	3.04 / 2.48	3.37 / 2.75	3.52 / 2.84
100 °C	2.56 / 2.04	2.77 / 2.21	3.10 / 2.48	3.28 / 2.60	3.60 / 2.86
125 °C	2.50 / 1.94	2.71 / 2.10	3.02 / 2.35	3.19 / 2.46	3.51 / 2.71

 $SR_{rise} / SR_{fall} (V/ns)$

第 16 圖

(13)

電路邏輯	拉高	拉低
IN	0	2×VDD
INL	0	VDD
INH	VDD	2×VDD
節點A	2×VDD	VDD
節點B	VDD	0
OUT	2×VDD	0
MPP	ON	OFF
MPN	OFF	ON
MP	ON	OFF
MNN	OFF	ON
MNP	ON	OFF
MN	OFF	ON

第 17 圖

(14)

電路邏輯	拉高	拉高	拉高	拉低
(A, B)	(0, 0)	(0, 2×VDD)	(2×VDD, 0)	(2×VDD, 2×VDD)
(AL, BL)	(0, 0)	(0, VDD)	(VDD, 0)	(VDD, VDD)
(AH, BH)	(VDD, VDD)	(VDD, 2×VDD)	(2×VDD, VDD)	(2×VDD, 2×VDD)
節點A	2×VDD	2×VDD	2×VDD	VDD
節點B	VDD	VDD	VDD	0
OUT	2×VDD	2×VDD	2×VDD	0
MPP1	ON	ON	OFF	OFF
MPP2	ON	OFF	ON	OFF
MPN1	OFF	OFF	ON	ON
MPN2	OFF	OFF	OFF	ON
MP	ON	ON	ON	OFF
MNN1	OFF	OFF	OFF	ON
MNN2	OFF	ON	OFF	ON
MNP1	ON	ON	OFF	OFF
MNP2	ON	OFF	ON	OFF
MN	OFF	OFF	OFF	ON

第 18 圖

(15)

電路邏輯	拉高	拉低	拉低	拉低
(A, B)	(0, 0)	(0, 2×VDD)	(2×VDD, 0)	(2×VDD, 2×VDD)
(AL, BL)	(0, 0)	(0, VDD)	(VDD, 0)	(VDD, VDD)
(AH, BH)	(VDD, VDD)	(VDD, 2×VDD)	(2×VDD, VDD)	(2×VDD, 2×VDD)
節點A	2×VDD	VDD	VDD	VDD
節點B	VDD	0	0	0
OUT	2×VDD	0	0	0
MPP1	ON	ON	OFF	OFF
MPP2	ON	OFF	OFF	OFF
MPN1	OFF	OFF	ON	ON
MPN2	OFF	ON	OFF	ON
MP	ON	OFF	OFF	OFF
MNN1	OFF	OFF	ON	ON
MNN2	OFF	ON	OFF	ON
MNP1	ON	OFF	OFF	OFF
MNP2	ON	OFF	ON	OFF
MN	OFF	ON	ON	ON

第 19 圖