

【11】證書號數：I402961

【45】公告日：中華民國 102 (2013) 年 07 月 21 日

【51】Int. Cl.：H01L23/60 (2006.01)

發明

全 6 頁

【54】名稱：用於二倍供應電壓共容之低漏電靜電放電防護電路

ELECTROSTATIC DISCHARGE PROTECTING CIRCUIT WITH ULTRA-LOW STANDBY LEAKAGE CURRENT FOR TWICE SUPPLY VOLTAGE TOLERANCE

【21】申請案號：098125962

【22】申請日：中華民國 98 (2009) 年 07 月 31 日

【11】公開編號：201104827

【43】公開日期：中華民國 100 (2011) 年 02 月 01 日

【72】發明人：柯明道 (TW) KER, MING DOU；王暢資 (TW) WANG, CHANG TZU；王朝欽 (TW) WANG, CHUA CHIN

【71】申請人：國立中山大學

NATIONAL SUN YAT-SEN
UNIVERSITY

高雄市西子灣蓮海路 70 號

【74】代理人：蔡東賢

【56】參考文獻：

US 2007/0205800A1

“ Design of Power-Rail ESD Clamp Circuit With Ultra-Low Standby Leakage Current in Nanoscale CMOS Technology ”, Chang-Tzu Wang and Ming-Dou Ker, IEEE Journal of Solid-State Circuit, Vol. 44, No. 3, MARCH 2009.

審查人員：張添智

[57]申請專利範圍

1. 一種用於二倍供應電壓共容之低漏電靜電放電防護電路，包括：一基底驅動器，具有一第一電晶體及一第二電晶體串聯連接，並連接至二倍供應電壓及一觸發節點之間；一第三電晶體，連接至該觸發節點；一啟動電路，具有一第四電晶體及一第五電晶體，以二極體形式連接，並連接至該第二電晶體及該第三電晶體；一 RC 電路，具有一第一電阻、一第六電晶體及一第七電晶體串聯連接，並連接至二倍供應電壓及該第三電晶體；及一第二電阻，連接至一倍供應電壓及該 RC 電路。
2. 如請求項 1 之低漏電靜電放電防護電路，另包括一靜電放電箝制電路，連接至該觸發節點，該靜電放電箝制電路係為 P 型基底觸發之矽控整流器，具有交互耦合之 n-p-n 電晶體及 p-n-p 電晶體。
3. 如請求項 1 之低漏電靜電放電防護電路，其中該第一電晶體及該第二電晶體為 PMOS 電晶體，該第三電晶體為 NMOS 電晶體，該第四電晶體及該第五電晶體為 PMOS 電晶體。
4. 如請求項 1 之低漏電靜電放電防護電路，另包括一第一連接點，連接該第一電阻及該第一電晶體之閘極。
5. 如請求項 1 之低漏電靜電放電防護電路，另包括一第二連接點，連接該第二電阻、該第二電晶體之閘極、該第三電晶體之閘極、該第五電晶體之閘極及該第七電晶體之閘極。
6. 如請求項 1 之低漏電靜電放電防護電路，另包括一第三連接點，連接該第六電晶體之閘極、第七電晶體之基底及該第四電晶體。

(2)

7. 如請求項 1 之低漏電靜電放電防護電路，另包括一第四連接點，連接該第四電晶體及該第五電晶體。

圖式簡單說明

圖 1 顯示習知具有 W/L 為 $5\mu\text{m}/5\mu\text{m}$ 及 $10\mu\text{m}/10\mu\text{m}$ 之 65-nm 及 90-nm CMOS 製程之 CMOS 電容之模擬總閘極電流示意圖；

圖 2 顯示習知技術用於混合電壓輸入/輸出緩衝器之二倍容忍 VDD 之靜電放電箝制電路示意圖；

圖 3 顯示本發明用於二倍供應電壓共容之低漏電靜電放電防護電路之電路示意圖；

圖 4 顯示在正常啟動之暫態期間在靜電放電偵測電路中所有連接點之 Hspice 模擬電壓波形圖；及

圖 5 顯示在靜電放電暫態期間在靜電放電偵測電路中所有連接點之模擬電壓及基底觸發電流波形圖。

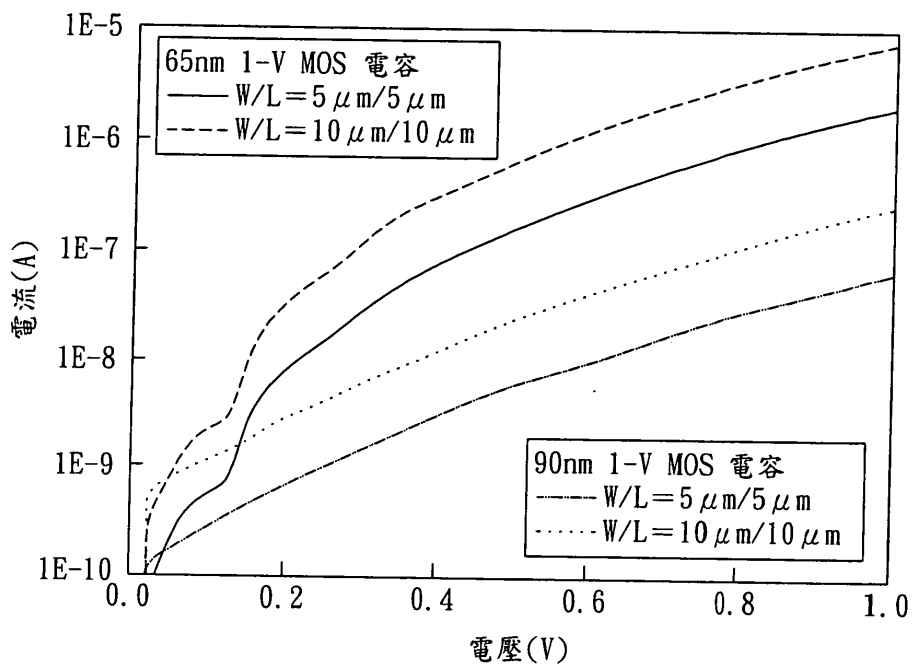


圖 1

(3)

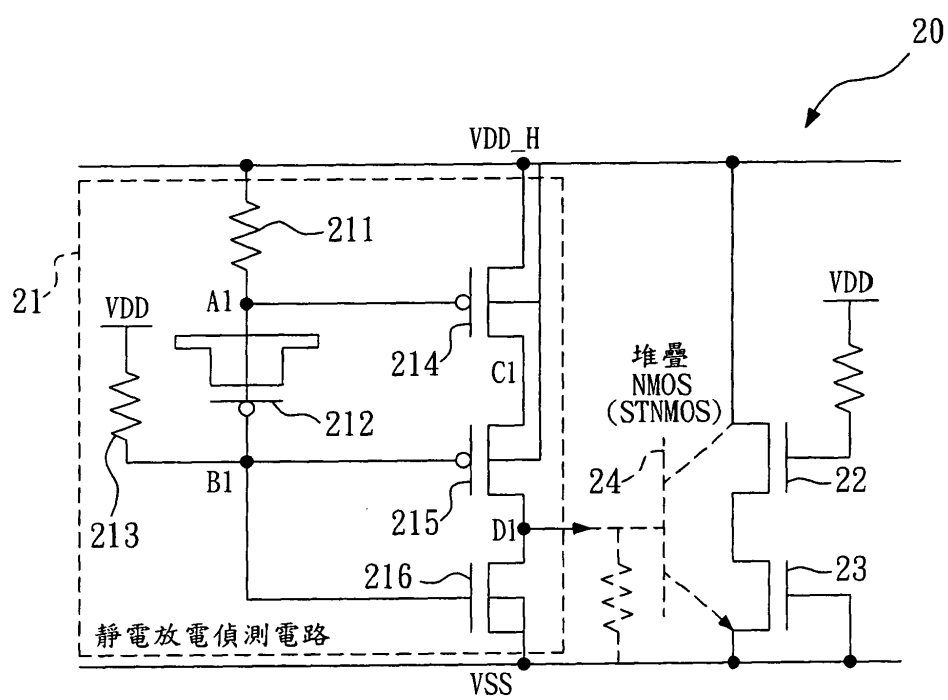


圖 2

(4)

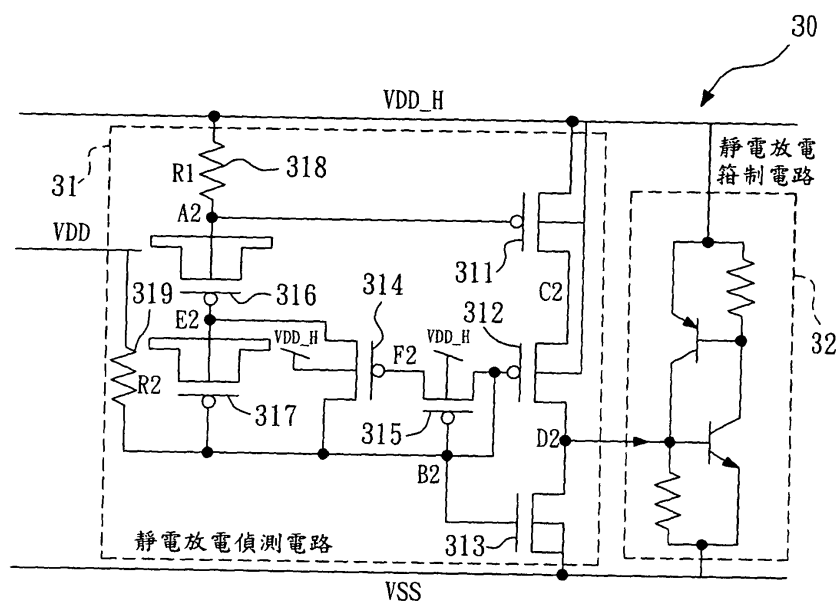


圖 3

(5)

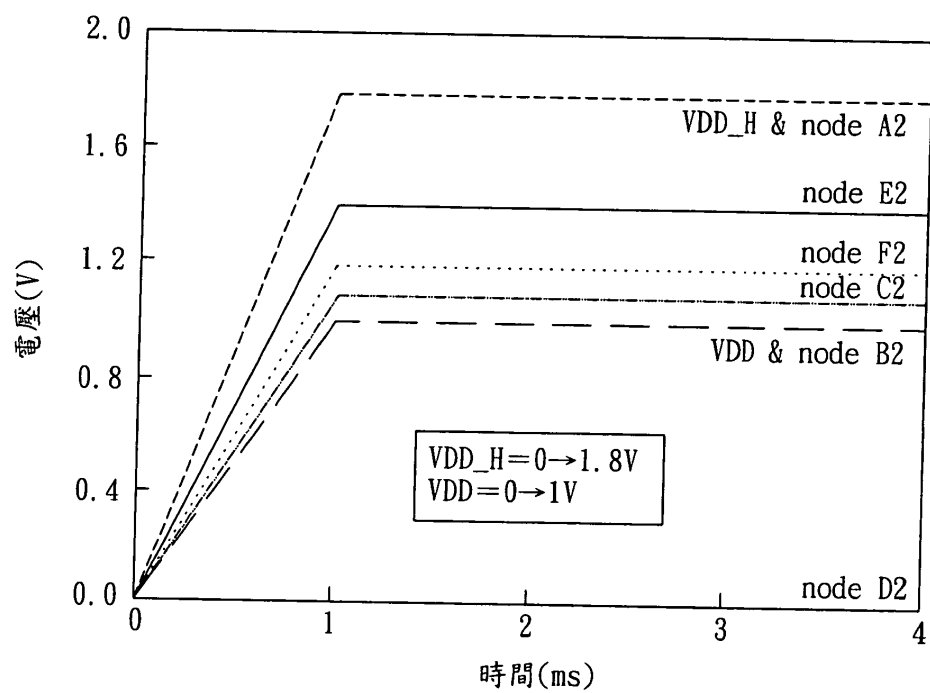


圖 4

(6)

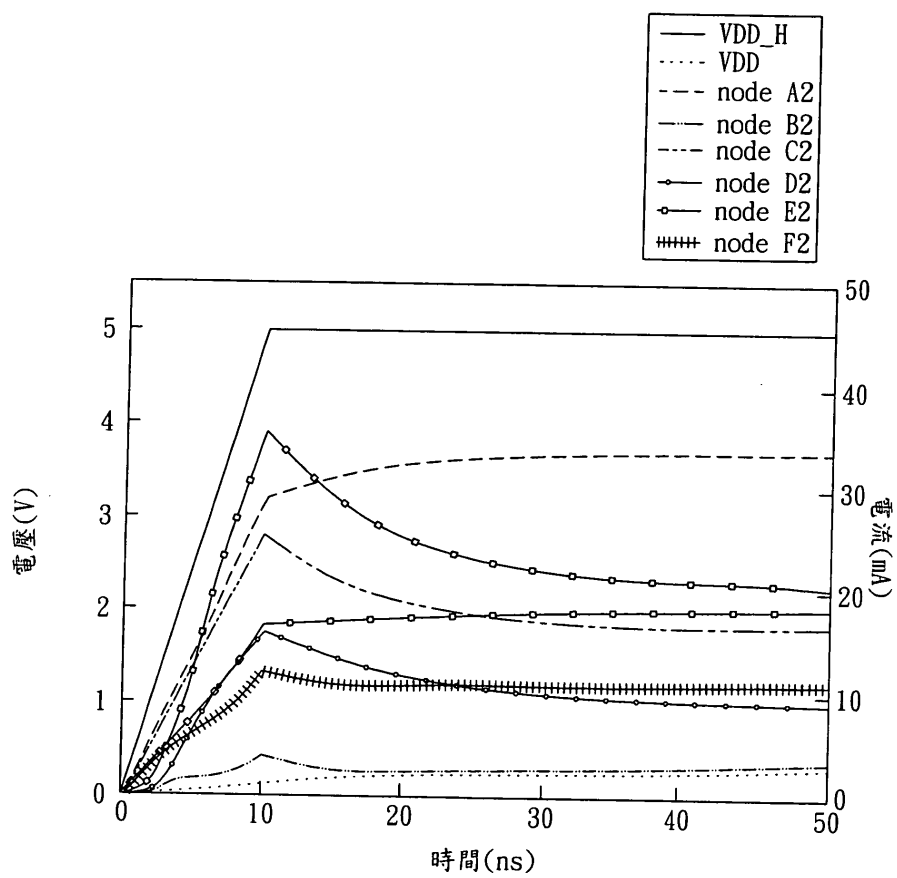


圖 5