

中華民國專利公報 [19] [12]

[11]公告編號：404040

[44]中華民國 89年(2000) 09月01日

發明

全 12 頁

[51] Int.Cl. ⁰⁶: H01L23/60

[54]名 稱：具有多對電源腳位之積體電路的靜電放電防護設計

[21]申請案號：087109046

[22]申請日期：中華民國 87年(1998) 06月08日

[72]發明人：

柯明道

張恆祥

新竹市東區寶山路二〇〇巷三號四樓之三

台北縣汐止鎮大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：蔡坤財 先生

1

[57]申請專利範圍：

1.一種使用於多對電源腳位間之靜電放電防護電路，該靜電放電防護電路至少包含：

第一電源；

第二電源；及

至少一個矽控整流器，該矽控整流器以其陰極及陽極連接於該第一電源及該第二電源之間，當靜電放電電流入侵時，用以在該第一電源及該第二電源之間形成一通道以排放該靜電放電電流；當於正常操作狀況時，隔絕該第一電源及該第二電源以保持該第一電源及該第二電源之獨立性。

2.如申請專利範圍第1項之靜電放電防護電路，其中上述之第一電源及上述之第二電源係為電路中兩個相互獨立之高電位電壓源。

3.如申請專利範圍第1項之靜電放電防護

2

電路，其中上述之第一電源及上述之第二電源係為電路中兩個相互獨立之低電位電壓源。

5. 4.如申請專利範圍第3項之靜電放電防護電路，其中上述之低電位電壓源及一高電位電壓源間包含一高低電位間之靜電防護電路。

5.如申請專利範圍第1項之靜電放電防護電路，其中上述之矽控整流器至少包含N型或P型之低電壓觸發矽控整流器。

6.如申請專利範圍第5項之靜電放電防護電路，其中上述之N型之低電壓觸發矽控整流器係以其控制閘與該陽極相連。

10. 7.如申請專利範圍第5項之靜電放電防護電路，其中上述之P型之低電壓觸發矽控整流器係以其控制閘與該陰極相連。

8.如申請專利範圍第5項之靜電放電防護電路，其中上述之N型低電壓觸發矽控

整流器，當使用於兩個相互獨立之高電位電壓源之間時，該 N 型低電壓觸發矽控整流器之控制閘係經過一電阻接地。

9. 如申請專利範圍第 1 項之靜電放電防護電路，其中上述之矽控整流器係為兩個 N 型低電壓觸發矽控整流器，第一 N 型低電壓觸發矽控整流器之陰極與第二 N 型低電壓觸發矽控整流器之陽極相接，第一 N 型低電壓觸發矽控整流器之陽極則與第二 N 型低電壓觸發矽控整流器之陰極相接，並以該第一 N 型低電壓觸發矽控整流器之陽極與陰極連接於該第一電源及該第二電源之間。
10. 如申請專利範圍第 1 項之靜電放電防護電路，其中上述之矽控整流器係為兩個 P 型低電壓觸發矽控整流器，第一 P 型低電壓觸發矽控整流器之陰極與第二 P 型低電壓觸發矽控整流器之陽極相接，第一 P 型低電壓觸發矽控整流器之陽極則與第二 P 型低電壓觸發矽控整流器之陰極相接，並以該第一 P 型低電壓觸發矽控整流器之陰極與陽極連接於該第一電源及該第二電源之間。
11. 如申請專利範圍第 1 項之靜電放電防護電路，其中上述之矽控整流器係為一個 P 型低電壓觸發矽控整流器及一個 N 型低電壓觸發矽控整流器，該 P 型低電壓觸發矽控整流器之陰極與該 N 型低電壓觸發矽控整流器之陽極相接，該 P 型低電壓觸發矽控整流器之陽極則與該 N 型低電壓觸發矽控整流器之陰極相接，並以該第一 P 型低電壓觸發矽控整流器之陰極與陽極連接於該第一電源及該第二電源之間。
12. 如申請專利範圍第 1 項之靜電放電防護電路，更包含一二極體連接於該第一電源及該第二電源之間。
13. 一種使用於多對電源腳位間之靜電放電防護電路，該靜電放電防護電路至少包含：

第一電源；

第二電源；及

兩個矽控整流器，第一矽控整流器之陰極與第二矽控整流器之陽極相接，第一矽控整流器之陽極則與第二矽控整流器之陰極相接，並以該第一矽控整流器之陰極與陽極連接於該第一電源及該第二電源之間；當靜電放電電流入侵時，用以在該第一電源及該第二電源之間形成一通道，以排放該靜電放電電流；當於正常操作狀況時，隔絕該第一電源及該第二電源以保持該第一電源及該第二電源之獨立性。

5. 10. 14. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之第一電源及上述之第二電源係為電路中兩個相互獨立之高電位電壓源。
15. 20. 15. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之第一電源及上述之第二電源係為電路中兩個相互獨立之低電位電壓源。
25. 16. 如申請專利範圍第 15 項之靜電放電防護電路，其中上述之低電位電壓源及一高電位電壓源間包含一高低電位間之靜電防護電路。
30. 17. 如申請專利範圍第 13 項之靜電放電防護電路，其中上述之兩個矽控整流器至少包含 N 型或 P 型之低電壓觸發矽控整流器。
35. 18. 如申請專利範圍第 17 項之靜電放電防護電路，其中上述之 N 型之低電壓觸發矽控整流器係以其控制閘與該陽極相連。
40. 19. 如申請專利範圍第 17 項之靜電放電防護電路，其中上述之 P 型之低電壓觸發矽控整流器係以其控制閘與該陰極相連。
20. 如申請專利範圍第 17 項之靜電放電防護電路，其中上述之 N 型低電壓觸發矽控整流器，當使用於兩個相互獨立之

正電位電壓源之間時，該 N 型低電壓觸發矽控整流器之控制閘係經過一電阻接地。

圖式簡單說明：

第一圖顯示積體電路進行腳對腳靜電放電測試時，靜電放電電流由第一電路的輸入端輸入的示意圖。

第二圖顯示積體電路進行腳對腳靜電放電測試時，靜電放電電流由第二電路的輸入端輸入的示意圖。

第三圖顯示先前之靜電放電防護設計，使用二極體連接於各獨立電源間的示意圖。

第四圖顯示先前之靜電放電防護設計，使用電晶體連接於各獨立電源間的示意圖。

第五圖 A 顯示先前之矽控整流器應用於輸入端作為靜電放電防護設計的示意圖。

第五圖 B 顯示先前之矽控整流器的電壓 - 電流特性曲線圖。

第六圖 A 顯示低電壓觸發矽控整流器應用於輸出端之靜電放電防護設計的示意圖。

第六圖 B 顯示低電壓觸發矽控整流器的電壓 - 電流特性曲線圖。

第七圖顯示本發明靜電放電防護設計之第一實施例的示意圖。

第八圖 A 顯示本發明使用兩個 P 型低電壓觸發矽控整流器連接的示意圖。

第八圖 B 顯示本發明使用兩個 P 型低電壓觸發矽控整流器結構的截面示意圖。

第九圖 A 顯示本發明使用兩個 N 型低電壓觸發矽控整流器連接的示意圖。

第九圖 B 使用兩個 N 型低電壓觸發矽控整流器結構的截面示意圖。

第十圖 A 顯示本發明使用兩個 P 型低電壓觸發矽控整流器連接的示意圖。

第十圖 B 顯示本發明將第一 P 型低電壓矽控整流器之陰極及第二 P 型低電壓矽

控整流器之陽極合併後，其結構的截面示意圖。

第十一圖 A 顯示本發明使用兩個 N 型低電壓觸發矽控整流器連接的示意圖。

5. 第十一圖 B 顯示本發明將第一 N 型低電壓矽控整流器之陰極及第二 N 型低電壓矽控整流器之陽極合併後，其結構的截面示意圖。

第十二圖顯示本發明之設計在腳對腳靜電放電測試下，第二電路輸出端接地，並於第一電路的輸入端通入靜電放電電流的示意圖。

第十三圖顯示本發明之設計在腳對腳靜電放電測試下，第一電路輸入端接地，並於第二電路輸出端通入靜電放電電流的示意圖。

第十四圖顯示本發明應用於具有三組獨立電壓源之積體電路中的示意圖。

第十五圖顯示本發明在應用上變更第七圖中兩個 P 型矽低電壓控整流器，為兩個 N 型低電壓矽控整流器所組成的靜電防護設計的示意圖。

第十六圖顯示本發明在靜電防護應用上，使 N 型低電壓矽控整流器的控制閘透過電阻接地的示意圖。

第十七圖顯示本發明在應用上變更第七圖中兩個 N 型低電壓矽控整流器，為兩個 P 型低電壓矽控整流器所組成的靜電防護設計的示意圖。

30. 第十八圖顯示本發明混合使用由兩個不同型的低電壓矽控整流器所組成的靜電防護設計的示意圖。

第十九圖 A 顯示本發明混合使用兩個不同型的低電壓矽控整流器的連接示意圖。

35. 第十九圖 B 顯示本發明混合使用兩個不同型的矽控整流器的截面示意圖。

第二十圖顯示本發明將 N 型低電壓矽控整流器透過電阻 R3 接地的示意圖。

40. 第二十一圖顯示本發明混合使用二極

體與低電壓矽控整流器中第一實施例的示意圖。

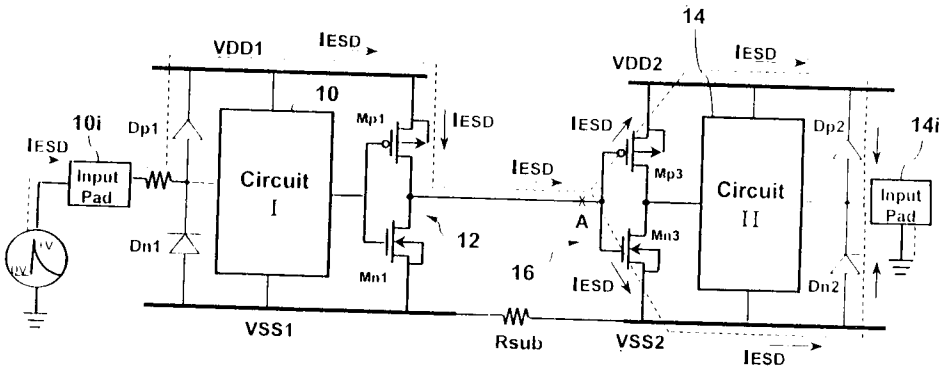
第二十二圖顯示本發明混合使用二極體與低電壓矽控整流器中第二實施例的示意圖。

第二十三圖 A 顯示本發明將二極體的

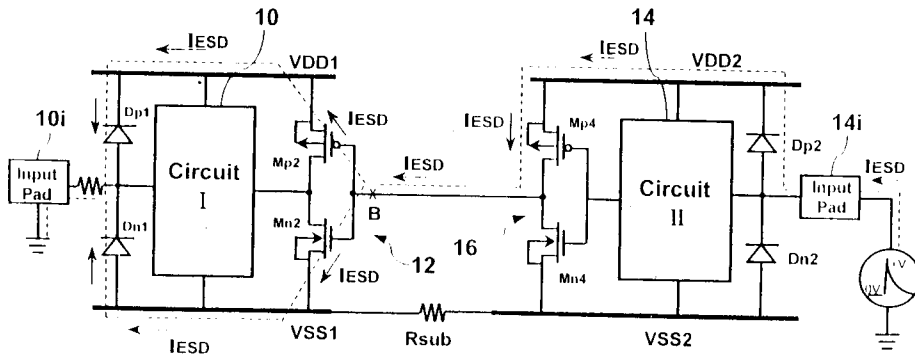
構造合併於 P 型低電壓矽控整流器之中的截面示意圖。

第二十三圖 B 顯示本發明將二極體的構造合併於 N 型低電壓矽控整流器之中的

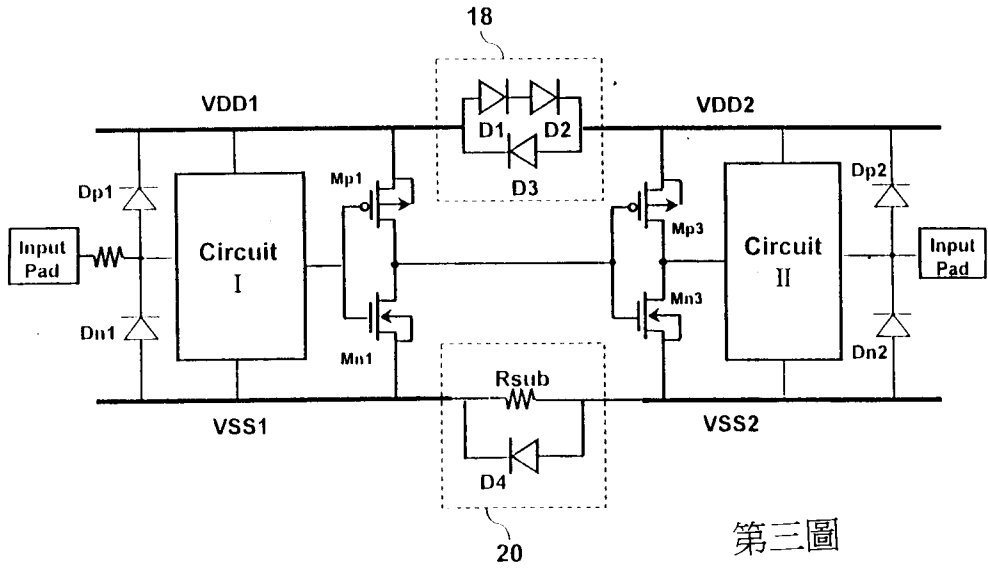
截面示意圖。



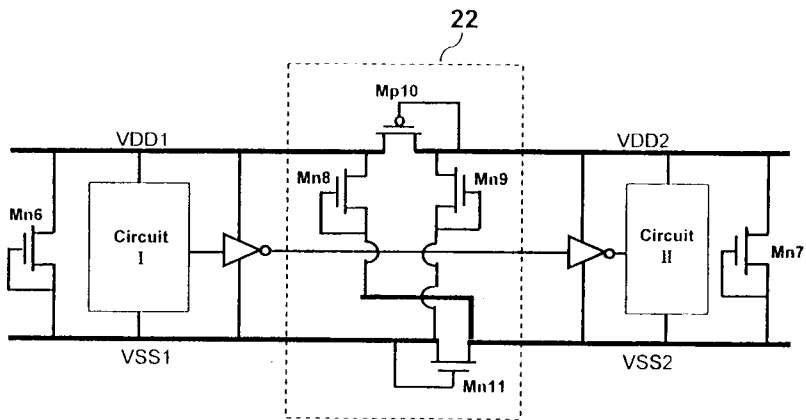
第一圖



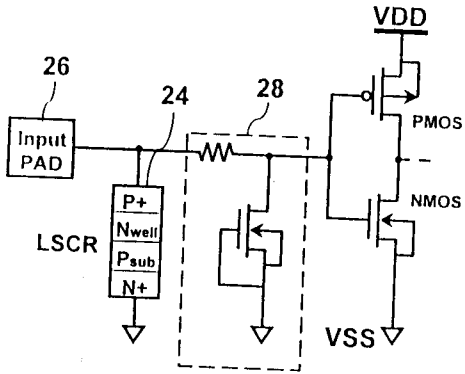
第二圖



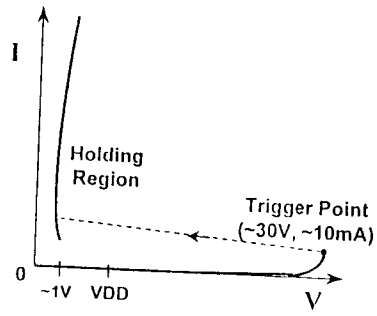
第三圖



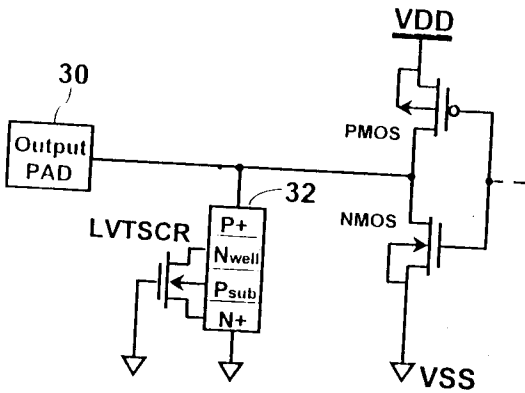
第四圖



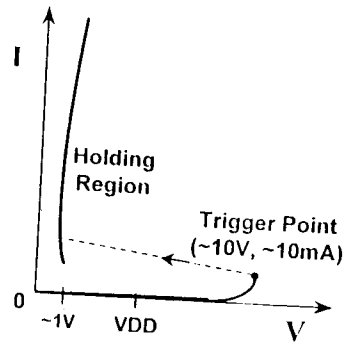
第五圖A



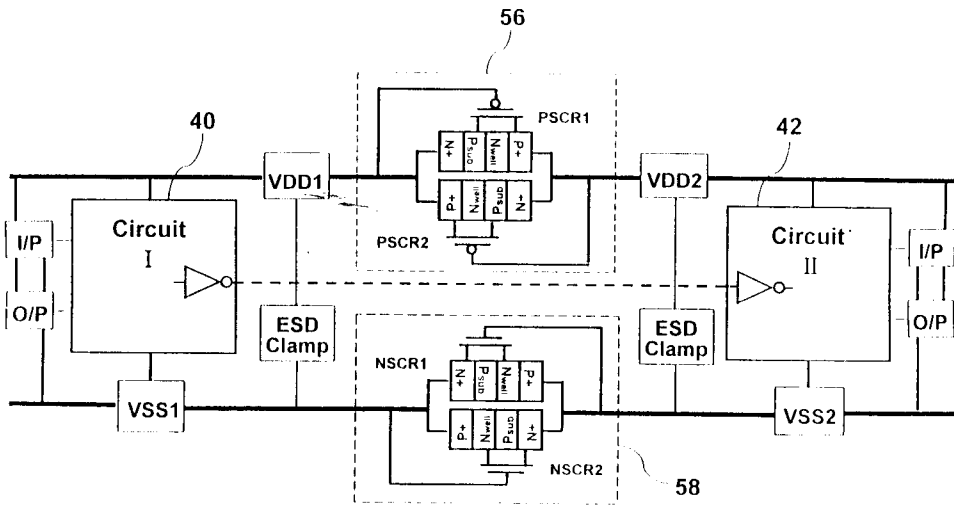
第五圖B



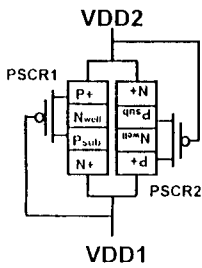
第六圖A



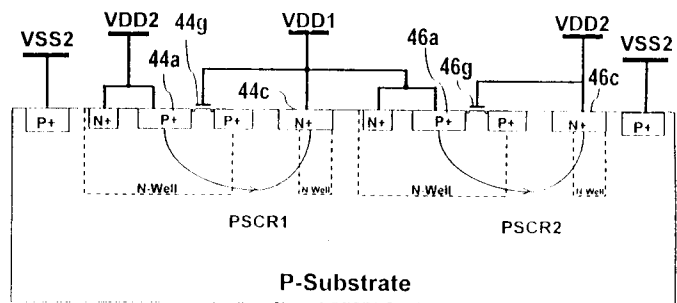
第六圖B



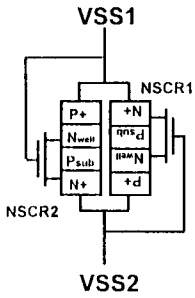
第七圖



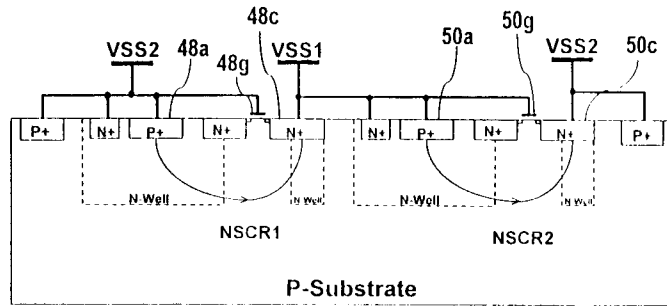
第八圖A



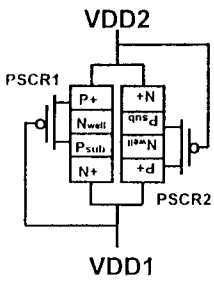
第八圖B



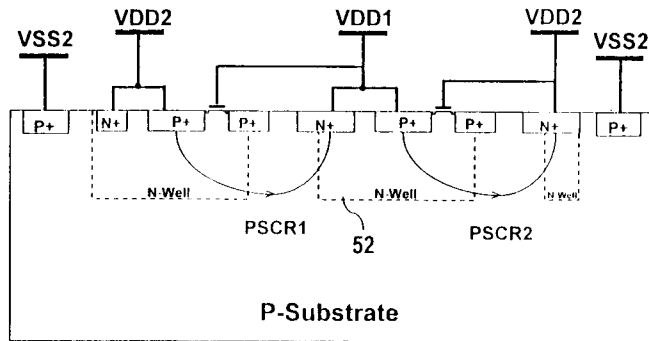
第九圖A



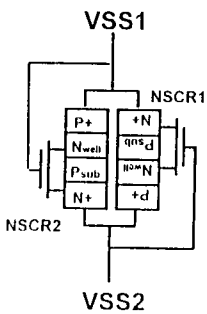
第九圖B



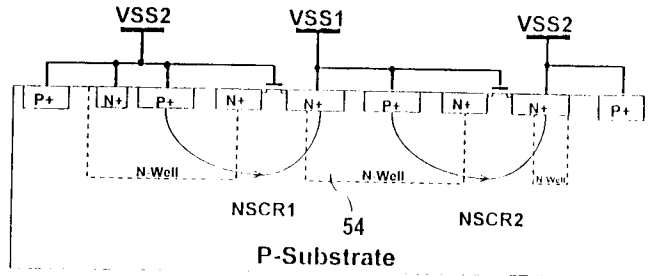
第十圖A



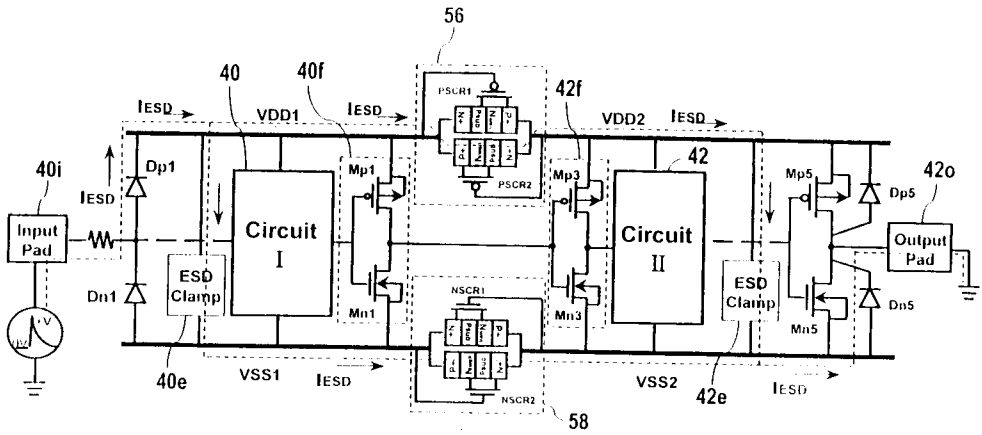
第十圖B



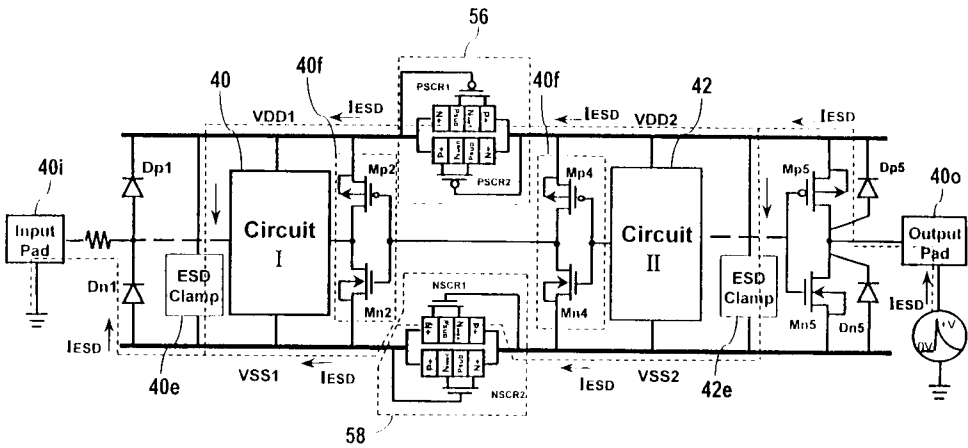
第十一圖A



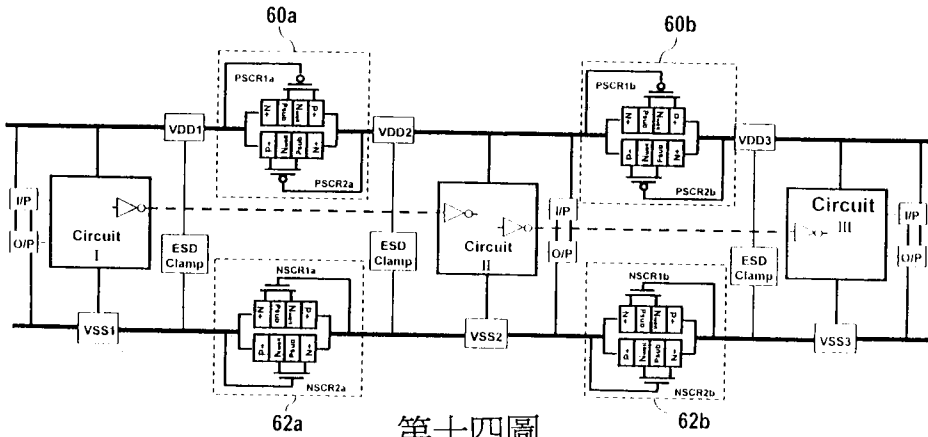
第十一圖B



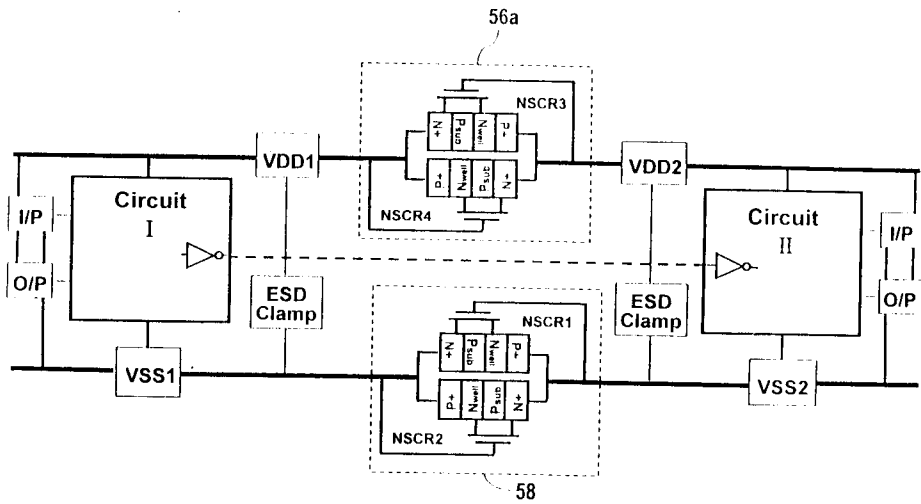
第十二圖



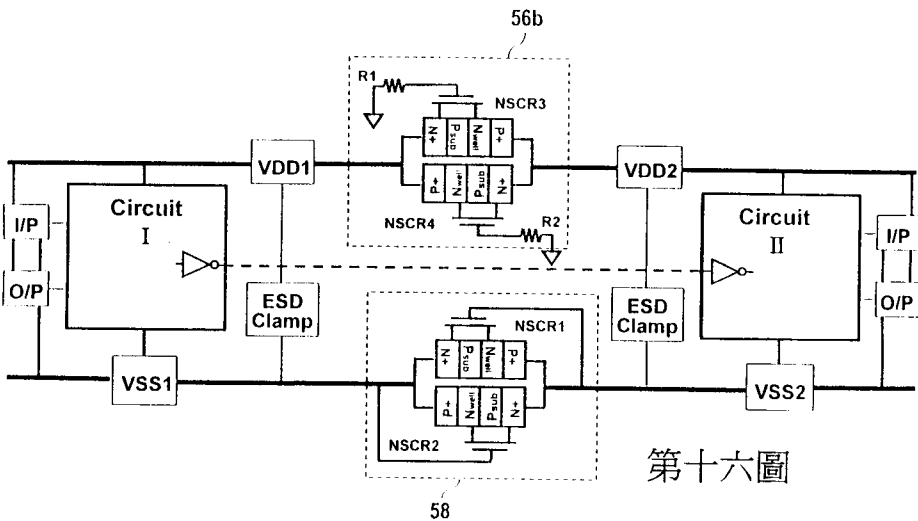
第十三圖



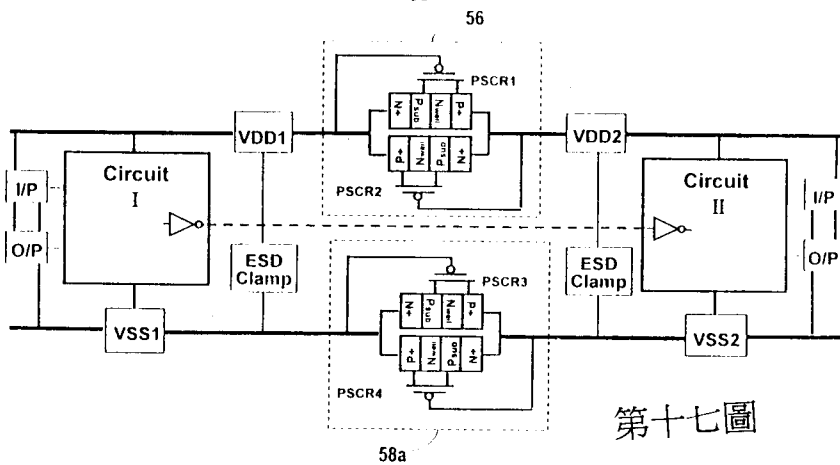
第十四圖



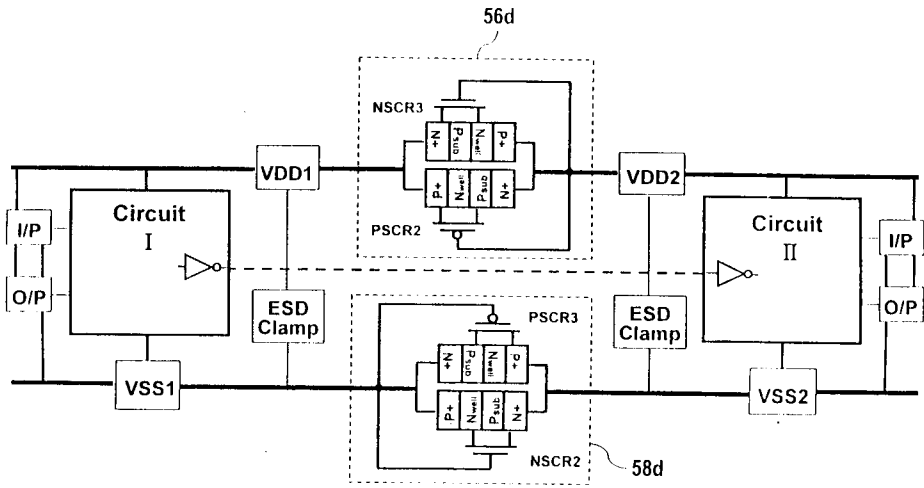
第十五圖



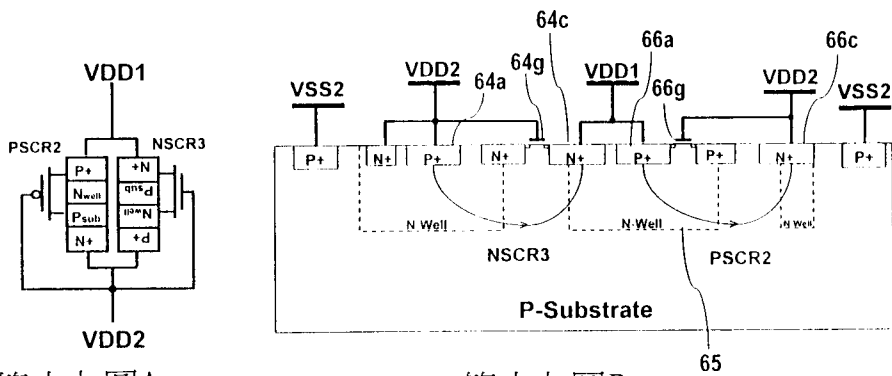
第十六圖



第十七圖

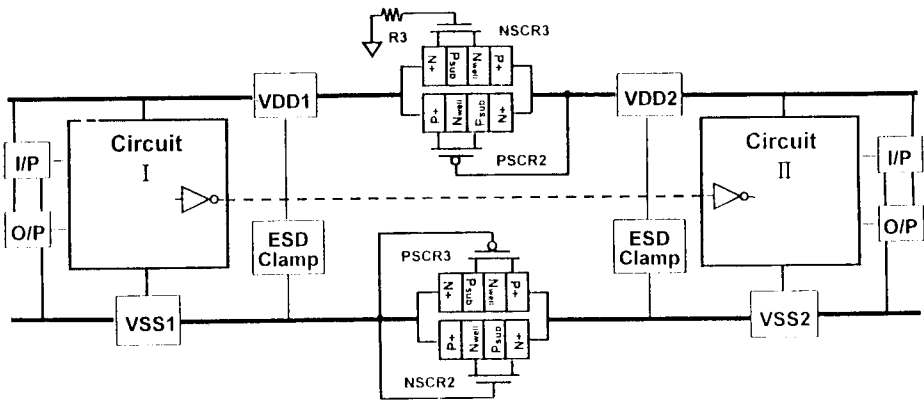


第十八圖



第十九圖B

第十九圖A



第二十圖

