

中華民國專利公報 [19] [12]

[11]公告編號：408464

[44]中華民國 89 年 (2000) 10 月 11 日
發明

全 18 頁

[51] Int.Cl⁰⁶: H01L23/60

[54]名稱：具有靜電放電共用通道之全晶片靜電放電防護架構

[21]申請案號：087120017

[22]申請日期：中華民國 87 年 (1998) 12 月 02 日

[72]發明人：

柯明道
張恆祥

新竹市寶山路二〇〇巷三號四樓之三
台北縣汐止鎮大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1. 一種避免積體電路遭受靜電放電破壞的裝置，該裝置至少包含：
複數個內電路，每一個該內電路各自具有輸出墊與輸入墊，輸入訊號經由該輸入墊輸入該複數個內電路之中，輸出訊號經由該輸出墊輸出該複數個內電路，每一個該內電路連接一第一電源線與一第二電源線；
複數個第一靜電放電雙向連接元件；
複數個第二靜電放電雙向連接元件；
一第一靜電放電共用通道，經由該複數個第一靜電放電雙向連接元件耦合至該第一電源線；
一第二靜電放電共用通道，經由該複數個第二靜電放電雙向連接元件耦合至該第二電源線；以及
一靜電放電箝制電路，耦合於該第一靜電放電共用通道以及該第二靜電放電共

用通道，於該複數個內電路之中所產生的一電流，經由該複數個第一靜電放電雙向連接元件、該第一靜電放電共用通道、該複數個第二靜電放電雙向連接元件與第二靜電放電共用通道，將該電流排除。

2. 如申請專利範圍第 1 項所述之裝置，其中每一個該第一靜電放電雙向連接元件，至少包含：

一第一 P 型矽控整流元件，其中該第一 P 型矽控整流元件的一閘極，耦合該第一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的陽極，耦合該第一靜電放電共用通道；以及
一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極耦合該第一 P 型矽控整流元件的該陰極與該第一電源線，該第一 P 型矽控整流元件的一陰

極連往該第二 P 型矽控整流元件的一閘極。

3. 如申請專利範圍第 1 項所述之裝置，其中每一個該第二靜電放電雙向連接元件，至少包含：

一第一 P 型矽控整流元件，其中該第一矽控整流元件的一閘極耦合該第一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的一陽極耦合該第二靜電放電共用通道；以及

一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極，耦合該第一 P 型矽控整流元件的該陰極與該第二電源線，該第二 P 型矽控整流元件的一陰極，耦合該第二 P 型矽控整流元件的一閘極。

4. 如申請專利範圍第 1 項所述之裝置，其中每一個該第一靜電放電雙向連接元件，至少包含：

一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極，耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極，耦合該第一靜電放電共用通道；以及

一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極，耦合該第一 N 型矽控整流元件的該陽極與該第一電源線，該第二 N 型矽控整流元件的一陽極，連往該第二 N 型矽控整流元件的一閘極。

5. 如申請專利範圍第 1 項所述之裝置，其中每一個第一靜電放電雙向連接元件，至少包含：

一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極，耦合該第二靜電放電共用通道；以及

一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極，耦合該第

一 N 型矽控整流元件的該陽極與該第二電源線，該第二 N 型矽控整流元件的該陽極，耦合該第二 N 型矽控整流元件的一閘極。

5. 6. 如申請專利範圍第 1 項所述之裝置，其中每一個該靜電放電箝制電路，至少包含：

複數個 N 型金氧半導體控制之橫向矽控整流元件 (NMOS controlled lateral silicon controlled rectifier, NCLSCR) 串接在一起，其中該複數個 N 型金氧半導體控制之橫向矽控整流元件連接該第一靜電放電共用通道與該第二靜電放電共用通道，每一個該複數個 N 型金氧半導體控制之橫向矽控整流元件的一閘極，連往一接點；以及

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道，其中該接點耦合該靜電放電偵測電路。

7. 如申請專利範圍第 1 項所述之裝置，其中每一個該靜電放電箝制電路，至少包含：

複數個 P 型金氧半導體控制之橫向矽控整流元件 (PMOS controlled lateral silicon controlled rectifier, PCLSCR) 串接在一起，其中該複數個 P 型金氧半導體控制之橫向矽控整流元件耦合該第一靜電放電共用通道與該第二靜電放電共用通道，每一個該複數個 P 型金氧半導體控制之橫向矽控整流元件的一閘極，耦合一接點；

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道；以及

一反相器，具有一輸入端與一輸出端，其中該輸入端耦合該靜電放電偵測電路，該輸出端耦合該接點。

8. 如申請專利範圍第 1 項所述之裝置，其中每一個靜電放電箝制電路，至少包

含：

複數個 N 型金氧半導體控制之橫向矽控整流元件串接在一起，該複數個 N 型金氧半導體控制之橫向矽控整流元件的每一個，與一二極體交互串聯耦合，其中該複數個 N 型金氧半導體控制之橫向矽控整流元件與二極體元件混合串列耦合該第一靜電放電共用通道與該第二靜電放電共用通道，該複數個 N 型金氧半導體控制之橫向矽控整流元件的每一個閘極，耦合一接點；以及一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道，其中該接點耦合該靜電放電偵測電路。

9. 如申請專利範圍第 1 項所述之裝置，其中每一個該靜電放電箝制電路元件，至少包含：

複數個 P 型金氧半導體控制之橫向矽控整流器串聯耦合在一起，每一個該 P 型金氧半導體控制之橫向矽控整流器，與一二極體交互串聯耦合，該複數個 P 型金氧半導體控制之橫向矽控整流元件與二極體混合串聯耦合該第一靜電放電共用通道與該第二靜電放電共用通道，該複數個 P 型金氧半導體控制之橫向矽控整流元件的每一個閘極，耦合一接點；

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道；以及

一反相器，具有一輸入端與一輸出端，其中該輸入端耦合該靜電放電偵測電路，該輸出端耦合該接點。

10. 一種防止積體電路受到靜電放電破壞的裝置，其中該裝置至少包含：

複數個第一內電路，每一個該內電路具有第一輸入墊與第一輸出墊，輸入訊號經由該第一輸入墊，輸入至該複數個第一內電路，輸出訊號經由該第一輸出墊

由該複數個第一內電路輸出，每一個該第一內電路耦合於第一電源線與第二電源線之間；

複數個第二內電路，每一個該第二內電路具有第二輸入墊與第二輸出墊，輸入訊號經由該第二輸入墊輸入至該複數個第二內電路，輸出訊號經由該第二輸出墊由該複數個第二內電路輸出，每一個該第二內電路耦合於第三電源線與第四電源線之間；

複數個第一靜電放電雙向連接元件；

複數個第二靜電放電雙向連接元件；

複數個第三靜電放電雙向連接元件；

複數個第四靜電放電雙向連接元件；

15. 一第一靜電放電共用通道，經由該複數個第一靜電放電雙向連接元件，耦合至該第一電源線；

一第二靜電放電共用通道，經由該複數個第二靜電放電雙向連接元件與該複數個第三靜電放電雙向連接元件，分別耦合至該第二電源線與該第三電源線；

20. 一第三靜電放電共用通道，經由該複數個第四靜電放電雙向連接元件，耦合至該第四電源線；以及

25. 複數個靜電放電箝制元件，其中該第一靜電放電共用通道、該第二靜電放電共用通道與該第三靜電放電共用通道，經由該複數個靜電放電箝制電路耦合在一起，於該複數個第一內電路與該複數個第二內電路之中產生的一電流，經由該複數個第一靜電放電雙向連接元件傳送到該第一靜電放電共用通道，經由該複數個第二靜電放電雙向連接元件與該複數個第三靜電放電雙向連接元件，傳送到該第二靜電放電共用通道。

30. 11. 如申請專利範圍第 10 項所述之裝置，其中該第一靜電放電雙向連接元件，至少包含：

一第一 P 型矽控整流元件，其中該第

40. 一 P 型矽控整流元件的一閘極耦合該第

- 一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的一陽極，耦合該第一靜電放電共用通道；以及
- 一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極，耦合該第一 P 型矽控整流元件的該陰極與該第一電源線，該第二 P 型矽控整流元件的一陰極，耦合該第二 P 型矽控整流元件的一閘極。
12. 如申請專利範圍第 10 項所述之裝置，其中該第二靜電放電雙向連接元件，至少包含：
- 一第一 P 型矽控整流元件，其中該第一 P 型矽控整流元件的一閘極，耦合該第一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的一陽極，耦合該第二靜電放電共用通道；以及
- 一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極，耦合該第一 P 型矽控整流元件的該陰極與該第二電源線，該第二 P 型矽控整流元件的一陰極，耦合該第二 P 型矽控整流元件的一閘極。
13. 如申請專利範圍第 10 項所述之裝置，其中該第三靜電放電雙向元件，至少包含：
- 一第一 P 型矽控整流元件，其中該第一 P 型矽控整流元件的一閘極耦合該第一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的一陽極，耦合該第二靜電放電共用通道；以及
- 一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極耦合該第一 P 型矽控整流元件的該陰極與該第三電源線，該第二 P 型矽控整流元件的一陰極耦合該第二 P 型矽控整流元件的一閘極。
14. 如申請專利範圍第 10 項所述之裝置，其中該第四靜電放電雙向連接元件，至少包含：

- 一第一 P 型矽控整流元件，其中該第一 P 型矽控整流元件的一閘極耦合該第一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的一陽極耦合該第四靜電放電共用通道；以及
- 一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極，耦合該第一 P 型矽控整流元件的該陰極與該第四電源線，該第二 P 型矽控整流元件的一陰極，耦合該第二 P 型矽控整流元件的一閘極。
15. 如申請專利範圍第 10 項所述之裝置，其中該第一靜電放電雙向連接元件，至少包含：
- 一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極耦合該第一靜電放電共用通道；以及
- 一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極，耦合該第一 N 型矽控整流元件的一陽極與該第一電源線，該第二 N 型矽控整流元件的一陽極，耦合該第二 N 型矽控整流元件的一閘極。
16. 如申請專利範圍第 10 項所述之裝置，其中該第二靜電放電雙向連接元件，至少包含：
- 一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極耦合該第二靜電放電共用通道；以及
- 一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極，耦合該第一 N 型矽控整流元件的該陽極與該第二電源線，該第二 N 型矽控整流元件的該陽極，耦合該第二 N 型矽控整流元件的一閘極。
17. 如申請專利範圍第 10 項所述之裝置，

其中該第三靜電放電雙向連接元件，至少包含：

一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極，耦合該第二靜電放電共用通道；以及

一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極，耦合該第一 N 型矽控整流元件的該陽極與該第三電源線，該第二 N 型矽控整流元件的該陽極耦合該第二 N 型矽控整流元件的一閘極。

18. 如申請專利範圍第 10 項所述之裝置，其中該第四靜電放電雙向連接元件，至少包含：

一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極耦合該第四靜電放電共用通道；以及

一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極耦合該第一 N 型矽控整流元件的該陽極與該第四電源線，該第二 N 型矽控整流元件的該陽極耦合該第二 N 型矽控整流元件的一閘極。

19. 如申請專利範圍第 10 項所述之裝置，其中該靜電放電箝制電路，至少包含：複數個 N 型金氧半電晶體控制之橫向矽控整流元件串聯耦合在一起，其中該複數個 N 型金氧半電晶體耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第一靜電放電共用通道與該第三靜電放電共用通道之間，每一個 N 型金氧半電晶體的一閘極耦合一接點；以及一靜電放電偵測電路，耦合在該第一靜電放電共用通道與該第二靜電放電共用

通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間，其中該接點耦合該靜電放電偵測電路。

5. 20. 如申請專利範圍第 10 項所述之裝置，其中該靜電放電箝制電路，至少包含：複數個 P 型金氧半電晶體控制之橫向矽控整流元件串聯耦合在一起，其中該複數個 P 型金氧半電晶體控制之橫向矽控整流元件耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間，每一個 P 型金氧半電晶體控制之橫向矽控整流元件的一閘極，耦合一接點；

10. 20. 一靜電放電偵測電路，耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間；以及

25. 一反相器，具有一輸入端與一輸出端，其中該輸入端耦合該靜電放電偵測電路，該輸出端耦合該接點。

21. 如申請專利範圍第 10 項所述之裝置，其中該靜電放電箝制電路，至少包含：複數個 N 型金氧半電晶體控制之橫向矽控整流元件串聯耦合，每一個 N 型金氧半電晶體控制之橫向矽控整流元件串聯耦合一二極體，其中該複數個 N 型金氧半電晶體控制之橫向矽控整流元件，耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間，該

複數個 N 型金氧半電晶體控制之橫向矽控整流元件的每一個閘極耦合一接點；以及

一靜電放電偵測電路，耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間，其中該接點耦合該靜電放電偵測電路。

22. 如申請專利範圍第 10 項所述之裝置，其中該靜電放電箝制電路，至少包含：複數個 P 型金氧半電晶體控制之橫向矽控整流元件串聯耦合在一起，每一個 P 型金氧半電晶體控制之橫向矽控整流元件串聯耦合一二極體元件，其中該複數個 P 型金氧半元件控制之橫向矽控整流元件耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間，每一個該 P 型金氧半電晶體控制之橫向矽控整流元件的一閘極，耦合一接點；一靜電放電偵測電路，耦合在該第一靜電放電共用通道與該第二靜電放電共用通道之間，在該第二靜電放電共用通道與該第三靜電放電共用通道之間，或者在該第三靜電放電共用通道與該第一靜電放電共用通道之間；以及一反相器，具有一輸入端與一輸出端，其中該輸入端耦合該靜電放電偵測電路，該輸出端耦合該接點。
23. 如申請專利範圍第 10 項所述之裝置，其中該第一電源線耦合一個 2.5 伏特的電源供應，該第二電源線耦合一個 0 伏特的電源供應。
24. 如申請專利範圍第 10 項所述之裝置，其中該第三電源線耦合一個 5 伏特的電

源供應，該第四電源線耦合一個 0 伏特的電源供應。

25. 一種避免積體電路受到靜電放電破壞的裝置，其中該裝置至少包含：
 5. 複數個內電路，每一個該內電路具有輸入墊與輸出墊，輸入訊號經由該輸入墊輸入至該內電路，輸出訊號經由該輸出墊自該內電路輸出，每一個該內電路耦合一第一電源線與一第二電源線；
 10. 複數個第一靜電放電雙向連接元件；複數個第二靜電放電雙向連接元件；複數個第三靜電放電雙向連接元件；以及
 15. 一靜電放電共用通道，經由該複數個第一靜電放電雙向連接元件、該複數個第二靜電放電雙向連接元件與該複數個第三靜電放電雙向連接元件，分別耦合該第一電源線、該第二電源線與該第三電源線。
20. 26. 如申請專利範圍第 25 項所述之裝置，其中該靜電放電雙向連接元件，至少包含：複數個 N 型矽控整流元件串聯耦合在一起，其中該每一個 N 型矽控整流元件的一閘極，耦合每一個該 N 型矽控整流元件的一陽極；以及
25. 一二極體元件，並聯耦合該複數個 N 型矽控整流元件，其中該二極體元件的一陰極，耦合該複數個 N 型矽控整流元件的該陽極與該靜電放電共用通道，該二極體元件的一陽極，耦合該複數個 N 型矽控整流元件的該陰極，並耦合到每一個該內電路的該第一電源線、該第二電源線、該輸入墊或該輸出墊。
30. 27. 如申請專利範圍第 26 項所述之裝置，更包含一二極體元件串聯耦合每一個 N 型矽控整流元件。
35. 28. 如申請專利範圍第 25 項所述之裝置，其中該靜電放電雙向連接元件，至少包含：
 40. 含：

複數個 P 型矽控整流元件串聯耦合在一起，其中每一個該複數個 P 型矽控整流元件的一閘極，耦合每一個該 P 型矽控整流元件的一陰極；以及

一二極體元件，並聯耦合複數個 P 型矽控整流元件，其中該二極體元件的一陰極耦合該複數個 P 型矽控整流元件的該陽極與該靜電放電共用通道，該二極體元件的一陽極耦合該複數個 P 型矽控整流元件的該陰極，並耦合每一個該內電路的該第一電源線、該第二電源線、該輸入墊或該輸出墊。

29. 如申請專利範圍第 28 項所述之裝置，更包含一二極體元件，串聯耦合每一個該 P 型矽控整流元件。

30. 一種積體電路的靜電放電防護方法，至少包含：

傳導一靜電放電電流，從該積體電路的一內電路，經過該內電路的一電源線傳出；

傳導該靜電放電電流，經由一靜電放電雙向連接元件，導入於該積體電路之一第一靜電放電共用通道；

傳導該靜電放電電流，經由一靜電放電雙向連接元件，導入於該積體電路之一第二靜電放電共用通道；以及

傳導該靜電放電電流，經由一靜電放電箝制電路，將該靜電放電電流自該第一靜電放電共用通道，傳到該第二靜電放電共用通道，或自該第二靜電放電共用通道傳到該第二靜電放電共用通道。

31. 如申請專利範圍第 30 項所述之方法，其中該積體電路之該第一靜電放電共用通道為一圍繞該積體電路的金屬線。

32. 如申請專利範圍第 30 項所述之方法，其中該積體電路之該第二靜電放電共用通道為一圍繞該積體電路的金屬線。

33. 如申請專利範圍第 30 項所述之方法，其中每一個該靜電放電雙向連接元件，至少包含：

一第一 P 型矽控整流元件，其中該第一 P 型矽控整流元件的一閘極，耦合該第一 P 型矽控整流元件的一陰極，該第一 P 型矽控整流元件的陽極，耦合該第一靜電放電共用通道；以及

一第二 P 型矽控整流元件，其中該第二 P 型矽控整流元件的一陽極耦合該第一 P 型矽控整流元件的該陰極與該電源線，該第一 P 型矽控整流元件的一陰極連往該第二 P 型矽控整流元件的一閘極。

34. 如申請專利範圍第 30 項所述之方法，其中每一個該靜電放電雙向連接元件，至少包含：

一第一 N 型矽控整流元件，其中該第一 N 型矽控整流元件的一閘極，耦合該第一 N 型矽控整流元件的一陽極，該第一 N 型矽控整流元件的一陰極，耦合該第一靜電放電共用通道；以及

一第二 N 型矽控整流元件，其中該第二 N 型矽控整流元件的一陰極，耦合該第一 N 型矽控整流元件的該陽極與該電源線，該第二 N 型矽控整流元件的一陽極，連往該第二 N 型矽控整流元件的一閘極。

25. 35. 如申請專利範圍第 30 項所述之方法，其中每一個該靜電放電箝制電路，至少包含：

複數個 N 型金氧半電晶體控制之橫向矽控整流元件 (NMOS controlled lateral silicon controlled rectifier, NCLSCR) 串接在一起，其中該複數個 N 型金氧半電晶體控制之橫向矽控整流元件連接該第一靜電放電共用通道與該第二靜電放電共用通道，每一個該複數個 N 型金氧半電晶體矽控整流元件的一閘極，連往一接點；以及

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道，其中該接點耦合該靜電放電偵測電路。

36.如申請專利範圍第30項所述之方法，其中每一個該靜電放電箝制電路，至少包含：

複數個 P 型金氧半電晶體控制之橫向矽控整流元件 (PMOS controlled lateral silicon controlled rectifier, PCLSCR) 串接在一起，其中該複數個 P 型金氧半電晶體控制之橫向矽控整流元件耦合該第一靜電放電共用通道與該第二靜電放電共用通道，每一個該複數個 P 型金氧半電晶體控制之橫向矽控整流元件的一閘極，耦合一接點；

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道；以及

一反相器，具有一輸入端與一輸出端，其中該輸入端耦合該靜電放電偵測電路，該輸出端耦合該接點。

37.如申請專利範圍第30項所述之方法，其中每一個靜電放電箝制電路，至少包含：

複數個 N 型金氧半電晶體控制之橫向矽控整流元件串接在一起，該複數個 N 型金氧半電晶體控制之橫向矽控整流元件的每一個，與一二極體串聯耦合，其中該複數個 N 型金氧半電晶體控制之橫向矽控整流元件耦合該第一靜電放電共用通道與該第二靜電放電共用通道，該複數個 N 型金氧半電晶體控制之橫向矽控整流元件的每一個閘極，耦合一接點；以及

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道，其中該接點耦合該靜電放電偵測電路。

38.如申請專利範圍第30項所述之方法，其中每一個該靜電放電箝制電路，至少包含：

複數個 P 型金氧半電晶體控制之橫向矽控整流器串聯耦合在一起，每一個該

P 型金氧半電晶體控制之橫向矽控整流器，串聯耦合一二極體，其中該複數個 P 型金氧半電晶體控制之橫向矽控整流元件耦合該第一靜電放電共用通道與該第二靜電放電共用通道，該複數個 P 型金氧半電晶體控制之橫向矽控整流元件的每一個閘極，耦合一接點；

一靜電放電偵測電路，耦合該第一靜電放電共用通道與該第二靜電放電共用通道；以及

一反相器，具有一輸入端與一輸出端，其中該輸入端耦合該靜電放電偵測電路，該輸出端耦合該接點。

39.如申請專利範圍第30項所述之方法，其中該靜電放電雙向連接元件，至少包含：

複數個 N 型矽控整流元件串聯耦合在一起，其中該每一個 N 型矽控整流元件的一閘極，耦合每一個該 N 型矽控整流元件的一陽極；以及

一二極體元件，並聯耦合該複數個 N 型矽控整流元件，其中該二極體元件的一陰極，耦合該複數個 N 型矽控整流元件的該陽極與該第一靜電放電共用通道，該二極體元件的一陽極，耦合該複數個 N 型矽控整流元件的該陰極，並耦合到該內電路的該電源線。

40.如申請專利範圍第39項所述之方法，更包含一二極體元件串聯耦合每一個該 N 型矽控整流元件。

41.如申請專利範圍第30項所述之方法，其中該靜電放電雙向連接元件，至少包含：

複數個 P 型矽控整流元件串聯耦合在一起，其中每一個該複數個 P 型矽控整流元件的一閘極，耦合每一個該 P 型矽控整流元件的一陰極；以及

一二極體元件，並聯耦合複數個 P 型矽控整流元件，其中該二極體元件的一陰極耦合該複數個 P 型矽控整流元件的該

陽極與該第一靜電放電共用通道，該二極體元件的一陽極耦合該複數個 P 型矽控整流元件的該陰極，並耦合該內電路的該電源線。

42. 如申請專利範圍第 41 項所述之方法，更包含一二極體元件，串聯耦合每一個該 P 型矽控整流元件。

圖式簡單說明：

第一圖係顯示利用習知技術所設計之靜電放電防護電路的示意圖，在分離電源線之間用背對背二極體串列相連接；

第二圖係顯示利用習知技術所設計之靜電放電防護電路的示意圖，在多個分離電源線之間用多個背對背二極體串列相連接，並顯示靜電放電電流的流通路徑；

第三圖係顯示本發明之靜電放電防護架構設計，具有兩個靜電放電共用通道以排放靜電放電電流；

第四圖係顯示本發明在一晶片上具有複數個靜電放電共用通道的電路示意圖，並具有複數個靜電放電雙向連接元件，雙向連接元件連接於靜電放電共用通道與各分離的電源線之間，在靜電放電共用通道之間利用靜電放電箝制電路互相連接；

第五圖係顯示本發明在一積體電路中的應用示意圖，積體電路包括有 5V、3V、2.5V 與 0V 電源線，並利用四條靜電放電共用通道以達到全晶片靜電放電防護的目的；

第六圖 A 係顯示本發明之靜電放電雙向連接元件的示意圖，此元件是由兩個 P 型矽控整流器 (PSCR) 所組成；

第六圖 B 係顯示本發明之一靜電放電雙向連接元件的剖面示意圖，第一 P 型矽控整流器與第二 P 型矽控整流器被建造在 P 型基板之上；

第七圖 A 係顯示本發明之另一靜電放電雙向連接元件的示意圖，是由第一 N 型矽控整流器與第二 N 型矽控整流器所組成；

第七圖 B 係顯示本發明之另一靜電放電雙向連接元件的剖面示意圖，第一 N 型矽控整流器與第二 N 型矽控整流器被製造在 P 型基板之上；

5. 第八圖係顯示本發明之一靜電放電箝制電路的示意圖，此靜電放電箝制電路係包含一靜電放電偵測電路、數個 N 型金氧半電晶體控制的橫向矽控整流元件；

10. 第九圖顯示本發明之另一靜電放電箝制電路的示意圖，包含一靜電放電偵測電路與數個 P 型金氧半電晶體控制的橫向矽控整流元件，其中 P 型金氧半電晶體控制的橫向矽控整流元件的閘極經由一反相器連往靜電放電偵測電路；

15. 第十圖顯示本發明之一靜電放電箝制電路的另一種實施圖，包含一靜電放電偵測電路、數個 N 型金氧半電晶體控制的橫向矽控整流元件與數個二極體，其中 N 型金氧半電晶體控制的橫向矽控整流元件的閘極連往靜電放電偵測電路；

20. 第十一圖顯示本發明之靜電放電箝制電路的另一種實施示意圖，包含一靜電放電偵測電路、數個 P 型金氧半電晶體控制的橫向矽控整流元件與數個二極體，其中 P 型金氧半電晶體控制的橫向矽控整流器的閘極經由一反相器連往靜電放電偵測電路；

30. 第十二圖係顯示本發明之另一種應用示意圖，積體電路具有多組電源線，但只利用一條靜電放電共用通道，每一輸入／輸出墊片及電源線皆接有一靜電放電雙向連接元件連接到靜電放電共用通道上，以達成全晶片靜電放電防護的設計；

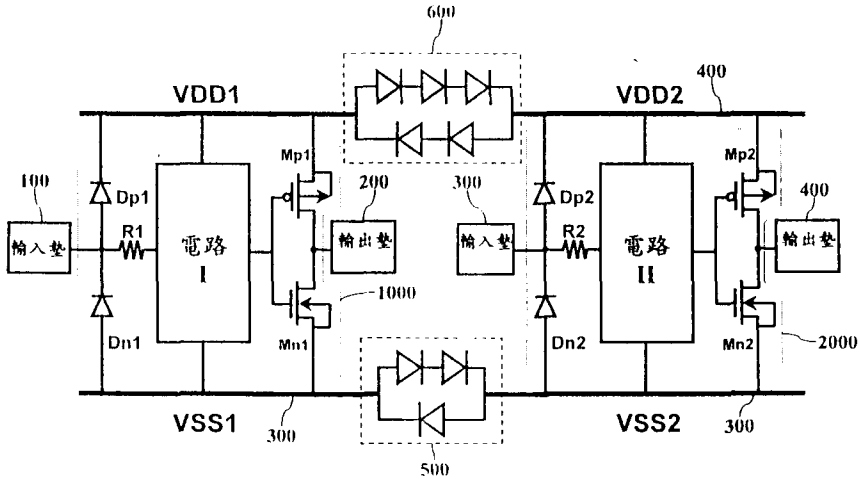
35. 第十三圖係顯示本發明在第十二圖之靜電放電雙向連接元件的示意圖，包含一二極體與數個 N 型矽控整流元件相並聯；

40. 第十四圖係顯示本發明在第十二圖之另一種靜電放電雙向連接元件的示意圖，此元件包含數個二極體與數個 N 型矽控整

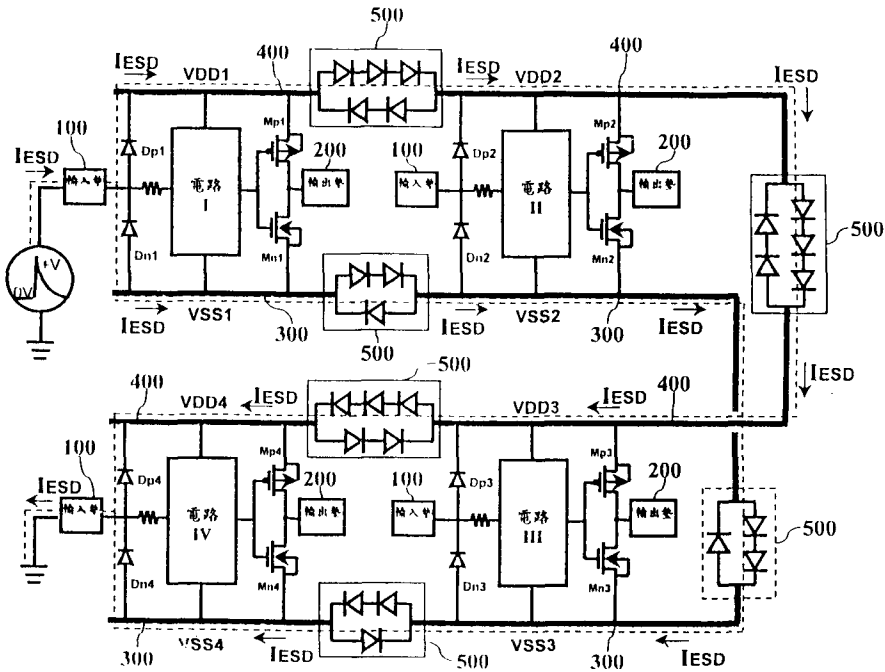
流元件；

第十五圖係顯示本發明在第十二圖之靜電放電雙向連接元件的示意圖，包含一個二極體與數個 P 型矽控整流器相並聯；以及

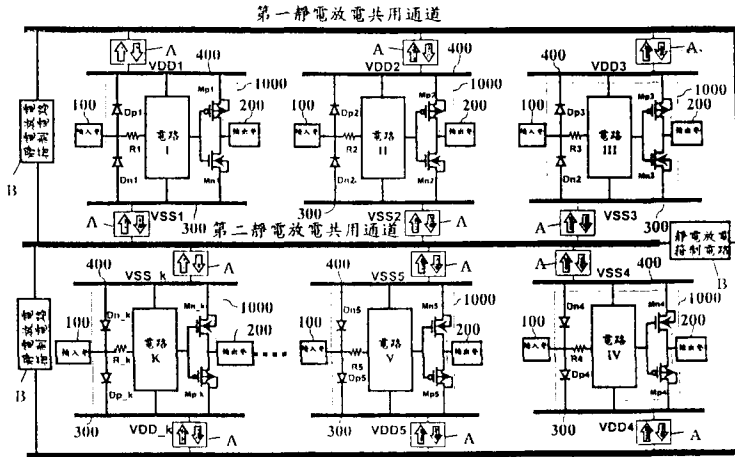
第十六圖係顯示本發明在第十二圖之另一種靜電放電雙向連接元件的示意圖，此元件包含數個二極體與數個 P 型矽控整流流元件。



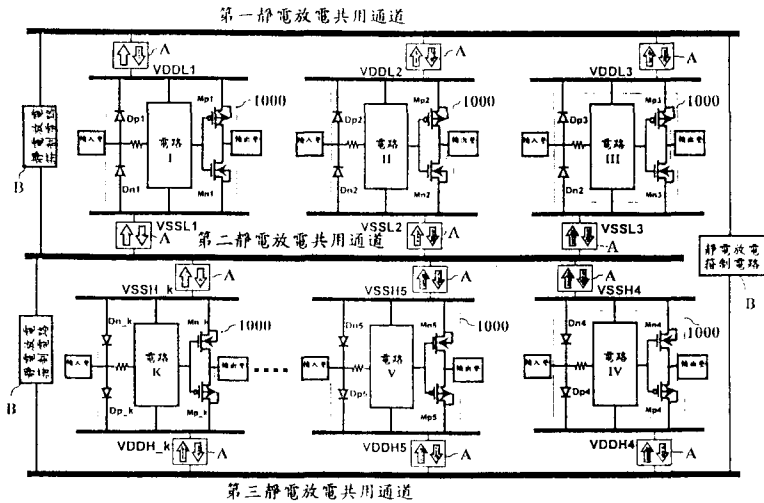
第一圖



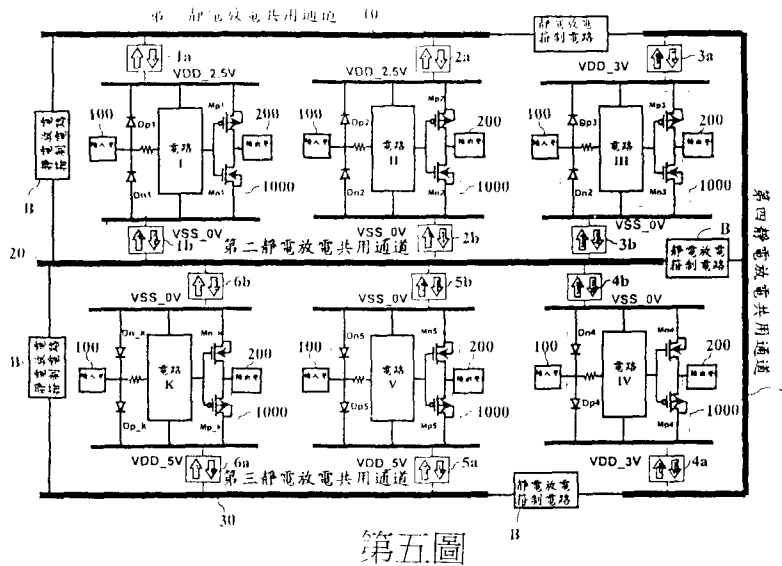
第二圖



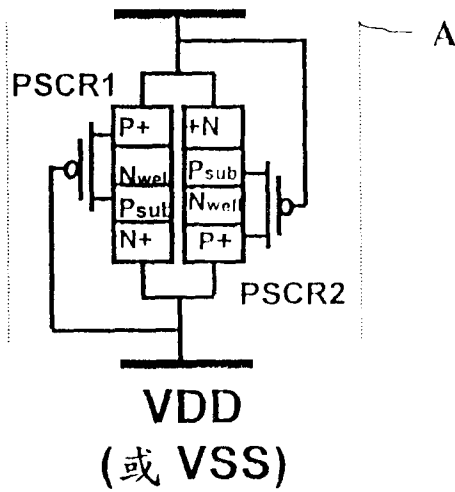
第三圖



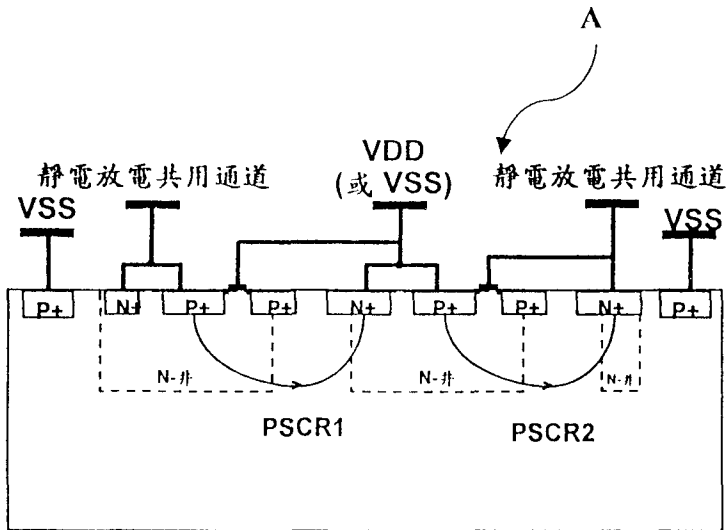
第四圖



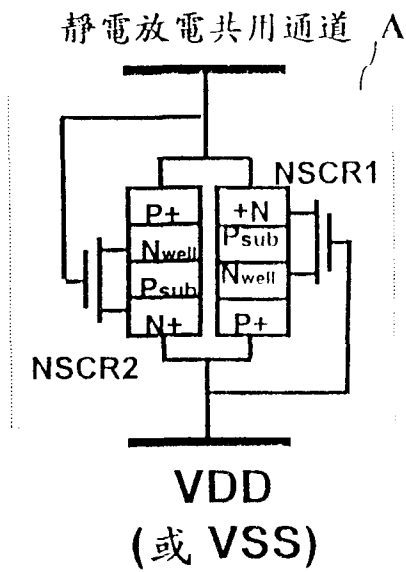
靜電放電共用通道



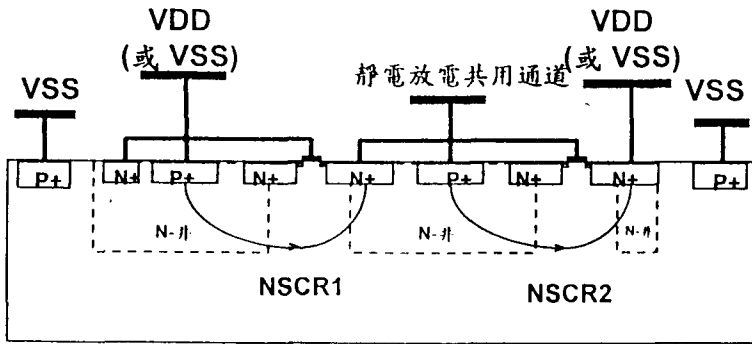
第六圖 A



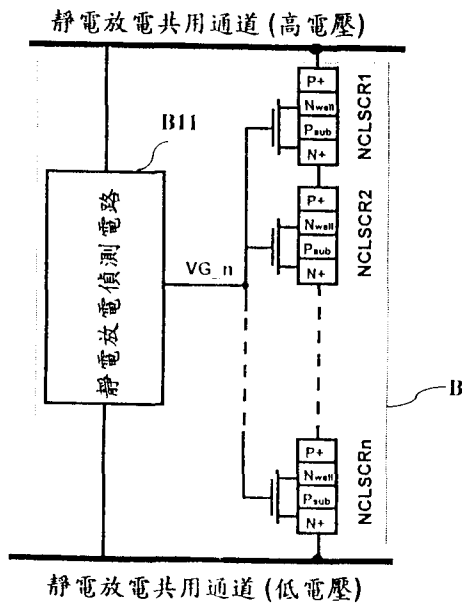
第六圖B



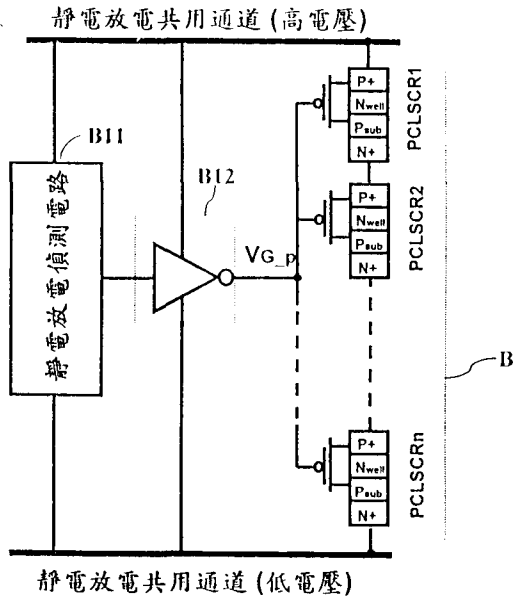
第七圖A



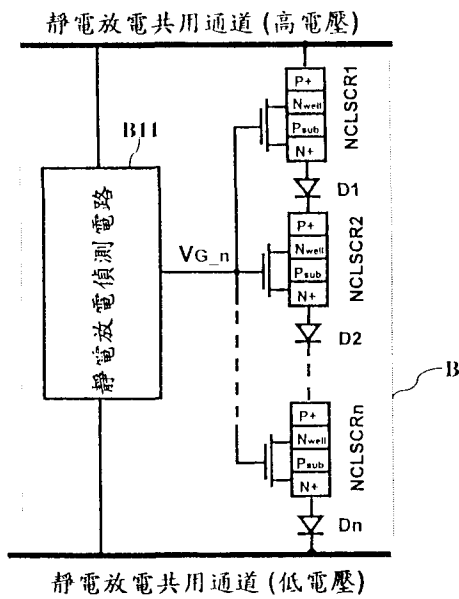
第七圖 B



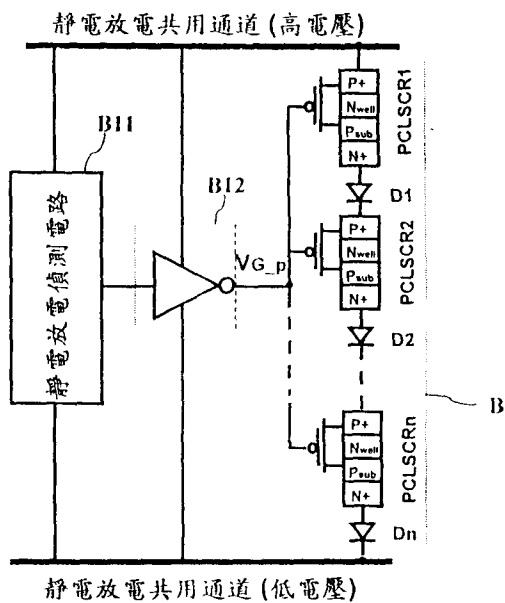
第八圖



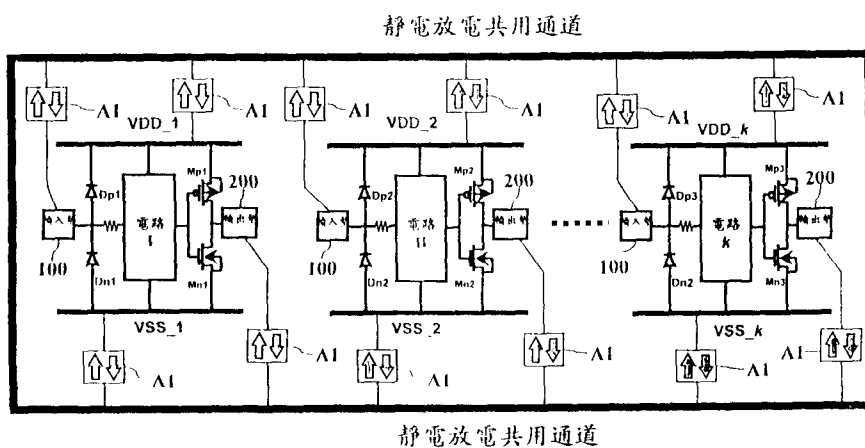
第九圖



第十圖

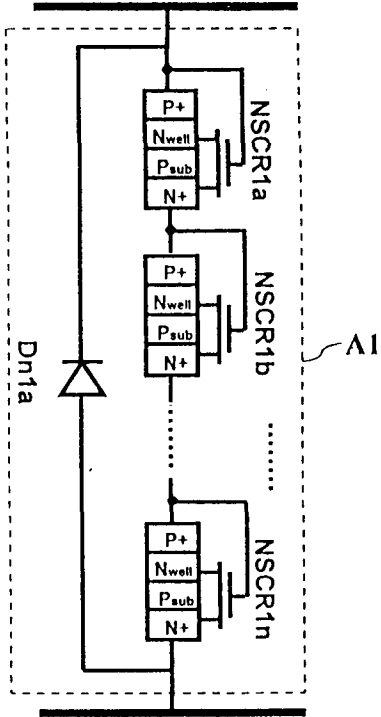


第十一圖



第十二圖

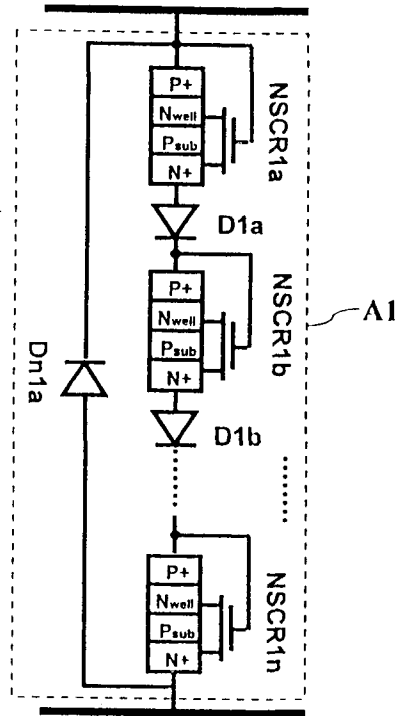
靜電放電共用通道



VDD, VSS,
輸入墊或輸出墊

第十三圖

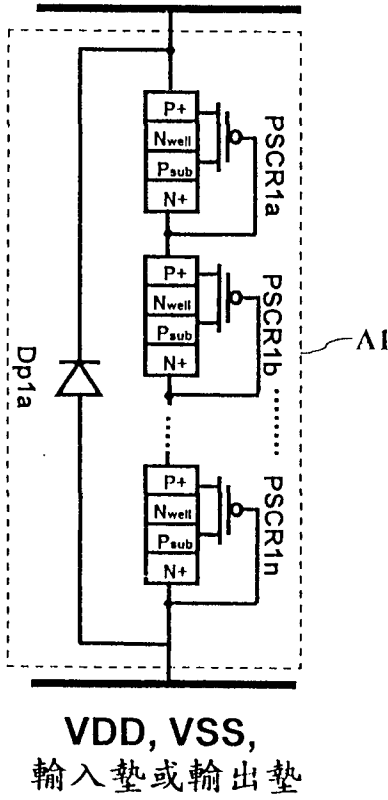
靜電放電共用通道



VDD, VSS,
輸入墊或輸出墊

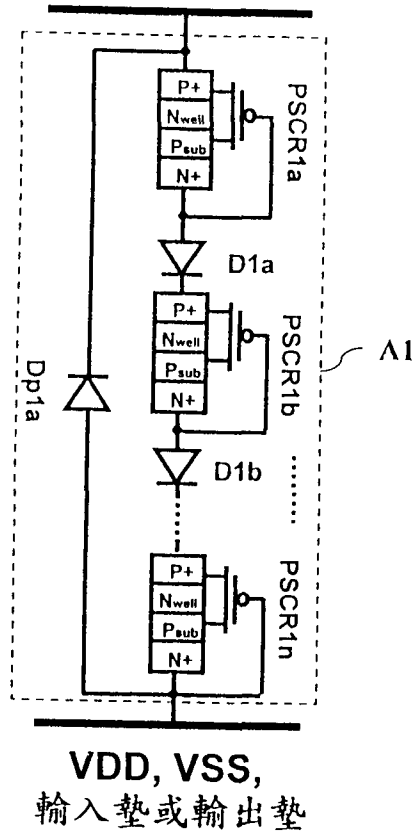
第十四圖

靜電放電共用通道



第十五圖

靜電放電共用通道



第十六圖