

中華民國專利公報 [19] [12]

[11]公告編號：410459

[44]中華民國 89年 (2000) 11月 01日

發明

全 13 頁

[51] Int.Cl⁰⁶: H01L23/60

[54]名稱：沒有暫態漏電之閘極耦合靜電放電保護電路

[21]申請案號：088100037

[22]申請日期：中華民國 88年 (1999) 01月 04日

[72]發明人：

柯明道

王振家

張恆祥

新竹市寶山路二〇〇巷三號四樓之三

台北市重慶北路四段四十九巷十五弄二十二號二樓

台北縣汐止鎮大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1.一種避免積體電路遭受靜電放電干擾的裝置，該裝置至少包含：

一電壓降低電路，耦合於第一電源線用以降低通過該電壓降低電路之電壓位準；

一電壓旁通電路，耦合於該電壓降低電路與第二電源線，用以將該電壓降低電路旁通至該第二電源線；

一內電路，耦合於該第一電源線與該第二電源線，且耦合至該電壓降低電路與該電壓旁通電路；

一輸入墊，耦合於該內電路，用以輸入信號至該內電路。

2.如申請專利範圍第1項之裝置，其中上述之電壓旁通電路更包含至少一個二極體，且該至少一個二極體以串聯方式耦合並構成第一串聯二極體，其中該第一串聯二極體之陽極耦合於該輸入墊，且

該第一串聯二極體之陰極耦合於該第一電源線。

3.如申請專利範圍第2項之裝置，其中上述之電壓降低電路更包含：

第一電晶體元件，其中該第一電晶體元件之源極耦合於該第二電源線，且該第一電晶體元件之汲極耦合於該第一串聯二極體之該陽極；

10. 一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陰極；

一電阻元件，其中該第一電晶體元件之該閘極經由該電阻元件耦合於該第二電源線。

15. 4.如申請專利範圍第2項之裝置，其中上述之電壓降低電路更包含：

第一電晶體元件，其中該第一電晶體元件之源極耦合於該第二電源線，且該第

一電晶體元件之汲極耦合於該第一串聯二極體之該陽極；

一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陰極；

第二電晶體元件，其中該第一電晶體元件之該閘極耦合於該第二電晶體元件之汲極，且該第二電晶體元件之閘極耦合於該第一電源線，該第二電晶體元件之源極耦合於該第二電源線。

5.如申請專利範圍第2項之裝置，其中上述之該第一串聯二極體經由至少一個二極體耦合於該第一電源線，其中該至少一個二極體以串聯方式耦合並構成第二串聯二極體，該第二串聯二極體之陽極耦合於該第一串聯二極體之陰極，而該第二串聯二極體之陰極耦合於該第一電源線。

6.如申請專利範圍第1項之裝置，其中上述之電壓旁通電路更包含第一電晶體元件，其中該第一電晶體元件之閘極與源極耦合於該第一電源線，且該第一電晶體元件之汲極耦合於該輸入墊。

7.如申請專利範圍第6項之裝置，其中上述之電壓降低電路更包含：

第二電晶體元件，其中該第二電晶體元件之源極耦合於該第二電源線，且該第二電晶體元件之汲極耦合於該第一電晶體元件之該源極；

一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與汲極；

一電阻元件，其中該第二電晶體元件之該閘極經由該電阻元件耦合於該第二電源線。

8.如申請專利範圍第6項之裝置，其中上述之電壓降低電路更包含：

第二電晶體元件，其中該第二電晶體元件之源極耦合於該第二電源線，且該第二電晶體元件之汲極耦合於該第一電晶

體元件之該源極；

一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與汲極；

5. 第三電晶體元件，其中該第二電晶體元件之該閘極耦合於該第三電晶體元件之汲極，且該第三電晶體元件之閘極耦合於該第一電源線，該第三電晶體元件之源極耦合於該第二電源線。

10. 9.如申請專利範圍第6項之裝置，其中上述之第一電晶體元件經由至少一個二極體耦合於該第一電源線，其中該至少一個二極體以串聯方式耦合並構成第一串聯二極體，且該第一串聯二極體之陽極耦合於該第一電晶體元件之該汲極，而該第一串聯二極體之陰極耦合於該第一電源線。

10.如申請專利範圍第1項之裝置，其中上述之電壓旁通電路更包含至少一個二極體，且該至少一個二極體以串聯方式耦合並構成第一串聯二極體，其中該第一串聯二極體之陰極耦合於該輸入墊，且該第一串聯二極體之陽極耦合於該第二電源線。

25. 11.如申請專利範圍第10項之裝置，其中上述之電壓降低電路更包含：

第一電晶體元件，其中該第一電晶體元件之汲極耦合於該第一電源線，且該第一電晶體元件之源極耦合於該第一串聯二極體之該陰極；

30. 一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陽極；

35. 一電阻元件，其中該第一電晶體元件之該閘極經由該電阻元件耦合於該第一電源線。

12.如申請專利範圍第10項之裝置，其中上述之電壓降低電路更包含：

40. 第一電晶體元件，其中該第一電晶體元件之汲極耦合於該第一電源線，且該第

一電晶體元件之源極耦合於該第一串聯二極體之該陰極；

一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陽極；

第二電晶體元件，其中該第一電晶體元件之該閘極耦合於該第二電晶體元件之汲極，且該第二電晶體元件之閘極耦合於該第二電源線，該第二電晶體元件之源極耦合於該第一電源線。

13. 如申請專利範圍第 10 項之裝置，其中上述之該第一串聯二極體經由至少一個二極體耦合於該第二電源線，其中該至少一個二極體以串聯方式耦合並構成第二串聯二極體，該第二串聯二極體之陰極耦合於該第一串聯二極體之陽極，而該第二串聯二極體之陽極耦合於該第二電源線。

14. 如申請專利範圍第 1 項之裝置，其中上述之電壓旁通電路更包含第一電晶體元件，其中該第一電晶體元件之閘極與源極耦合於該第二電源線，且該第一電晶體元件之汲極耦合於該輸入墊。

15. 如申請專利範圍第 14 項之裝置，其中上述之電壓降低電路更包含：
第二電晶體元件，其中該第二電晶體元件之汲極耦合於該第一電源線，且該第二電晶體元件之源極耦合於該第一電晶體元件之該汲極；

一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與源極；

一電阻元件，其中該第二電晶體元件之該閘極經由該電阻元件耦合於該第一電源線。

16. 如申請專利範圍第 14 項之裝置，其中上述之電壓降低電路更包含：
第二電晶體元件，其中該第二電晶體元件之汲極耦合於該第一電源線，且該第二電晶體元件之源極耦合於該第一電晶

體元件之該汲極；

一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與源極；

5. 第三電晶體元件，其中該第二電晶體元件之該閘極耦合於該第三電晶體元件之源極，且該第三電晶體元件之閘極耦合於該第二電源線，該第三電晶體元件之汲極耦合於該第一電源線。

10. 17. 如申請專利範圍第 14 項之裝置，其中上述之第一電晶體元件經由至少一個二極體耦合於該第二電源線，其中該至少一個二極體以串聯方式耦合並構成第一串聯二極體，且該第一串聯二極體之陰極耦合於該第一電晶體元件之該源極，而該第一串聯二極體之陽極耦合於該第二電源線。

18. 一種避免積體電路遭受靜電放電干擾的裝置，該裝置至少包含：

20. 一內電路，耦合於第一電源線與第二電源線；

一輸入墊，耦合於該內電路，用以輸入信號至該內電路；

第一電壓旁通電路，耦合於該第一電源線用以降低通過該第一電壓旁通電路之電壓位準，該第一電壓旁通電路耦合於該內電路與該輸入墊；

25. 第一電壓降低電路，耦合於該第一電壓旁通電路與第二電源線，用以將該第一電壓旁通電路旁通至該第二電源線，該第一電壓降低電路耦合於該內電路與該輸入墊；

30. 第二電壓旁通電路，耦合於該第二電源線用以降低通過該第二電壓旁通電路之電壓位準，且該第二電壓旁通電路耦合於該內電路與該輸入墊；

35. 第二電壓降低電路，耦合於該第二電壓旁通電路與第一電源線，用以將該第二電壓旁通電路旁通至該第一電源線，該
40. 第二電壓降低電路耦合於該內電路與該

輸入墊。

- 19.如申請專利範圍第 18 項之裝置，其中上述之第一電壓旁通電路更包含至少一個二極體，且該至少一個二極體以串聯方式耦合並構成第一串聯二極體，其中該第一串聯二極體之陽極耦合於該輸入墊，且該第一串聯二極體之陰極耦合於該第一電源線。
- 20.如申請專利範圍第 19 項之裝置，其中上述之第一電壓降低空路更包含：
 - 第一電晶體元件，其中該第一電晶體元件之源極耦合於該第二電源線，且該第一電晶體元件之汲極耦合於該第一串聯二極體之該陽極；
 - 一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陰極；
 - 一電阻元件，其中該第一電晶體元件之該閘極經由該電阻元件耦合於該第二電源線。
- 21.如申請專利範圍第 19 項之裝置，其中上述之第一電壓降低電路更包含：
 - 第一電晶體元件，其中該第一電晶體元件之源極耦合於該第二電源線，且該第一電晶體元件之汲極耦合於該第一串聯二極體之該陽極；
 - 一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陰極；
 - 第二電晶體元件，其中該第一電晶體元件之該閘極耦合於該第二電晶體元件之汲極，且該第二電晶體元件之閘極耦合於該第一電源線，該第二電晶體元件之源極耦合於該第二電源線。
- 22.如申請專利範圍第 19 項之裝置，其中上述之該第一串聯二極體經由至少一個二極體耦合於該第一電源線，其中該至少一個二極體以串聯方式耦合並構成第二串聯二極體，該第二串聯二極體之陽極耦合於該第一串聯二極體之陰極，而

- 該第二串聯二極體之陰極耦合於該第一電源線。
- 23.如申請專利範圍第 18 項之裝置，其中上述之第一電壓旁通電路更包含第一電晶體元件，其中該第一電晶體元件之閘極與汲極耦合於該第一電源線，且該第一電晶體元件之源極耦合於該輸入墊。
- 24.如申請專利範圍第 23 項之裝置，其中上述之第一電壓降低電路更包含：
 - 第二電晶體元件，其中該第二電晶體元件之源極耦合於該第二電源線，且該第二電晶體元件之汲極耦合於該第一電晶體元件之該源極；
 - 一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之閘極與汲極；
 - 一電阻元件，其中該第二電晶體元件之該閘極經由該電阻元件耦合於該第二電源線。
- 25.如申請專利範圍第 23 項之裝置，其中上述之第一電壓降低電路更包含：
 - 第二電晶體元件，其中該第二電晶體元件之源極耦合於該第二電源線，且該第二電晶體元件之汲極耦合於該第一電晶體元件之該源極；
 - 一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與汲極；
 - 第三電晶體元件，其中該第二電晶體元件之該閘極耦合於該第三電晶體元件之汲極，且該第三電晶體元件之閘極耦合於該第一電源線，該第三電晶體元件之源極耦合於該第二電源線。
- 26.如申請專利範圍第 23 項之裝置，其中上述之第一電晶體元件經由至少一個二極體耦合於該第一電源線，其中該至少一個二極體以串聯方式耦合並構成第一串聯二極體，且該第一串聯二極體之陽極耦合於該第一電晶體元件之該汲極，而該第一串聯二極體之陰極耦合於該第

一電源線。

- 27.如申請專利範圍第 18 項之裝置，其中上述之第二電壓旁通電路更包含至少一個二極體，且該至少一個二極體以串聯方式耦合並構成第一串聯二極體，其中該第一串聯二極體之陰極耦合於該輸入墊，且該第一串聯二極體之陽極耦合於該第二電源線。
- 28.如申請專利範圍第 27 項之裝置，其中上述之第二電壓降低電路更包含：
 - 第一電晶體元件，其中該第一電晶體元件之汲極耦合於該第一電源線，且該第一電晶體元件之源極耦合於該第一串聯二極體之該陰極；
 - 一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陽極；
 - 一電阻元件，其中該第一電晶體元件之該閘極經由該電阻元件耦合於該第一電源線。
- 29.如申請專利範圍第 27 項之裝置，其中上述之第二電壓降低電路更包含：
 - 第一電晶體元件，其中該第一電晶體元件之汲極耦合於該第一電源線，且該第一電晶體元件之源極耦合於該第一串聯二極體之該陰極；
 - 一電容元件，其中該第一電晶體元件之閘極經由該電容元件耦合於該第一串聯二極體之該陽極；
 - 第二電晶體元件，其中該第一電晶體元件之該閘極耦合於該第二電晶體元件之源極，且該第二電晶體元件之閘極耦合於該第二電源線，該第二電晶體元件之汲極耦合於該第一電源線。
- 30.如申請專利範圍第 27 項之裝置，其中上述之該第一串聯二極體經由至少一個二極體耦合於該第二電源線，其中該至少一個二極體以串聯方式耦合並構成第二串聯二極體，該第二串聯二極體之陰極耦合於該第一串聯二極體之陽極，而

該第二串聯二極體之陽極耦合於該第二電源線。

- 31.如申請專利範圍第 18 項之裝置，其中上述之第二電壓旁通電路更包含第一電晶體元件，其中該第一電晶體元件之閘極與源極耦合於該第二電源線，且該第一電晶體元件之汲極耦合於該輸入墊。
- 32.如申請專利範圍第 31 項之裝置，其中上述之第二電壓降低電路更包含：
 - 10. 第二電晶體元件，其中該第二電晶體元件之汲極耦合於該第一電源線，且該第二電晶體元件之源極耦合於該第一電晶體元件之該汲極；
 - 一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與源極；
 - 15. 一電阻元件，其中該第二電晶體元件之該閘極經由該電阻元件耦合於該第一電源線。
20. 33.如申請專利範圍第 31 項之裝置，其中上述之第二電壓降低電路更包含：
 - 第二電晶體元件，其中該第二電晶體元件之汲極耦合於該第一電源線，且該第二電晶體元件之源極耦合於該第一電晶體元件之該汲極；
 - 25. 一電容元件，其中該第二電晶體元件之閘極經由該電容元件耦合於該第一電晶體元件之該閘極與源極；
 - 第三電晶體元件，其中該第二電晶體元件之該閘極耦合於該第三電晶體元件之源極，且該第三電晶體元件之閘極耦合於該第二電源線，該第三電晶體元件之汲極耦合於該第一電源線。
- 34.如申請專利範圍第 31 項之裝置，其中上述之第一電晶體元件經由至少一個二極體耦合於該第二電源線，其中該至少一個二極體以串聯方式耦合並構成第一串聯二極體，且該第一串聯二極體之陰極耦合於該第一電晶體元件之該源極，而該第一串聯二極體之陽極耦合於該第
- 40.

二電源線。

圖式簡單說明：

第一圖為靜電放電電路之示意圖，顯示根據先前技術所形成之輸入墊靜電放電電路。

第二圖為靜電放電電路之示意圖，顯示根據先前技術所設計之閘極耦合輸入墊靜電放電電路。

第三圖為輸入信號波形圖，顯示根據先前技術所設計之閘極耦合靜電放電電路，其閘極電壓在靜電放電耦合下之波形。

第四圖為靜電放電電路之示意圖，顯示根據先前技術所設計之另一種互補式閘極耦合輸入墊靜電放電電路。

第五圖 A 為輸入信號波形圖，顯示根據先前技術所設計之靜電放電電路其輸入信號波形與 NMOS 元件閘極之耦合電壓。

第五圖 B 為輸入信號波形圖，顯示根據先前技術所設計之靜電放電電路，由於其 NMOS 元件開啟而造成輸入信號之失真。

第六圖為靜電放電電路之示意圖，顯示根據本發明所設計之無暫態漏電的閘極耦合靜電放電電路。

5. 第七圖 A 為輸入信號波形圖，顯示根據本發明所設計之閘極耦合靜電放電電路其閘極電壓在靜電放電耦合下之波形。

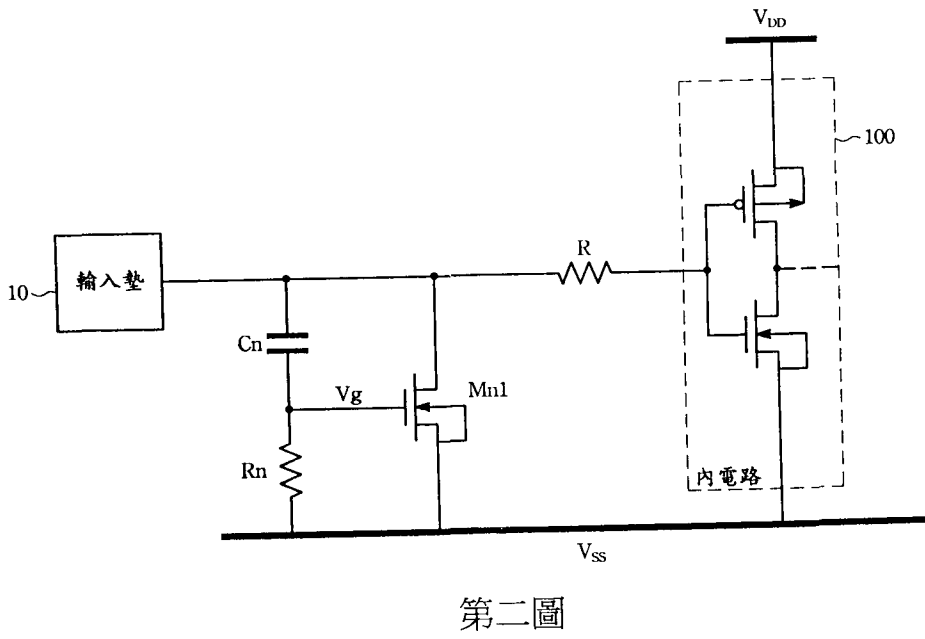
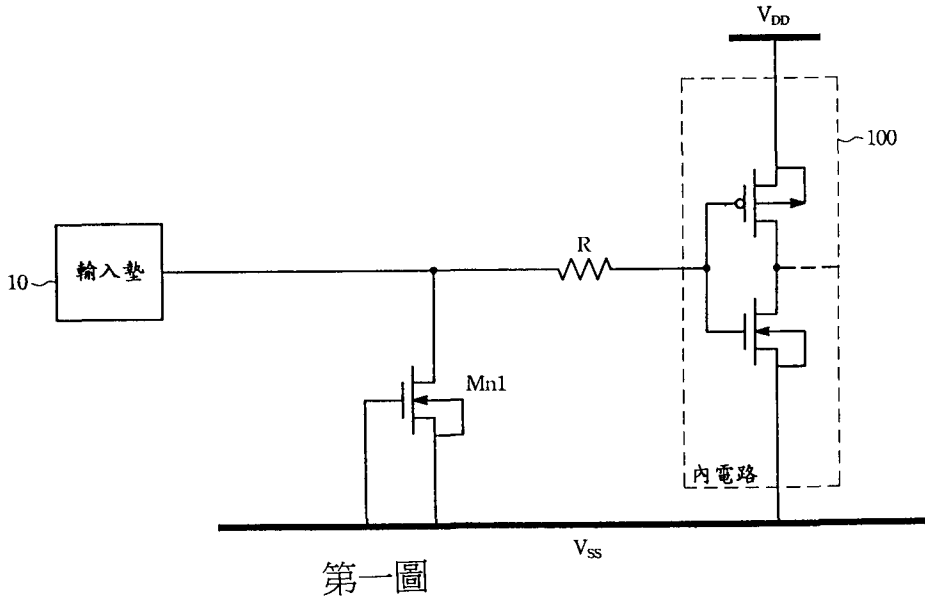
- 第七圖 B 為輸入信號波形圖，顯示根據本發明所設計之閘極耦合靜電放電電路在輸入高速信號之正常操作狀況下，其閘極電壓之波形圖。

第八圖 A 為輸入信號波形圖，顯示高速信號輸入時，其輸入信號所產生之突起 (overshooting)。

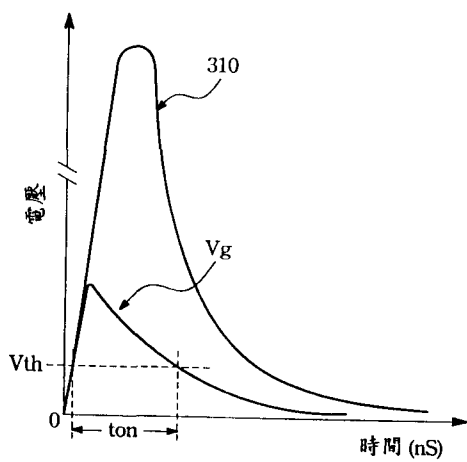
- 第八圖 B 為輸入信號波形圖，顯示根據本發明所設計之閘極耦合靜電放電電路在輸入高速信號之正常操作狀況下，對輸入信號具有整型作用之波形圖。

第九圖 - 第十四圖為靜電放電電路之示意圖，顯示根據本發明所設計沒有暫態

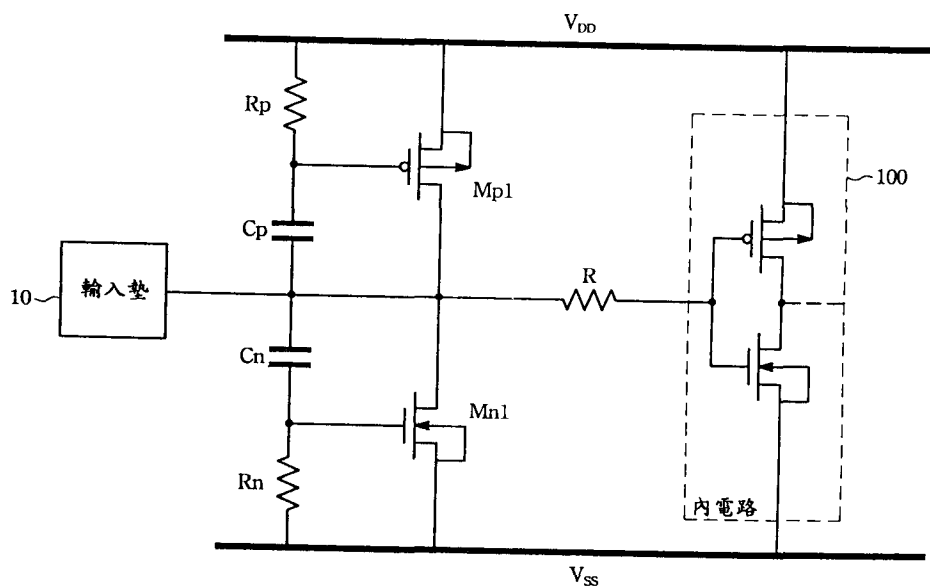
20. 漏電之閘極耦合靜電放電保護電路之其它實施例。



(8)

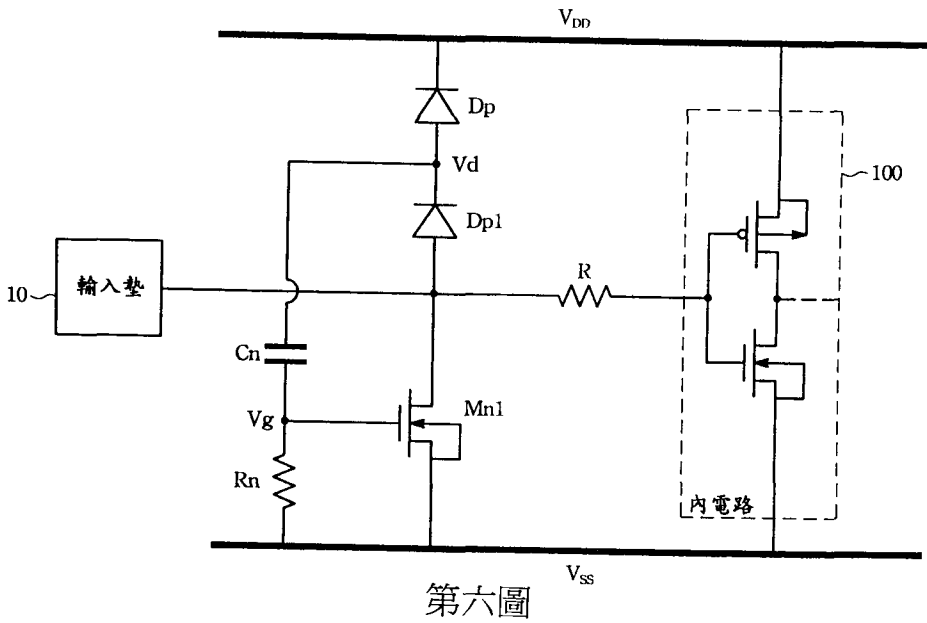
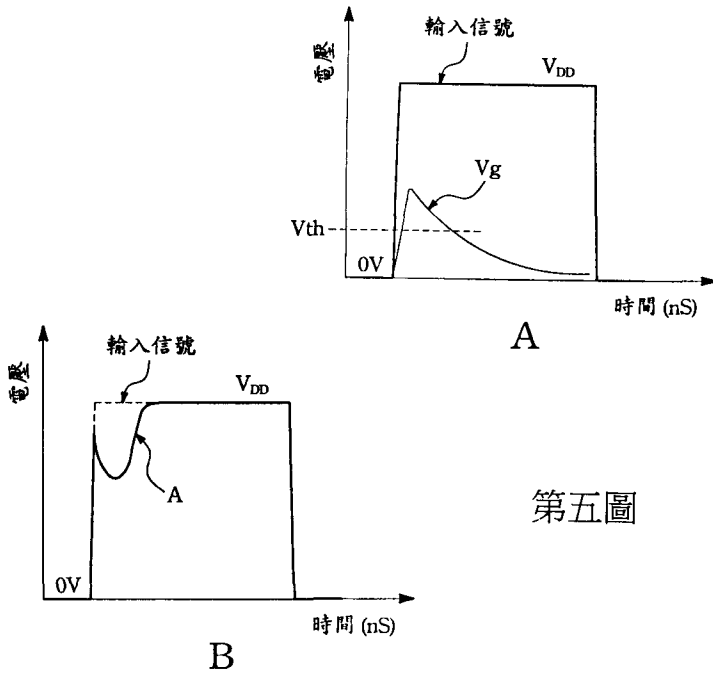


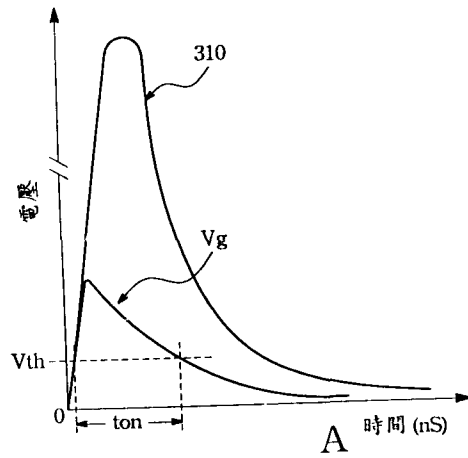
第三圖



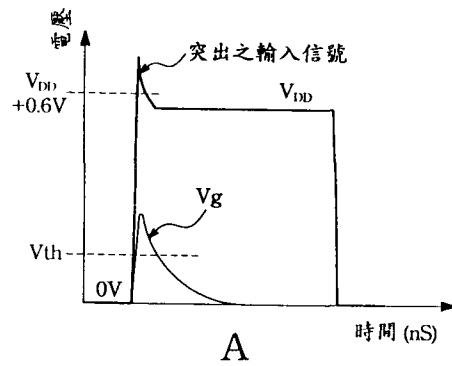
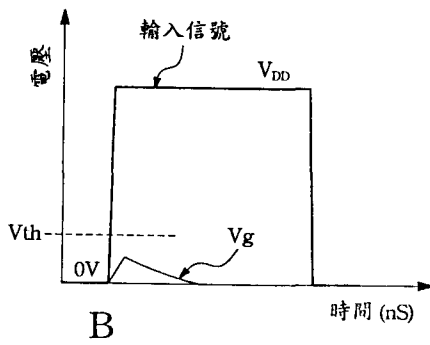
第四圖

(9)

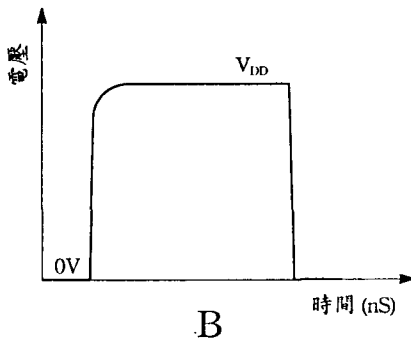


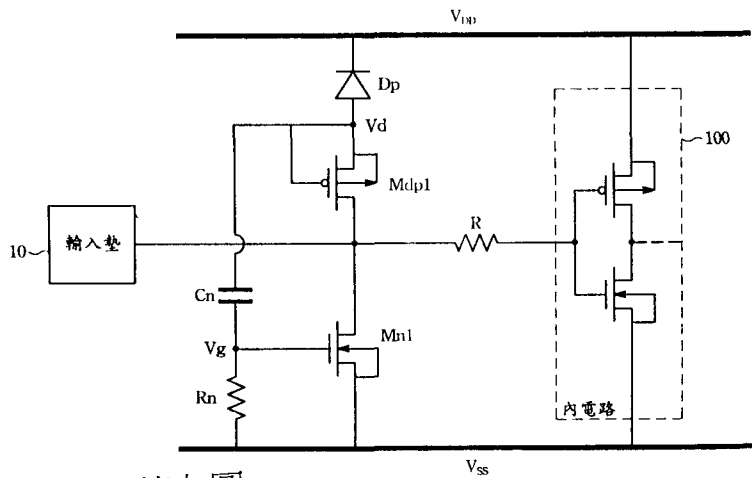


第七圖

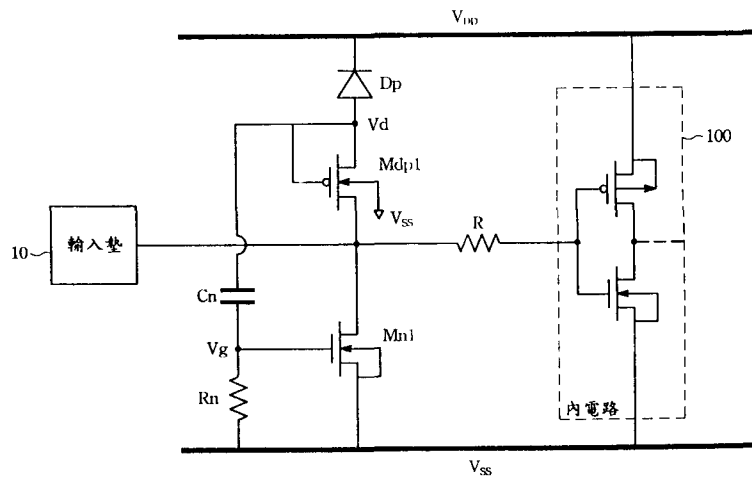


第八圖

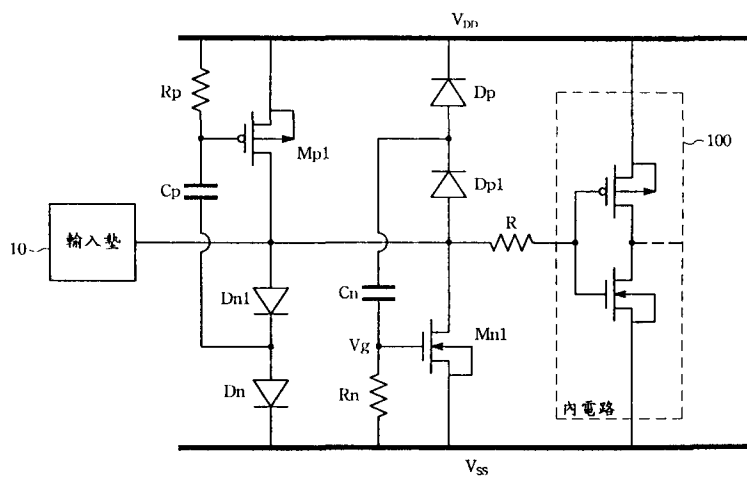




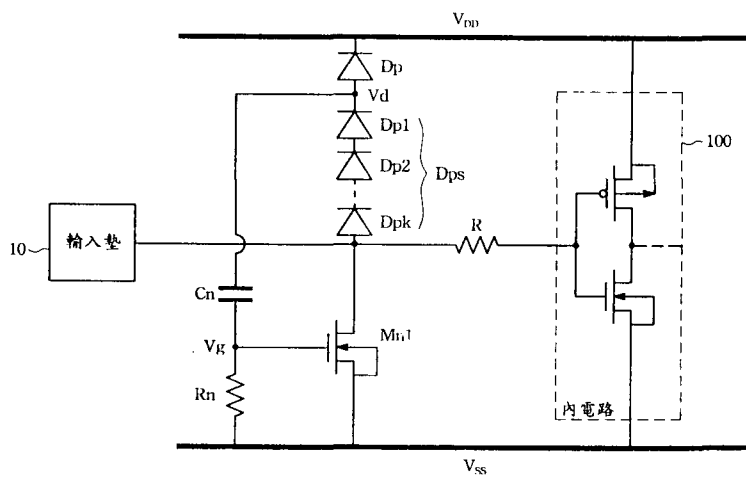
第九圖



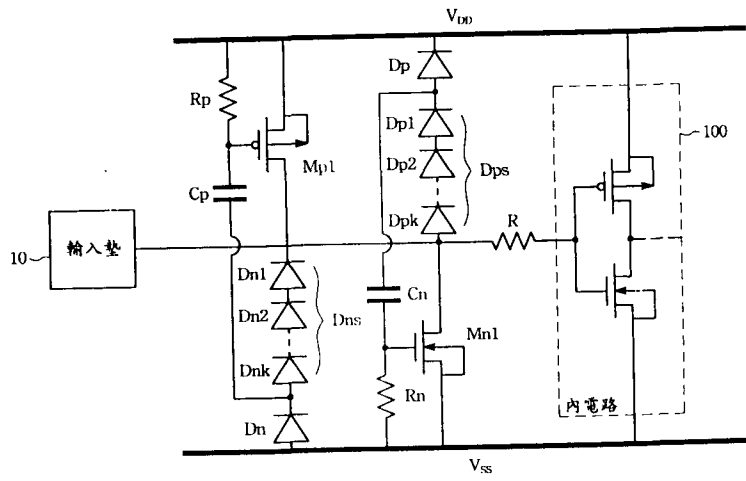
第十圖



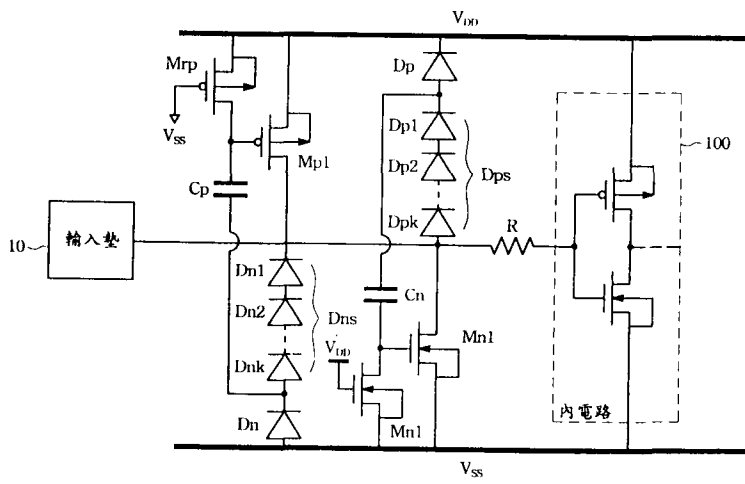
第十一圖



第十二圖



第十三圖



第十四圖

