

【11】證書號數：I413103

【45】公告日：中華民國 102 (2013) 年 10 月 21 日

【51】Int. Cl.： G09G5/36 (2006.01)

發明

全 6 頁

【54】名稱：記憶體電路、畫素電路、及相關資料存取方法

MEMORY CIRCUIT, PIXEL CIRCUIT, AND DATA ACCESSING METHOD THEREOF

【21】申請案號：099127709

【22】申請日：中華民國 99 (2010) 年 08 月 19 日

【11】公開編號：201209799

【43】公開日期：中華民國 101 (2012) 年 03 月 01 日

【72】發明人：陳思翰 (TW) CHEN, SZU HAN；柯明道 (TW) KER, MING DOU；李宇軒 (TW) LI, YU HSUAN

【71】申請人：友達光電股份有限公司 AU OPTRONICS CORP.
新竹市新竹科學工業園區力行二路 1 號

【74】代理人：吳豐任；戴俊彥

【56】參考文獻：

TW 556022

TW 582010

TW I227800

TW I237804

US 2009/0128462A1

審查人員：胡培芝

[57]申請專利範圍

1. 一種用於畫素電路之資料存取方法，用以致能該畫素電路，該畫素電路包含一畫素單元及一記憶體電路，該記憶體電路包含一第一開關、一開關單元、一第二開關及複數個記憶體單元，該第一開關耦接於該畫素單元，該第一開關在由該畫素單元讀出資料時被開啟，以由該畫素單元接收複數個第一電壓，其中該些第一電壓係各自對應於一第一位元串所包含之複數個位元，該開關單元耦接於該第一開關，用以控制切換該畫素單元之一資料讀取模式或一資料寫入模式，該第二開關耦接於該畫素單元，該第二開關在寫入資料於該畫素單元時被開啟，以由該開關單元接收複數個第二電壓，其中該些第二電壓係各自對應於一第二位元串所包含之複數個位元，該複數個記憶體單元，耦接於該開關單元，每一記憶體單元包含一第三開關及一電容，該第三開關係在該每一記憶體單元用來儲存該第一電壓或讀取該第二電壓時被開啟，該電容之一第一端耦接於該第三開關之一第一端，且該電容之一第二端係接地，其中該複數個記憶體單元所包含之該電容的電容值實質上相同，該資料存取方法包含：根據原先儲存於該些記憶體單元之複數個第二電壓在一第二位元串中各自對應之一位元的權位，決定該些第二電壓由該些記憶體單元各自被讀取之一讀取時間長度，並由該些記憶體單元讀取該些第二電壓；及將所讀取之該些第二電壓傳輸至該畫素單元；其中該些第二電壓各自對應之該讀取時間長度係相異。
2. 如請求項 1 所述之資料存取方法，另包含：根據原先儲存於該些記憶體單元之該複數個第二電壓在該第二位元串中各自對應之該位元的權位，決定該些第二電壓由該些記憶體單元被讀取之一第二順序。
3. 如請求項 1 所述之資料存取方法，其中由該些記憶體單元讀取該些第二電壓的一加總讀取時間長度係等於一條掃描訊號線開啟時間長度、複數條掃描線開啟時間長度、讀取單一畫面的時間長度、或讀取複數個畫面的時間長度。

(2)

4. 如請求項 1 所述之資料存取方法，其中當由該些記憶體單元讀取該些第二電壓時，儲存該第二位元串中一第一權位位元的記憶體單元所包含之該開關之致能時間點係早於或晚於儲存該第二位元串中一第二權位位元的記憶體單元所包含之該開關之致能時間點，且在該第二位元串中，該第一權位位元之權位係高於該第二權位位元。
5. 如請求項 1 所述之資料存取方法，其中當由該些記憶體單元讀取該些第二電壓時，儲存該第二位元串中一第一權位位元的記憶體單元所包含之該開關的致能時間寬度係大於或小於儲存該第二位元串中一第二權位位元的記憶體單元所包含之該開關的致能時間寬度，且在該第二位元串中，該第一權位位元之權位係高於該第二權位位元。
6. 如請求項 1 所述之資料存取方法，另包含：由該畫素單元接收複數個第一電壓，該些第一電壓係各自對應於一第一位元串所包含之複數個位元；及根據該些第一電壓各自在該第一位元串中對應之一位元的權位，決定該些第一電壓寫入複數個記憶體單元之一第一順序，並將該些第一電壓寫入該些記憶體單元；其中該些第一電壓各自對應之一寫入時間長度係相異。
7. 如請求項 6 所述之資料存取方法，其中寫入該些第一電壓至該些記憶體單元的一加總寫入時間長度係等於一條掃描訊號線開啟時間長度、複數條掃描線開啟時間長度、寫入單一畫面的時間長度、或寫入複數個畫面的時間長度。
8. 如請求項 6 所述之資料存取方法，其中當寫入該些第一電壓至該些記憶體單元時，預定儲存該第一位元串中一第一權位位元的記憶體單元所包含之該開關之致能時間點係早於或晚於預定儲存該第一位元串中一第二權位位元的記憶體單元所包含之該開關之致能時間點，且在該第一位元串中，該第一權位位元之權位係高於該第二權位位元。
9. 如請求項 6 所述之資料存取方法，其中當寫入該些第一電壓至該些記憶體單元時，預定儲存該第一位元串中一第一權位位元的記憶體單元所包含之該開關的致能時間寬度係大於或小於儲存該第一位元串中一第二權位位元的記憶體單元所包含之該開關的致能時間寬度，且在該第一位元串中，該第一權位位元之權位係高於該第二權位位元。
10. 如請求項 6 所述之資料存取方法，其中該些記憶體單元係各自包含一開關，且當該開關被致能時，包含該開關之一記憶體單元方可讀取或寫入電壓。

圖式簡單說明

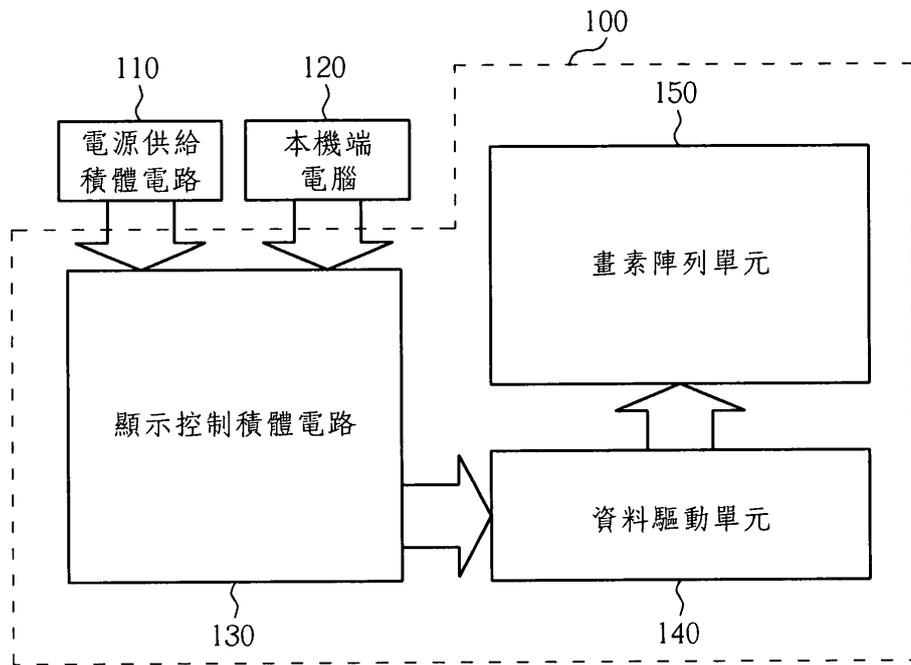
第 1 圖為一般液晶面板的簡略示意圖。

第 2 圖為本發明所揭露之畫素電路的示意圖，其中該畫素電路用來替代第 1 圖所示畫素陣列單元所包含複數個以陣列方式排列之畫素單元。

第 3 圖為第 2 圖所示之畫素電路在畫素單元進入資料讀取模式或資料寫入模式時的運作時序示意圖。

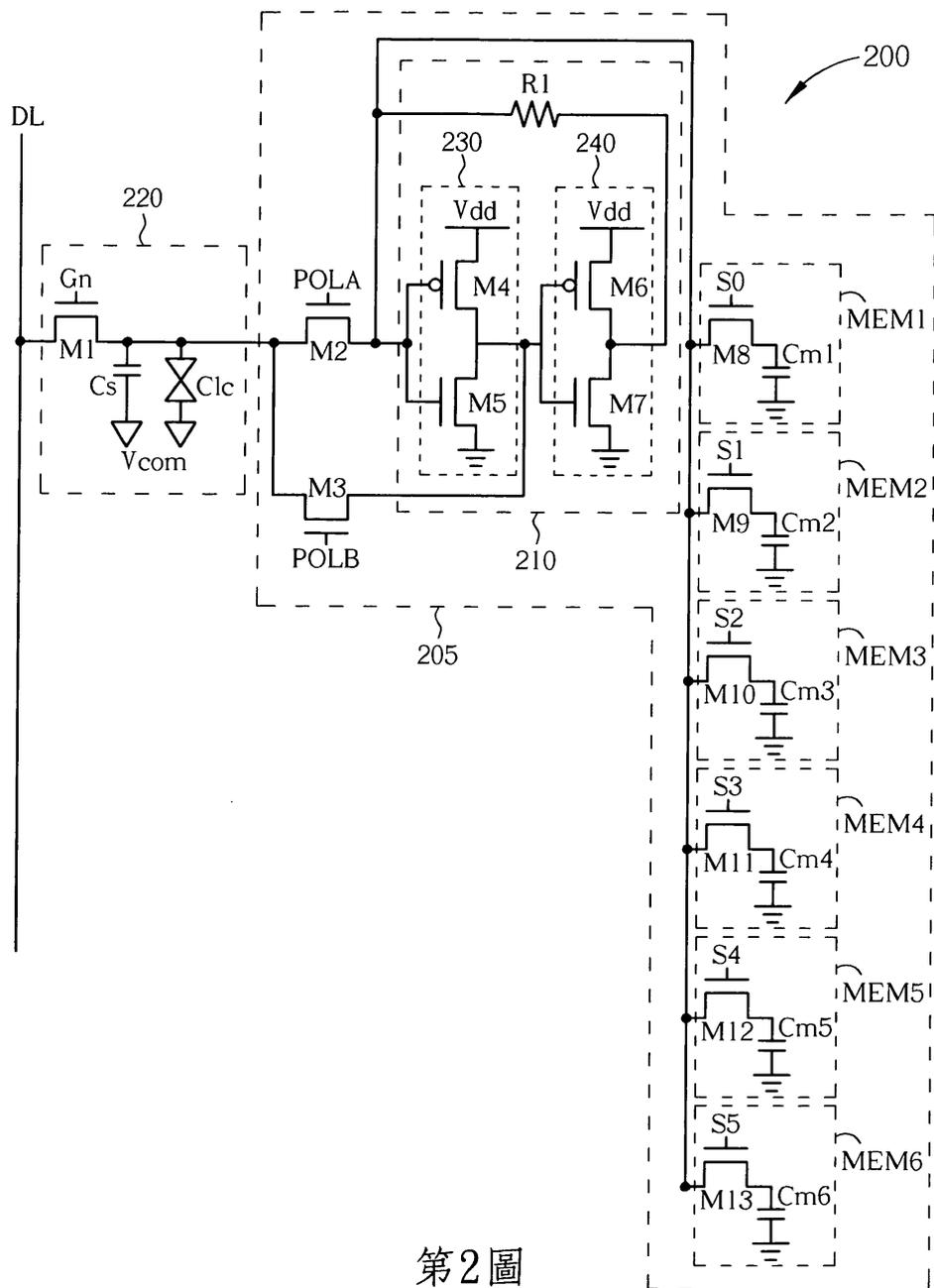
第 4 圖為根據第 2-3 圖所揭露之電壓寫入/讀取方式所揭露之資料存取方法的流程圖。

(3)



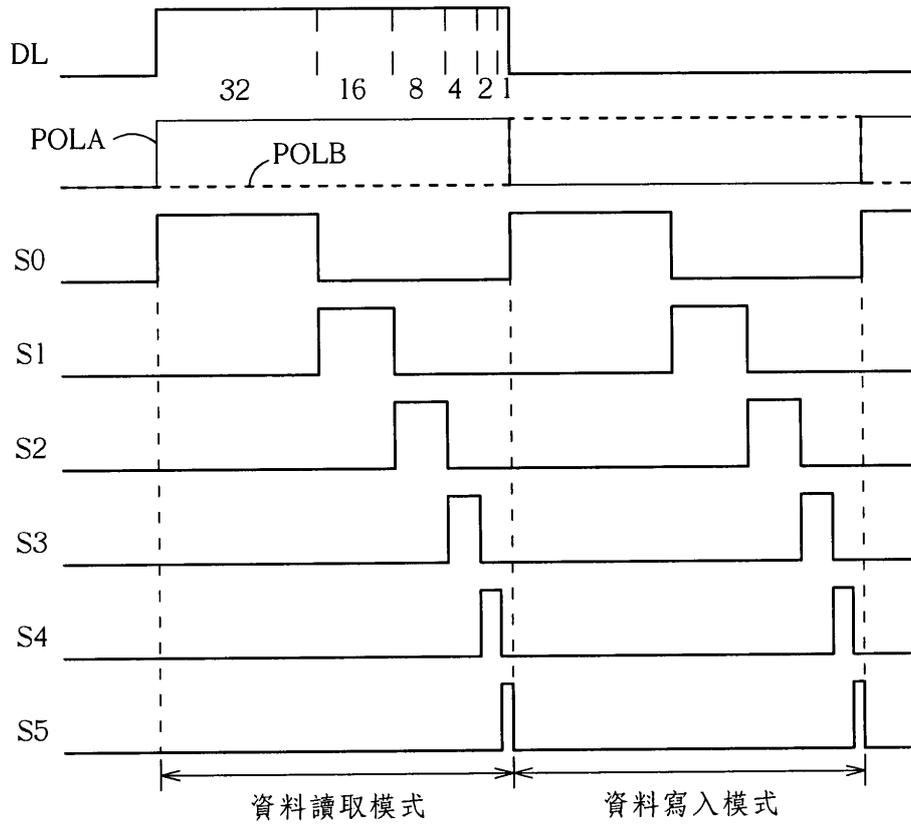
第1圖

(4)



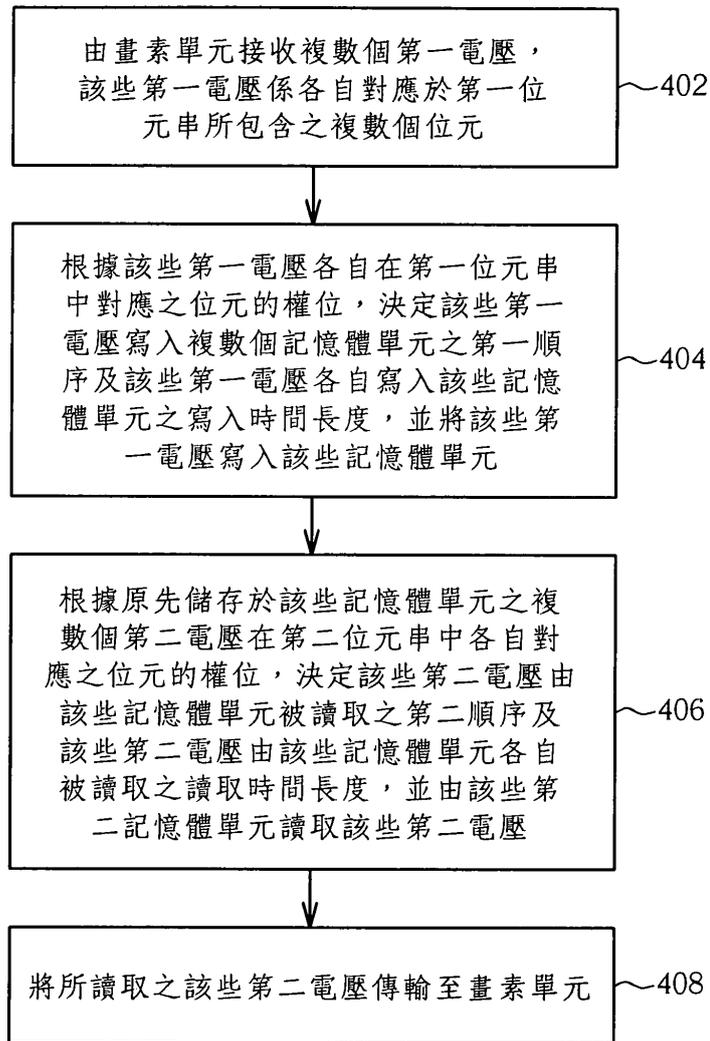
第2圖

(5)



第3圖

(6)



第4圖