

[11]公告編號：419804

[44]中華民國 90 年 (2001) 01 月 21 日

發明

全 11 頁

[51] Int.Cl⁰⁶: H01L23/50

[54]名稱：提昇積體電路鋁線固著度之方法與結構

[21]申請案號：087120488

[22]申請日期：中華民國 87 年 (1998) 12 月 10 日

[72]發明人：

彭政傑

柯明道

王念民

桃園縣觀音鄉大潭村四鄰二十七號

新竹市高峰里寶山路二〇〇巷三號四樓之三

新竹縣竹東鎮勝利路八十九號六樓之一

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種提昇積體電路鋁線(bond wire)固著度之方法，該方法至少包含下列步驟：

形成一複合層結構，用以作為一多重內連線之一部分，該複合層結構係由至少一層導電層與至少一層介電層交互層疊所組成，其中該複合層結構之最上層導電層具有一規則或不規則之佈局圖案，用以增加上表面的粗糙程度；

形成一鋁墊導電層於該複合層結構之上，以作為一鋁墊區域；

形成一保護層(passivation layer)於該鋁墊電層上；

形成鋁墊窗(bond pad window)於該保護層中，以曝露出該鋁墊導電層；及

形成鋁線於該鋁墊窗中。

2.如申請專利範圍第1項之方法，在形成上述複合層結構之前，更包含下列步驟：

形成一內部電路於一基板上；

形成一絕緣層於該內部電路上；

形成接觸窗(contact hole)於該絕緣層中；及

5. 形成插塞(plug)於該接觸窗當中，並與該內部電路形成耦合。

3.如申請專利範圍第1項之方法，其中上述之介電層更包含複數個介層窗(via)以及複數個介層窗插塞(via plug)。

10. 4.如申請專利範圍第1項之方法，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成之族群之一或任意之組合。

15. 5.如申請專利範圍第1項之方法，其中上述之不規則的佈局圖案係選自：一多邊形圖案、以及一包含數種不同尺寸方格之圖案所組成之族群之一或任意

之組合。

- 6.如申請專利範圍第1項之方法，其中上述之複合層結構中的導電層以及上述之鐳墊導電層為金屬。
- 7.如申請專利範圍第6項之方法，其中所述之金屬係為鋁-矽-銅或鋁-銅。
- 8.一種提昇矽體電路鐳線(bond wire)固著度之方法，該方法至少包含下列步驟：
形成一內部電路於一基板上；
形成一絕緣層於該內部電路上；
形成接觸窗(contact hole)於該絕緣層中；
形成插塞(plug)於該接觸窗當中，並與該內部電路形成耦合；
形成一導電層於該絕緣層之上，且該導電層具有一規則不規則之佈局圖案，用以增加固著度；
形成一介電層於該導電層之上，作為隔離之用；
形成一鐳墊導電層於該介電層之上，以作為一鐳墊區域；
形成一保護層(passivation layer)於該鐳墊導電層上；
形成鐳墊窗(bond pad window)於該保護層中，以曝露出該鐳墊導電層；及
形成鐳線於該鐳墊窗中，並耦合至一外部電路。
- 9.如申請專利範圍第8項之方法，其中上述之介電層更包含介層窗(via)以及介層窗插塞(via plug)。
- 10.如申請專利範圍第8項之方法，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成的族群之一或任意之組合。
- 11.如申請專利範圍第8項之方法，其中上述之不規則的佈局圖案係選自：一

多邊形圖案、以及一包含數種不同尺寸方格之圖案所組成的族群之一或任意之組合。

- 12.如申請專利範圍第8項之方法，其中上述之導電層為金屬。
- 13.如申請專利範圍第12項之方法，其中所述之金屬，係為鋁-矽-銅或鋁-銅。
- 14.一種提昇矽體電路鐳線(bond wire)固著度之方法，該方法至少包含下列步驟：
形成一內部電路於一基板上；
形成一絕緣層於該內部電路上；
形成接觸窗(contact hole)於該絕緣層中；
形成插塞(plug)於該接觸窗當中，並與該內部電路形成耦合；
形成一導電層於該絕緣層上；
利用一光罩轉移圖案，使該導電層具有規則或不規則之佈局圖案，用以增加固著度；
形成一介電層於該圖案化後之導電層上，以作為隔離之用；
形成一鐳墊導電層於該介電層之上，以作為一鐳墊區域；
形成一保護層(passivation layer)於該鐳墊導電層上；
形成鐳墊窗(bond pad window)於該保護層中，以曝露出該鐳墊導電層；及
形成鐳線於該鐳墊窗中，並耦合至一外部電路。
- 15.如申請專利範圍第14項之方法，其中上述之介電層更包含介層窗(via)以及介層窗插塞(via plug)。
- 16.如申請專利範圍第14項之方法，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成的族群之一或任意之組合。

- 17.如申請專利範圍第14項之方法，其中上述之不規則的佈局圖案係選自：一多邊形圖案、以及一包含數種不同尺寸方格之圖案所組成之族群之一或任意之組合。
- 18.如申請專利範圍第14項之方法，其中上述之導電層為金屬。
- 19.如申請專利範圍第18項之方法，其中所述之金屬係為鋁-矽-銅或鋁-銅。
- 20.一種提昇積體電路鋁線(bond wire)固著度之方法，該方法至少包含下列步驟：
 - (a)形成一內部電路於一基板上，該內部電路具有數個元件；
 - (b)形成一絕緣層於該內部電路上；
 - (c)形成接觸窗(contact hole)於該絕緣層中；
 - (d)形成插塞(plug)於該接觸窗當中，並與該內部電路形成耦合；
 - (e)形成一導電層於該絕緣層上，並定義出導電層圖案，用以使該內部電路耦合於；
 - (f)形成一介電層於該導電層上；
 - (g)重複步驟(e)與(f)數次，以形成複數層導電層與複數層介電層交互層疊之複合層結構，以作為一多重內連線結構之一部份，且該複合層結構的最外層導電層具有一規則或不規則的佈局圖案，用以增加其表面的粗糙程度；
 - (h)形成一鋁墊導電層於該步驟(g)之複合層結構的最外層介電層之上，以作為一鋁墊區域；
 - (i)形成一保護層(passivation layer)於該鋁墊導電層上；
 - (j)形成鋁墊窗(pad window)於該保護層中，以曝露出該鋁墊導電層；及
 - (k)形成鋁線於該鋁墊窗中，用以使該內部電路與一外部電路耦合。
- 21.如申請專利範圍第20項之方法，其中上述之複合層結構之最下層為導電

- 層，最外層為介電層，且上述之複數層介電層中具有介層窗(via)以及介層窗插塞(viaplug)，用以使上述複數層導電層之各層以及上述之內部電路形成電性耦合。
5. 22.如申請專利範圍第20項之方法，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成之族群之一或任意之組合。
10. 23.如申請專利範圍第20項之方法，其中上述之不規則的佈局圖案係選自：一多邊形圖案、以及一包含數種不同尺寸方格之圖案所組成的族群之一或任意之組合。
15. 24.如申請專利範圍第20項之方法，其中上述步驟(e)中的導電層以及上述步驟(h)中的鋁墊導電層為金屬。
20. 25.如申請專利範圍第24項之方法，其中所述之金屬，係為鋁-矽-銅或鋁-銅。
25. 26.一種提昇積體電路鋁線固著度之結構，該結構至少包含：
 - 一基板；
 - 一內部電路，形成於該基板上；
 - 一絕緣層，形成於該內部電路上；
 - 接觸窗(contact hole)，形成於該絕緣層中；
 - 插塞(plug)，形成於該接觸窗中，並與該內部電路形成耦合；
 - 一複合層結構，形成於該絕緣層之上，用以作為一多重內連線之一部分，該複合層結構係由至少一層導電層與至少一層介電層交互層疊所組成，其中該複合層結構之最上層導電層具有一規則或不規則的佈局圖案，用以增加上表面的粗糙程度；
 - 一鋁墊導電層，形成於該複合層結構之上，以作為一鋁墊區域；
- 40.

一保護層(passivation layer)，形成於該鉀墊導電層上；

鉀墊窗口，形成於該保護層中，以曝露出由該鉀墊導電層所構成之鉀墊；

複數條鉀線，形成於該鉀墊窗中，並耦合至一外部電路。

27.如申請專利範圍第26項之提昇積體電路鉀線固著度的結構，其中上述之複合層結構之最下層為導電層，最上層為介電層，且上述之至少一層的介電層中具有介層窗(via)與介層窗插塞(via plug)，用以使該至少一層的導電層以及該內部電路形成電性耦合。

28.如申請專利範圍第26項之提昇積體電路鉀線固著度的結構，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成的族群之一或任意之組合。

29.如申請專利範圍第26項之提昇積體電路鉀線固著度的結構，其中上述之不規則的佈局圖案係選自：一多邊形圖案、以及一包含數種不同尺寸方格之圖案所組成的族群之一或任意之組合。

30.如申請專利範圍第26項之提昇積體電路鉀線固著度的結構，其中上述之複合層結構中的導電層以及該鉀墊導電層為金屬。

31.如申請專利範圍第30項之之提昇積體電路鉀線固著度的結構，其中所述金屬係為鋁-矽-銅或鋁-銅。

32.一種提昇積體電路鉀線固著度之結構，該結構至少包含：

一複合層結構，用以作為一多重內連線的一部分，該複合層結構係由至少一層導電層與至少一層介電層交互層疊所組成，其中該複合層結構之最上

層導電層具有一規則或不規則的佈局圖案，用以增加上表面的粗糙程度；

一鉀墊導電層，形成於該複合層結構之上，以作為一鉀墊區域；

5. 一保護層(passivation layer)，形成於該鉀墊導電層上；

鉀墊窗口，形成於該保護層中，以曝露出由該鉀墊導電層所構成之鉀墊；及

10. 鉀線，形成於該鉀墊窗中，並耦合至一外部電路。

33.如申請專利範圍第32項之提昇積體電路鉀線固著度的結構，其中上述之複合層結構之下方亦包含下列結構：

15. 一基板；

一內部電路，形成於該基板上；

一絕緣層，形成於該內部電路上與上述之複合層結構之下；

20. 接觸窗(contact hole)，形成於該絕緣層中；及

插塞(plug)，形成於該接觸窗中，並與該內部電路形成耦合。

34.如申請專利範圍第32項之提昇積體電路鉀線固著度的結構，其中上述之複合層結構之介電層中具有介層窗(via)與介層窗插塞(via plug)，用以使上述之導電層與上述之內部電路形成電性耦合。

35.如申請專利範圍第32項之提昇積體電路鉀線固著度的結構，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成之族群之一或任意之組合。

36.如申請專利範圍第32項之提昇積體電路鉀線固著度的結構，其中上述之不規則的佈局圖案係選自：一多邊形圖案、以及一包含數種不同尺寸方格之

圖案所組成的族群之一或任意之組合。

37.如申請專利範圍第32項之提昇積體電路鐳線固著度的結構，其中上述之複合層結構中的導電層以及該鐳墊導電層為金屬。

38.如申請專利範圍第32項之之提昇積體電路鐳線固著度的結構，其中所述金屬係為鋁-矽-銅或鋁-銅。

39.一種提昇積體電路鐳線固著度之結構，該結構至少包含：

一導電層，具有一規則或不規則的佈局圖案，用以增加上表面的粗糙程度；

一介電層，形成於該導電層之上，用以隔離之用，並具有複數個介層窗(via)與介層窗插塞(via plug)；

一鐳墊導電層，形成於該介電層之上，以作為一鐳墊區域；

一保護層(passivation layer)，形成於該鐳墊導電層上；

鐳墊窗口，形成於該保護層中，以曝露出由該鐳墊導電層所構成之鐳墊；

鐳線，形成於該鐳墊窗中，並耦合至一外部電路。

40.如申請專利範圍第39項之提昇積體電路鐳線固著度的結構，其中上述之導電層的下方亦包含下列結構：

一基板；

一內部電路，形成於該基板上；

一絕緣層，形成於該內部電路上與上述之導電層之下；

接觸窗(contact hole)，形成於該絕緣層中；及

插塞(plug)，形成於該接觸窗中，並與

該內部電路形成耦合。

41.如申請專利範圍第39項之提昇積體電路鐳線固著度的結構，其中上述之規則的佈局圖案係選自：一複數個方格所構成之矩陣、一複數個圓點所構成之矩陣、一複數個同心環所構成之環形圖案、一十字形溝渠圖案以及一井字形溝渠圖案所組成的族群之一或任意之組合。

42.如申請專利範圍第39項之提昇積體電路鐳線固著度的結構，其中上述之不規則的佈局圖案係選自：一多邊形圖案、以及一包含數種不同尺寸方格之圖案所組成的族群之一或任意之組合。

43.如申請專利範圍第39項之之提昇積體電路鐳線固著度的結構，其中所述金屬係為鋁-矽-銅或鋁-銅。

44.一種提昇積體電路鐳線固著度之方法，該方法至少包含下列步驟：
形成一導電層於一基板上；
利用一光罩轉移圖案，俾使該導電層具有一規則或不規則之佈局圖案，以利後續形成於其上之鐳線的附著。

25. 圖式簡單說明：

第一圖為一習知的鐳墊結構之剖面圖。

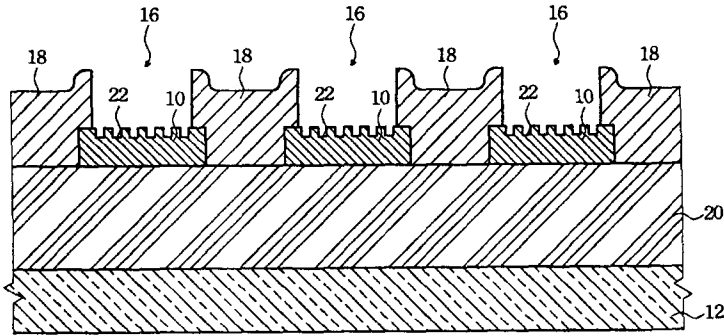
第二圖(a)為本發明之剖面說明。

第二圖(b)為本發明之佈局圖案的其中一種。

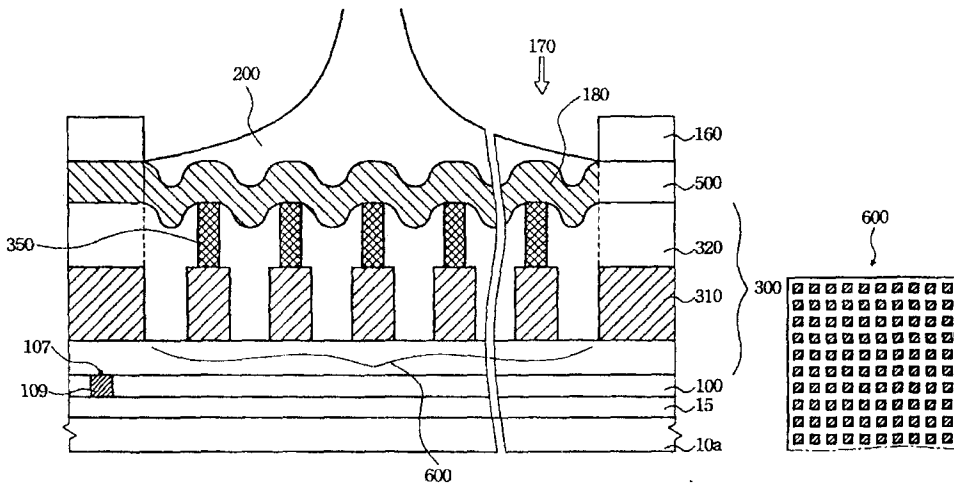
第三圖(a)為第二圖(b)之尺寸放大圖。

第三圖(b)至第三圖(t)為本發明之實施例中的另外19個佈局圖。

(6)



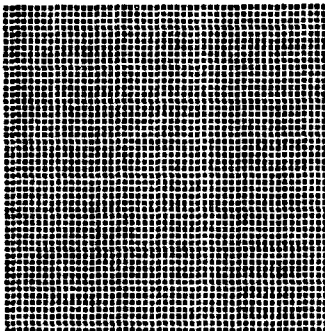
第一圖



(a)

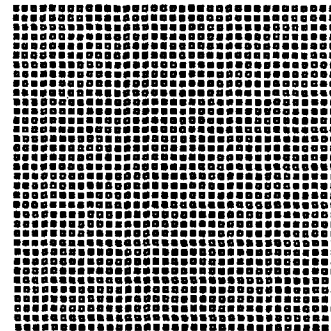
第二圖

(b)



Pad - 02

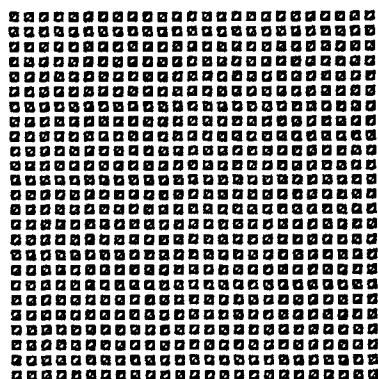
(a)



Pad - 04

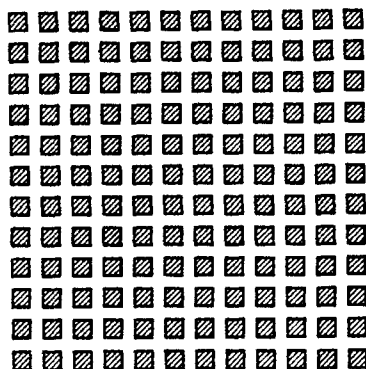
(b)

第三圖



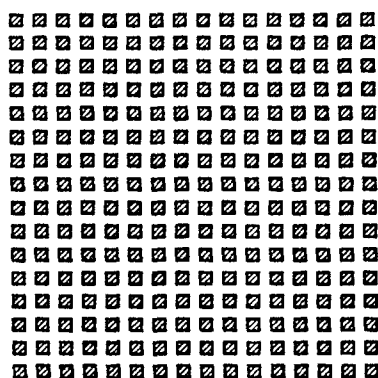
Pad - 06

(c)



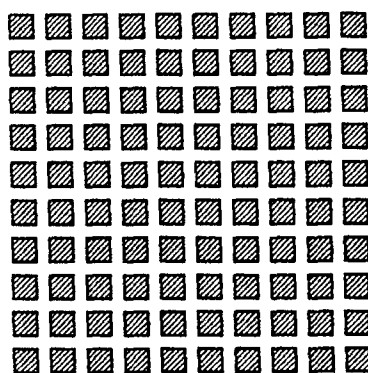
Pad - 10

(e)



Pad - 08

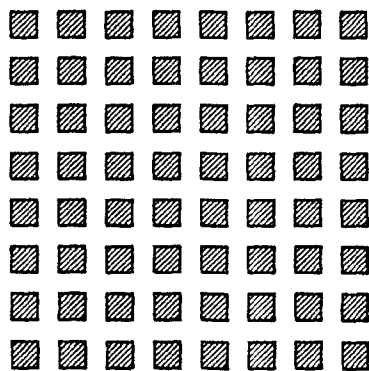
(d)



Pad - 12

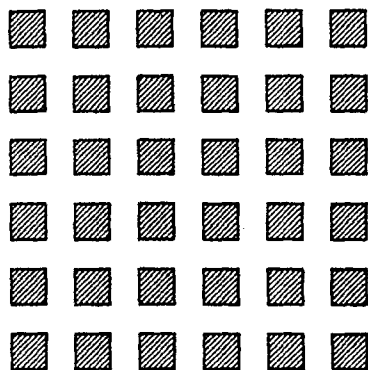
(f)

第三圖



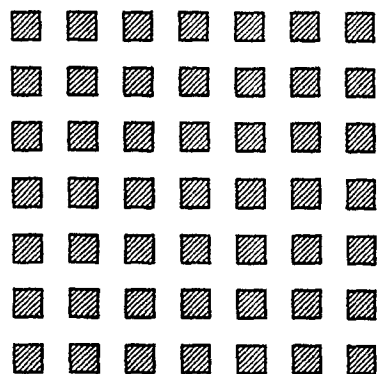
Pad - 14

(g)



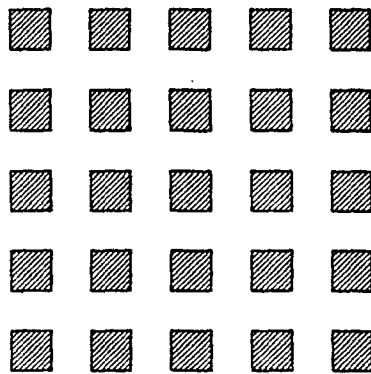
Pad - 18

(i)



Pad - 16

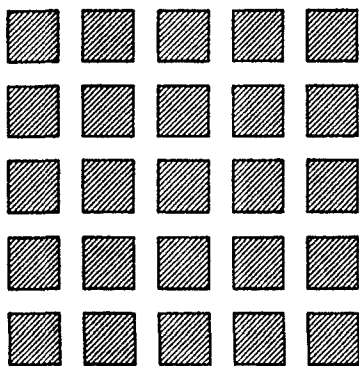
(h)



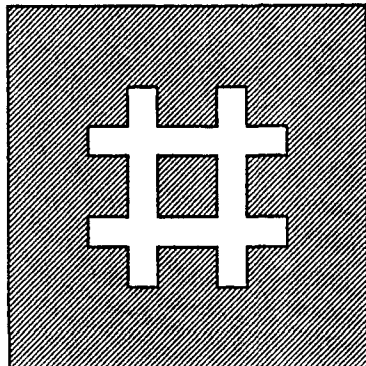
Pad - 20

(j)

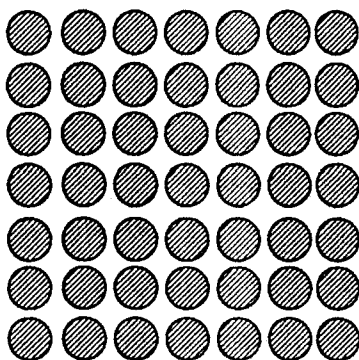
第三圖



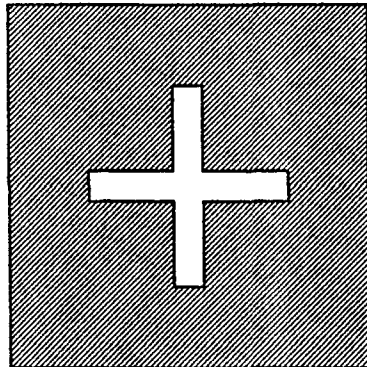
Pad - 22
(k)



Pad - 26
(m)

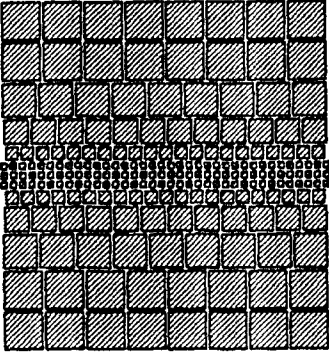


Pad - 24
(l)



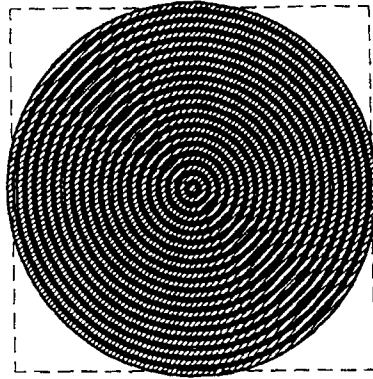
Pad - 28
(n)

第三圖



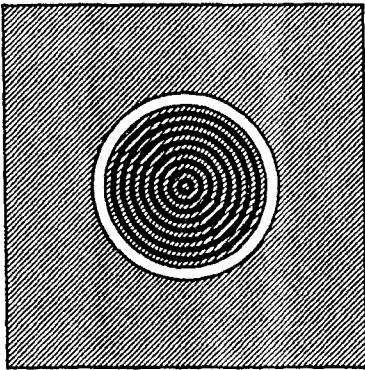
Pad - 30

(o)



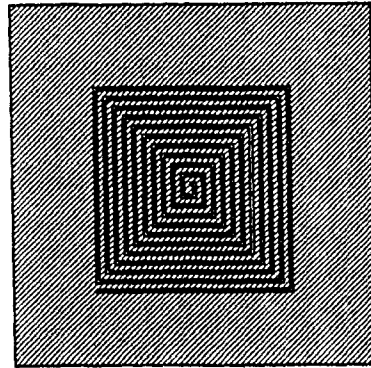
Pad - 34

(q)



Pad - 32

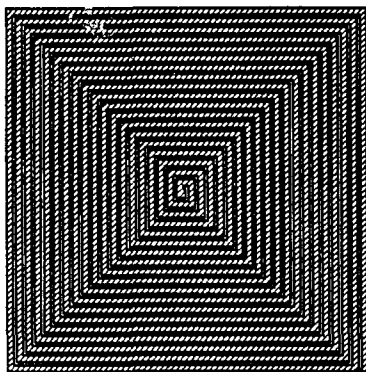
(p)



Pad - 36

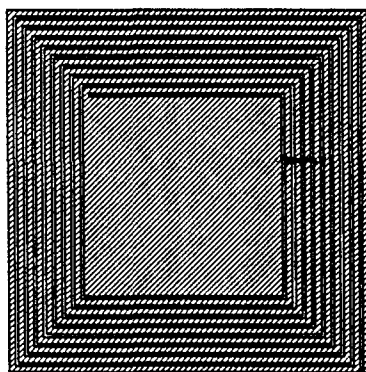
(r)

第三圖



Pad - 38

(s)



Pad - 40

(t)

第三圖

