

【11】證書號數：I420816

【45】公告日：中華民國 102 (2013) 年 12 月 21 日

【51】Int. Cl.：H03K19/0175(2006.01)

發明

全 10 頁

【54】名稱：具有製程與溫度補償之輸出緩衝器

OUTPUT BUFFER WITH PROCESS AND TEMPERATURE
COMPENSATION

【21】申請案號：099117091

【22】申請日：中華民國 99 (2010) 年 05 月 27 日

【11】公開編號：201143287

【43】公開日期：中華民國 100 (2011) 年 12 月 01 日

【72】發明人：王朝欽 (TW) WANG, CHUA CHIN；劉人瑋 (TW) LIU, JEN WEI；郭容齊 (TW) KUO, RON CHI；柯明道 (TW) KER, MING DOU

【71】申請人：國立中山大學

NATIONAL SUN YAT-SEN
UNIVERSITY

高雄市鼓山區蓮海路 70 號

【74】代理人：張啟威

【56】參考文獻：

TW 200600992A

TW 200915040A

US 7634746B1

US 2003/0179036A1

審查人員：潘耿儀

[57]申請專利範圍

1. 一種具有製程與溫度補償之輸出緩衝器，其係包含：一致能訊號端，其係用以產生一致能訊號；一時脈產生電路，其係電性連接該致能訊號端，該時脈產生電路係接收該致能訊號以產生至少一時脈訊號；一 P 型電晶體之臨界電壓偵測電路，其係電性連接該時脈產生電路，該 P 型電晶體之臨界電壓偵測電路係用以接收該時脈訊號以輸出一第一類比訊號；一 N 型電晶體之臨界電壓偵測電路，其係電性連接該時脈產生電路，該 N 型電晶體偵測電路係用以接收該時脈訊號以輸出一第二類比訊號；一第一比較器，其係電性連接該 P 型電晶體之臨界電壓偵測電路，該第一比較器係接收該第一類比訊號以輸出一第一觸發訊號；一第二比較器，其係電性連接該 N 型電晶體之臨界電壓偵測電路，該第二比較器係接收該第二類比訊號以輸出一第二觸發訊號；一第一補償碼產生電路，其係電性連接該第一比較器及該時脈產生電路，該第一補償碼產生電路係接收該時脈訊號及該第一觸發訊號以產生一第一補償碼；一第二補償碼產生電路，其係電性連接該第二比較器及該時脈產生電路，該第二補償碼產生電路係接收該時脈訊號及該第二觸發訊號以產生一第二補償碼；以及一輸出緩衝級，其係電性連接該第一補償碼產生電路及該第二補償碼產生電路，該輸出緩衝級係具有一輸出級，該輸出緩衝級係接收該第一編碼訊號、該第二編碼訊號及該輸出訊號以調變該輸出級所產生之驅動電流，該輸出級係具有一第一電壓輸出端，經調變之驅動電流係可補償該第一電壓輸出端之電壓迴轉率。
2. 如申請專利範圍第 1 項所述之具有製程與溫度補償之輸出緩衝器，其中該第一補償碼產生電路係電性連接該 P 型電晶體之臨界電壓偵測電路，其係發送一第一重置訊號至該 P 型電晶體偵測電路。
3. 如申請專利範圍第 1 項所述之具有製程與溫度補償之輸出緩衝器，其中該第二補償碼產生電路係電性連接該 N 型電晶體之臨界電壓偵測電路，其係發送一第二重置訊號至該 N 型電晶體偵測電路。

4. 如申請專利範圍第 1 項所述之具有製程與溫度補償之輸出緩衝器，其中該時脈產生電路係具有一環形震盪器及一啟動電路，該啟動電路係包含一致能訊號接收端、一反相器、一 AND 閘以及一第十一 NMOS 電晶體，該 AND 閘係電性連接該致能訊號接收端及該反相器，該第十一 NMOS 電晶體係電性連接該 AND 閘，該環形震盪器係電性連接該第十一 NMOS 電晶體。
5. 如申請專利範圍第 1 項所述之具有製程與溫度補償之輸出緩衝器，其中該輸出緩衝級係另具有一預驅動電路、一外部電壓偵測電路及一閘極電壓產生電路，其中該閘極電壓產生電路係具有至少一電壓準位轉換器，該閘極電壓產生電路係電性連接該預驅動電路及該外部電壓偵測電路。
6. 如申請專利範圍第 5 項所述之具有製程與溫度補償之輸出緩衝器，其中該輸出級係電性連接該閘極電壓產生電路、該外部電壓偵測電路及該預驅動電路。
7. 如申請專利範圍第 5 項所述之具有製程與溫度補償之輸出緩衝器，其中該外部電壓偵測電路係包含一第三偏壓產生電路、一第十 PMOS 電晶體、一第十二 NMOS 電晶體、一保護電路及一反相器串聯電路，該第十 PMOS 電晶體係電性連接該第三偏壓產生電路，該保護電路係電性連接該第十 PMOS 電晶體及該第三偏壓產生電路，該第十二 NMOS 電晶體係電性連接該保護電路，該反相器串聯電路係電性連接該保護電路及該第十二 NMOS 電晶體。
8. 如申請專利範圍第 7 項所述之具有製程與溫度補償之輸出緩衝器，其中該保護電路係具有一第十一 PMOS 電晶體及一第十三 NMOS 電晶體，該第十一 PMOS 電晶體係電性連接該第十 PMOS 電晶體及該第三偏壓產生電路，該第十三 NMOS 電晶體係電性連接該第十二 NMOS 電晶體。
9. 如申請專利範圍第 1 項所述之具有製程與溫度補償之輸出緩衝器，其另具有一外部電壓接此端，該外部電壓接收端係電性連接該輸出級。
10. 一種具有製程與溫度補償之 P 型電晶體之臨界電壓偵測電路，係包含：一第一時脈訊號接收端，其係用以接收一時脈訊號；一 CMOS 反相器，其係電性連接該第一時脈訊號接收端；一電容，該電容係電性連接該 CMOS 反相器；一 P 型電晶體之臨界電壓函數產生電路，其係電性連接該電容；以及一電壓輸出端，其係電性連接該 P 型電晶體之臨界電壓函數產生電路，該電壓輸出端係用以產生一關係式為臨界電壓函數之電壓訊號。
11. 如專利範圍第 10 項所述之該具有製程與溫度補償之 P 型電晶體之臨界電壓偵測電路，其中該 CMOS 反相器係具有一第一 PMOS 電晶體及一第一 NMOS 電晶體，該第一 PMOS 電晶體及該第一 NMOS 電晶體係分別具有一閘極端及一汲極端，各該閘極端係電性連接該第一時脈訊號接收端，各該汲極端係電性連接該電容。
12. 如專利範圍第 10 項所述之該具有製程與溫度補償之 P 型電晶體之臨界電壓偵測電路，其另具有一第二時脈訊號接收端，該 P 型電晶體之臨界電壓函數產生電路係具有一第三 PMOS 電晶體、一第四 PMOS 電晶體、一第五 PMOS 電晶體、一第六 PMOS 電晶體、一第七 PMOS 電晶體及一第三 NMOS 電晶體，其中該第四 PMOS 電晶體、該第五 PMOS 電晶體及該第六 PMOS 電晶體係電性連接該第三 PMOS 電晶體，該第五 PMOS 電晶體係電性連接該第六 PMOS 電晶體，該第七 PMOS 電晶體係電性連接該第四 PMOS 電晶體，該第三 NMOS 電晶體係電性連接該第四 PMOS 電晶體及該第五 PMOS 電晶體，該第二時脈訊號接收端係電性連接該第四 PMOS 電晶體及該第三 NMOS 電晶體。
13. 如專利範圍第 12 項所述之該具有製程與溫度補償之 P 型電晶體之臨界電壓偵測電路，該 P 型半導體之臨界電壓函數產生電路另具有一第一重置訊號接收端，其係電性連接該第三 PMOS 電晶體及該第六 PMOS 電晶體。

14. 如專利範圍第 10 項所述之該具有製程與溫度補償之 P 型電晶體之臨界電壓偵測電路，其中該關係式係可為 $V_p = 3n \times V_{thp} - (n-1) \times V_{DD}$ ，其中 V_p 為電壓函數， n 為該時脈訊號之循環次數， V_{thp} 為 PMOS 電晶體之臨界電壓， V_{DD} 為供應電壓。
15. 一種具有製程與溫度補償之 N 型電晶體之臨界電壓偵測電路，係包含：一第三時脈訊號接收端，其係用以接收一時脈訊號；一 CMOS 反相器，其係電性連接該第三時脈訊號接收端；一電容，其係電性連接該 CMOS 反相器；一 N 型電晶體之臨界電壓函數產生電路，其係電性連接該電容；以及一電壓輸出端，其係電性連接該 N 型電晶體之臨界電壓函數產生電路，該電壓輸出端係用以產生一關係式為臨界電壓函數之電壓訊號。
16. 如專利範圍第 15 項所述之該具有製程與溫度補償之 N 型電晶體之臨界電壓偵測電路，其中該 CMOS 反相器係具有一第二 PMOS 電晶體及一第二 NMOS 電晶體，該第二 PMOS 電晶體及該第二 NMOS 電晶體係分別具有一閘極端及一汲極端，各該閘極端係電性連接該第三時脈訊號接收端，各該汲極端係電性連接該電容。
17. 如專利範圍第 15 項所述之該具有製程與溫度補償之 N 型電晶體之臨界電壓偵測電路，其另具有一第四時脈訊號接收端，該 N 型電晶體之臨界電壓函數產生電路係具有一第四 NMOS 電晶體、一第五 NMOS 電晶體、一第六 NMOS 電晶體，一第七 NMOS 電晶體、一第八 NMOS 電晶體、一第九 NMOS 電晶體及一第九 PMOS 電晶體，該第四 NMOS 電晶體係電性連接該第五 NMOS 電晶體，該第六 NMOS 電晶體及該第九 PMOS 電晶體係電性連接該第五 NMOS 電晶體，該第七 NMOS 電晶體及該第八 NMOS 電晶體係電性連接該第六 NMOS 電晶體，該第九 NMOS 電晶體係電性連接該第七 NMOS 電晶體及該第八 NMOS 電晶體，該第八 NMOS 電晶體係電性連接該第九 PMOS 電晶體，該第四時脈訊號接收端係電性連接該第五 NMOS 電晶體及該第九 PMOS 電晶體。
18. 如專利範圍第 17 項所述之該具有製程與溫度補償之 N 型電晶體之臨界電壓偵測電路，該 N 型半導體之臨界電壓函數產生電路係另具有一第二重置訊號接收端，其係電性連接該第七 NMOS 電晶體及該第九 NMOS 電晶體。
19. 如專利範圍第 15 項所述之該具有製程與溫度補償之 N 型電晶體之臨界電壓偵測電路，其中該關係式係可為 $V_n = (V_{DD} - 3 \times V_{thn}) \times n$ ，其中 V_n 為電壓函數， n 為該時脈訊號之循環次數， V_{thn} 為 NMOS 電晶體之臨界電壓， V_{DD} 為供應電壓。

圖式簡單說明

第 1 圖：依據本發明之第一較佳實施例，一種具有製程及溫度補償之輸出緩衝器之方塊圖。

第 2 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之時脈產生電路之電路圖。

第 3 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之 P 型電晶體之臨界電壓偵測電路之電路圖。

第 4 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之 N 型電晶體之臨界電壓偵測電路之電路圖。

第 5 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之第一比較器之電路圖。

第 6 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之第二比較器之電路圖。

第 7 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之第一補償碼產生電路之電路圖。

(4)

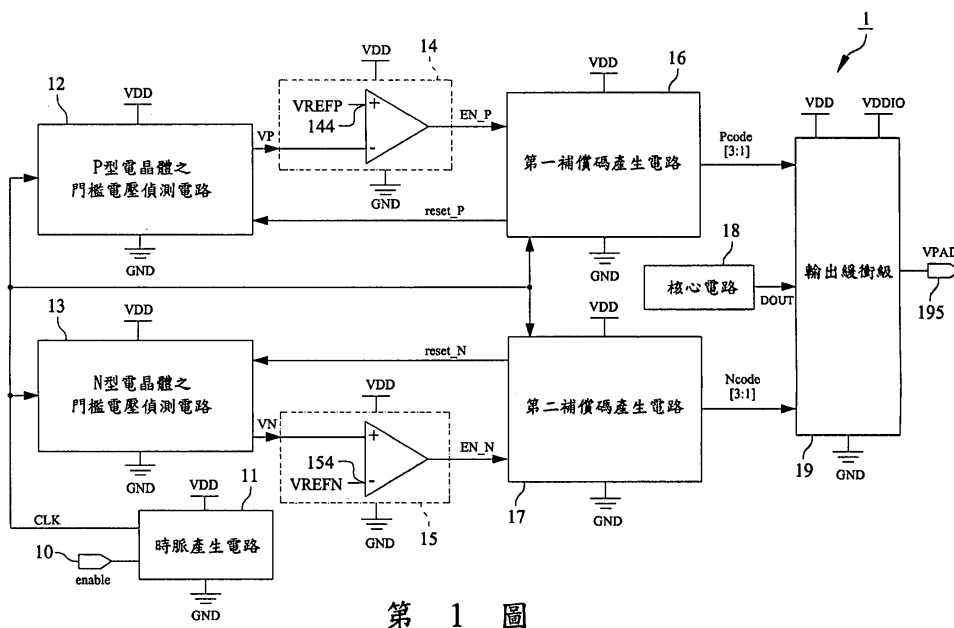
第 8 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之第二補償碼產生電路之電路圖。

第 9 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之輸出緩衝級之電路圖。

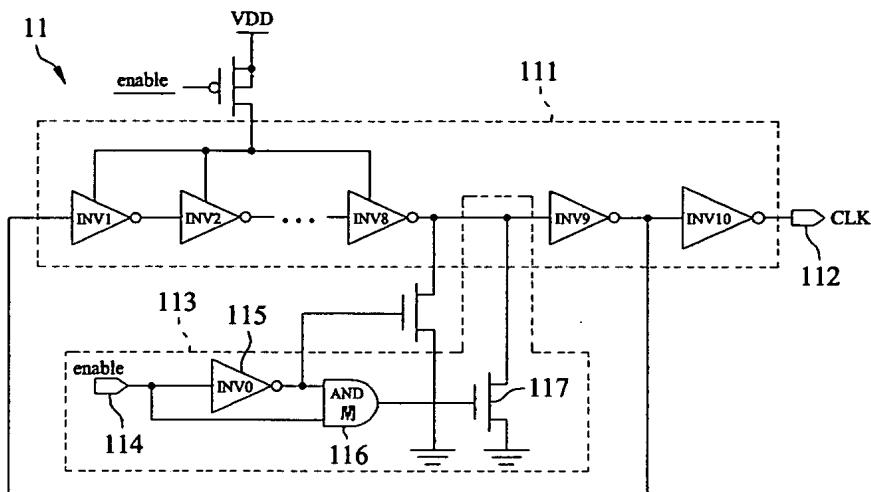
第 10 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之輸出緩衝級之外部電壓偵測電路之電路圖。

第 11 圖：依據本發明之第一較佳實施例，該具有製程及溫度補償之輸出緩衝器之輸出緩衝級之電壓準位轉換器之電路圖。

第 12 圖：習知具有製程及溫度補償之輸出緩衝器之方塊圖。

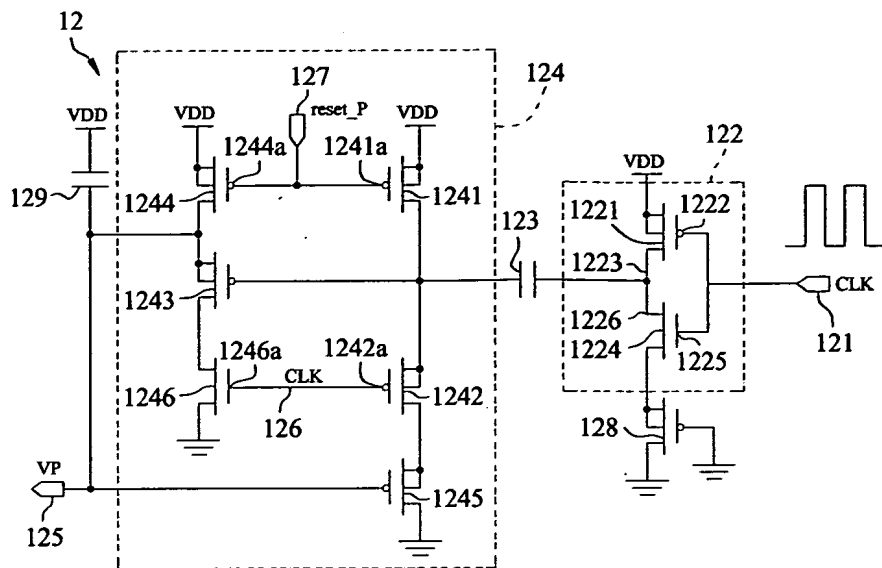


第 1 圖

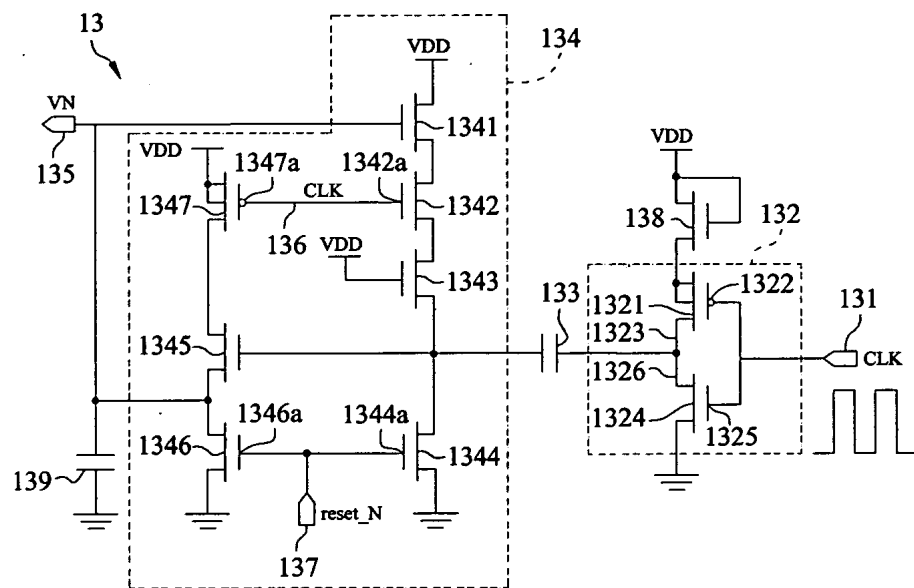


第 2 圖

(5)

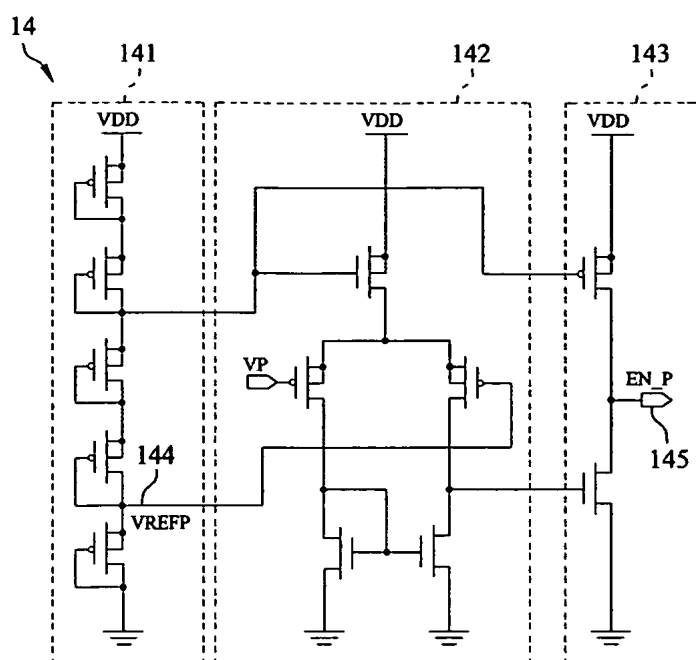


第 3 圖

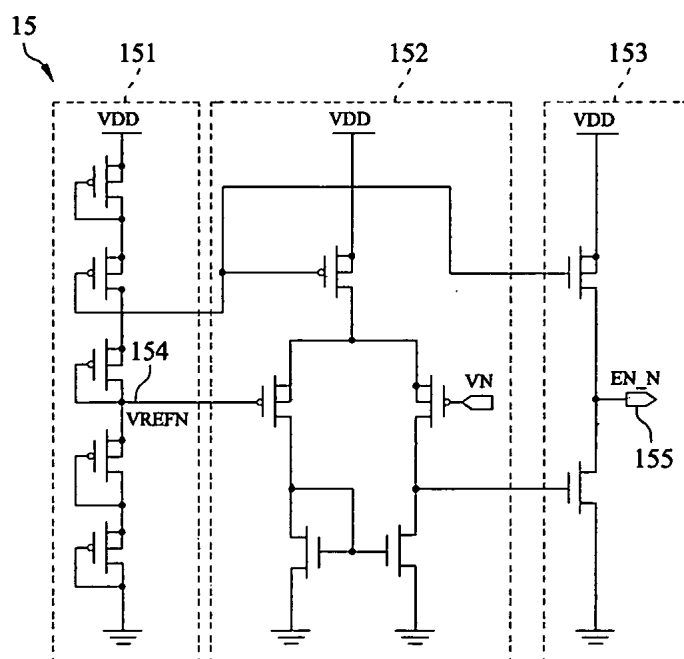


第 4 圖

(6)

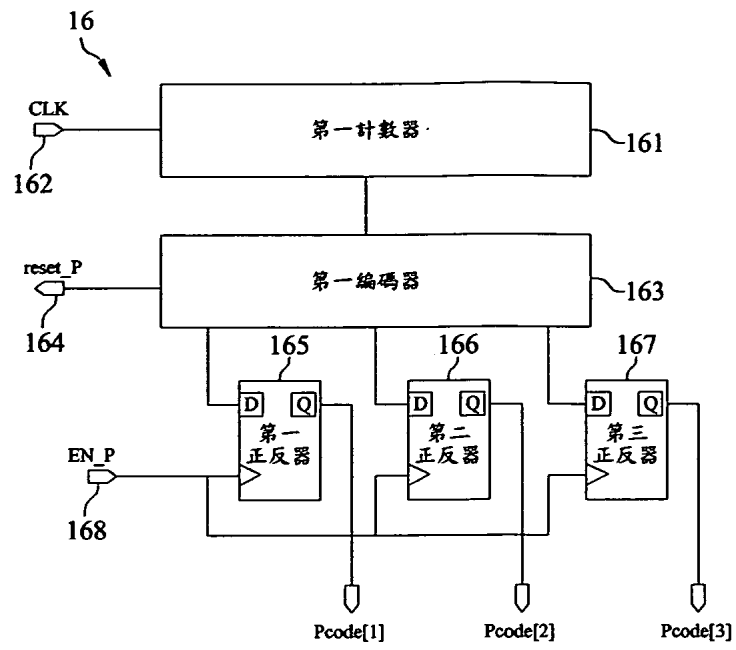


第 5 圖

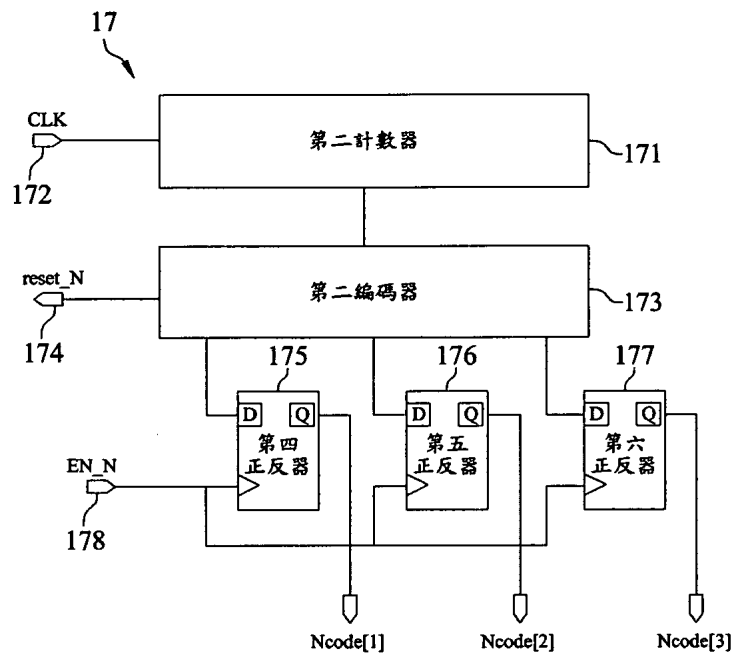


第 6 圖

(7)

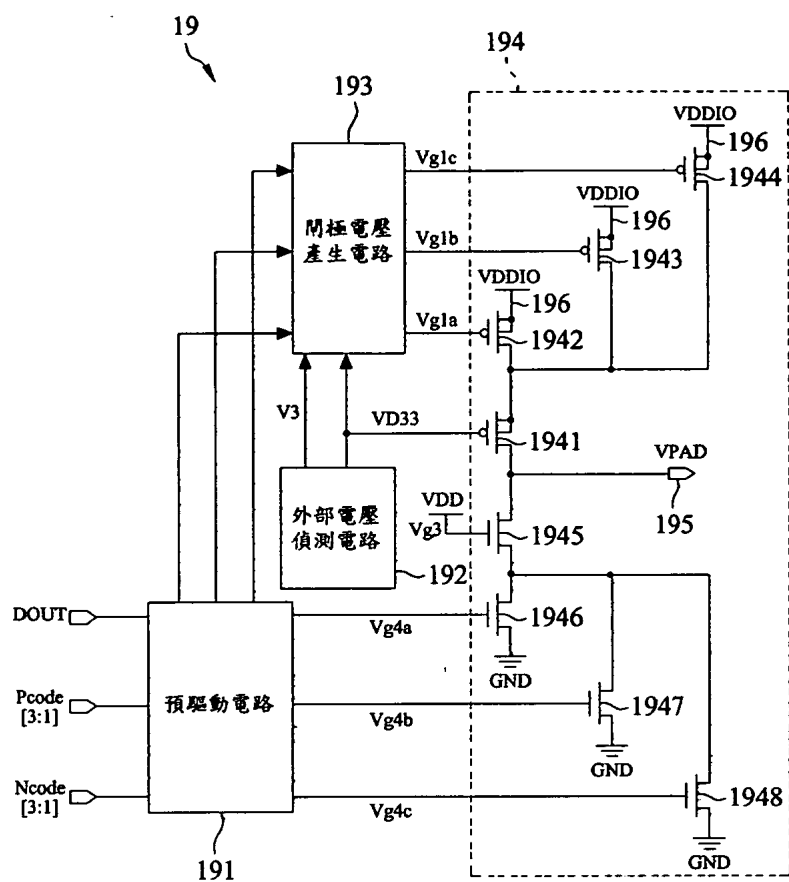


第 7 圖



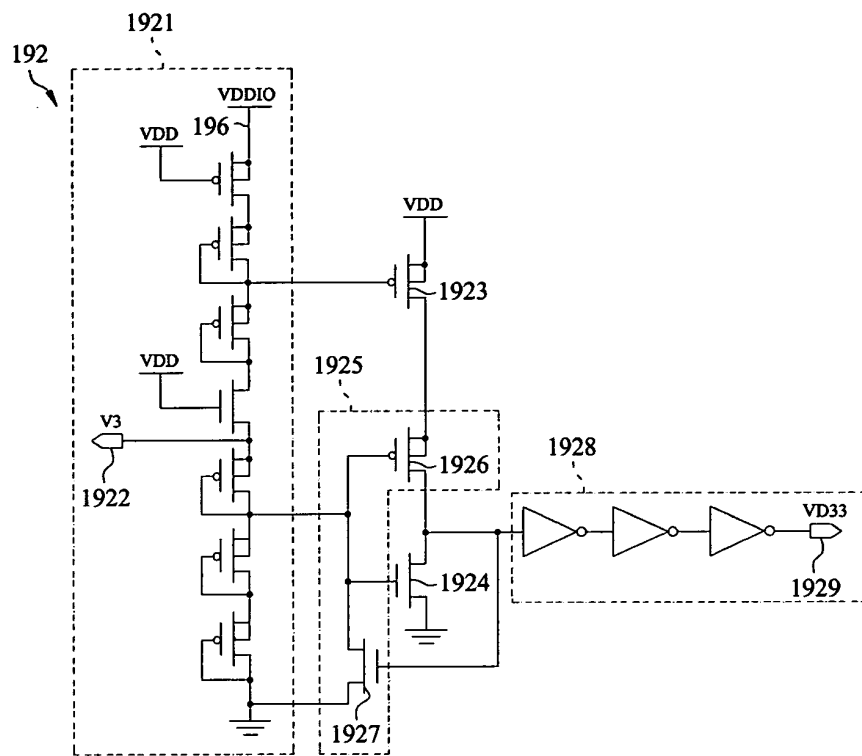
第 8 圖

(8)

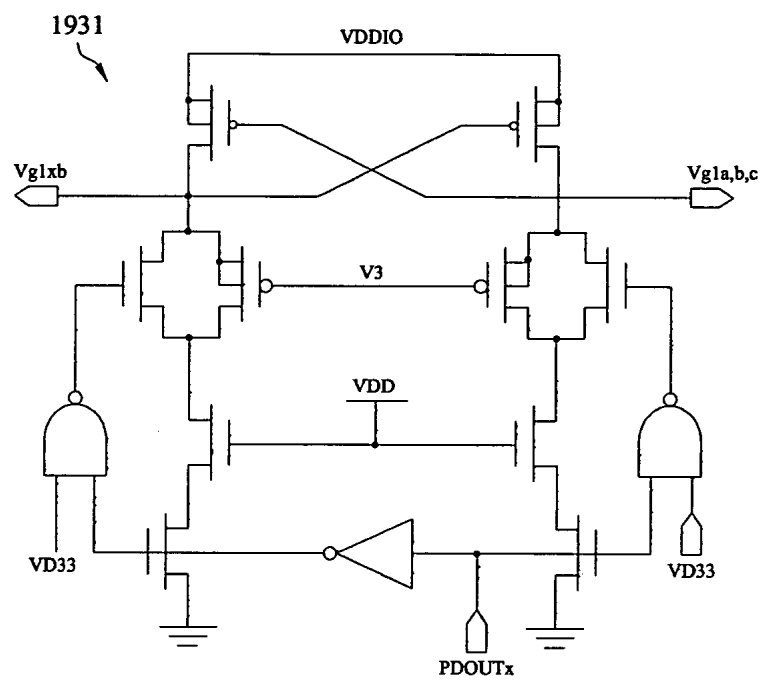


第 9 圖

(9)

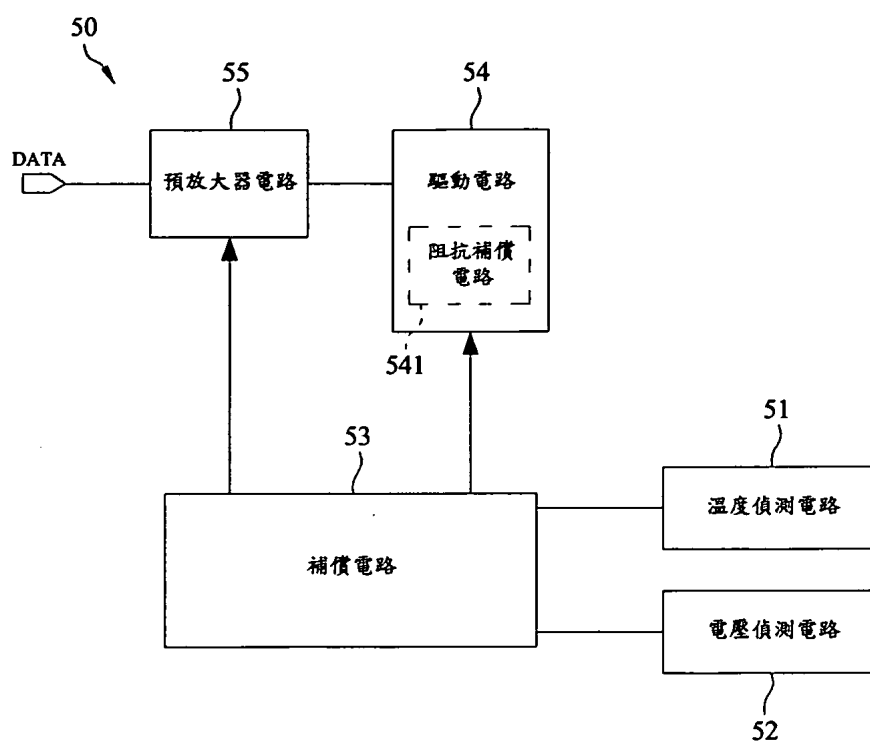


第 10 圖



第 11 圖

(10)



第 12 圖