

中華民國專利公報 [19] [12]

[11]公告編號：425673

[44]中華民國 90 年 (2001) 03 月 11 日
發明

全 4 頁

[51] Int.Cl 06: H01L21/8238
H01L23/60

[54]名稱：無矽化層罩幕之靜電放電保護裝置的製程

[21]申請案號：088117257

[22]申請日期：中華民國 88 年 (1999) 10 月 06 日

[72]發明人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

[71]申請人：

世界先進積體電路股份有限公司

新竹科學工業園區園區三路一二三號

[74]代理人：蔡坤財 先生

1

2

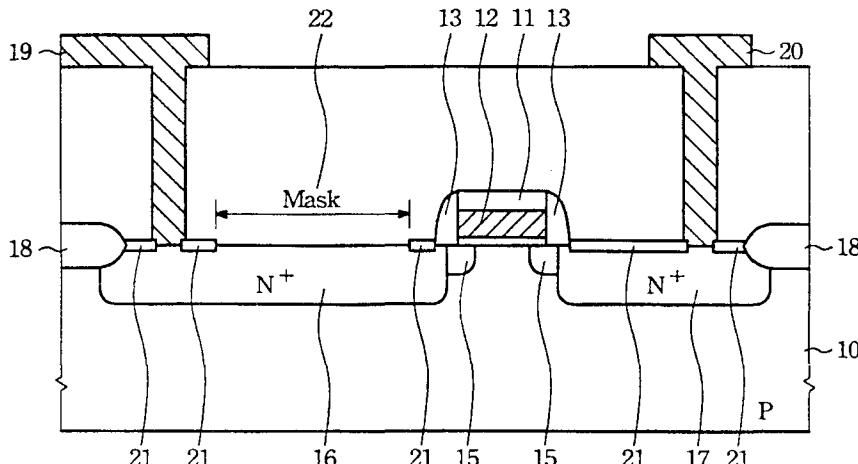
[57]申請專利範圍：

1. 一種具有靜電放電保護的電晶體，該電晶體至少包含：
 - a) 第一閘極，位於一 N 通道電晶體之源極與汲極之間；
 - b) 第二閘極，位於該第一閘極旁，且在 N 井上方，並分隔該汲極與該電晶體；
 - c) 該汲極之第一部分，位於該第一閘極與該第二閘極之間；
 - d) 該汲極之第二部分，位於該第二閘極與包圍該電晶體之場氧化層邊緣之間，並且包含該電晶體之汲極接點；
 - e) 該汲極之該第一部分與該第二部分延伸至該 N 井；
 - f) 該第二閘極下方之通道，不具導性，因而驅使汲極電流經由較長之路徑流至該 N 井，及
 - g) 該較長路徑提供額外之半導體容料材料，以耗散由靜電放電所產生的熱。

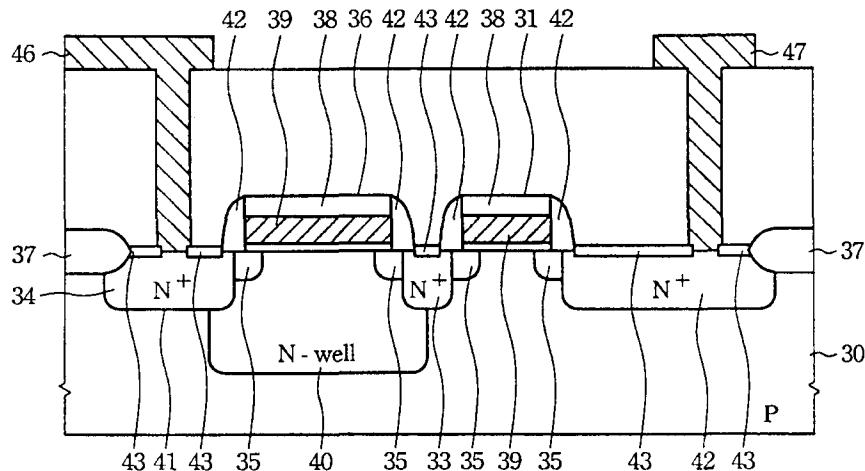
2. 如申請專利範圍第 1 項之電晶體，其中上述之電晶體之半導體表面係經過矽化處理。
3. 如申請專利範圍第 1 項之電晶體，其中上述之第二閘極提供阻止該汲極電流直接流經該第一閘極下方通道與該汲極接點之間，因而使該汲極電流繞道至較遠之路徑而經過較大的半導體容積材料。
4. 如申請專利範圍第 1 項之電晶體，其中上述之第二閘極延展該汲極之整個寬度，並藉由場氧化層包圍其端點。
5. 如申請專利範圍第 1 項之電晶體，其中上述之電晶體可為 P 通道電晶體。
15. 6. 一製造靜電放電係設裝置的方法，至少包含：
 - a) 將 N 井植入 -N 通道電晶體之汲極區域，且該 N 通道電晶體在 P 型半導體上；
 - b) 形成一薄氧化層於該基材之表面；

- c)形成第一閘極於該電晶體之源極與波極間，並形成第二閘極於該N井上，其中每一閘極皆有絕緣體在多晶矽電極上；
- d)將輕摻雜汲極離子植入，並利用該第一閘極與該第二閘極以及場氧化層為罩幕；
- e)形成側壁間隙壁於該第一閘極與該第二閘極之側邊，由該基材之表面延伸至該絕緣體；
- f)將重摻雜源極與波極離子植入，並利用該第一閘極與該第二閘極以及場氧化層為罩幕；
- g)將金屬沉料在該基材之表面，及
- h)形成矽化層於半導體表面。
- 7.如申請專利範圍第6項之方法，其中離子植入輕摻雜汲極並非處理過程之一部分。
- 8.如申請專利範圍第6項之方法，其中製造靜電放電保護裝置可在N型半導體基材之P通道電晶體上實施。
- 9.如申請專利範圍第6項之方法，其中在上述之電晶體之汲極區域內且在該N井上形成該第二閘極，以產生靜電放

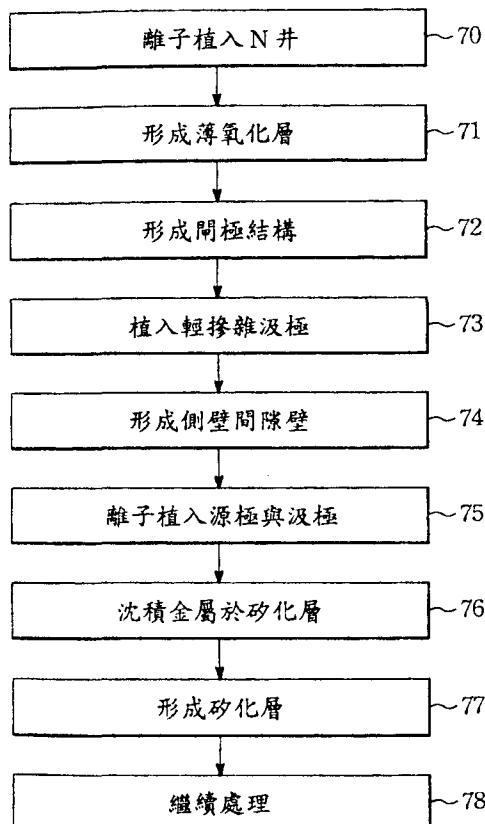
- 電保護裝置。
- 10.如申請專利範圍第9項之方法，其中在上述之電晶體之汲極區域內且在該N井上形成之該第二閘極，係藉由隔離該第一閘極與波極接點來完成。
- 11.如申請專利範圍第9項之方法，其中形成上述之第二閘極延展該汲極之整個寬度，且該汲極被該場氧化層包圍。
10. 圖式簡單說明：
- 第一圖係先前技術一電晶體之剖面圖，其標示出提供ESD保護之電晶體矽化表面的開口；
- 第二圖係一主電晶體之剖面圖，其標示出第二閘極覆蓋部份主電晶體之汲極以阻止汲極電流，從而提供ESD保護；
15. 第三圖係先前技術所採方法之流程圖，其說明在ESD保護裝置之汲極的矽化表面產生開口的方法；
20. 第四圖係一方法之流程圖，其說明在主電晶體汲極放置第二閘極以提供ESD保護裝置的方法。



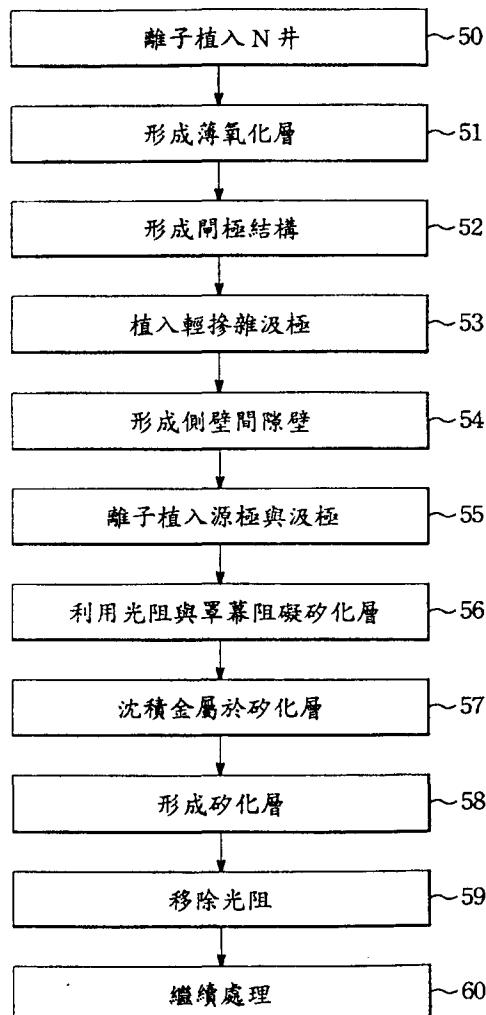
第一圖



第二圖



第四圖



第三圖