

[11]公告編號：427064

[44]中華民國 90 年 (2001) 03 月 21 日

發明

全 4 頁

[51] Int.Cl 06: H03K19/00

[54]名稱：具有自動重置功能之暫態干擾偵測電路

[21]申請案號：087108355

[22]申請日期：中華民國 87 年 (1998) 05 月 28 日

[72]發明人：

宋尤昱

柯明道

新竹市東區仙水里金山一三七號

新竹市寶山路二〇〇巷三號四樓之三

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1. 一種具有自動重置功能之暫態干擾偵測電路，係包括：

複數個具有一偵測端、一控制端及一狀態輸出端的偵測單元，在正常狀態下，該狀態輸出端係保持於一固定電位，一旦電源端(VDD)與接地端(GND)有雜訊發生時，則能立即將該狀態輸出端的電位改變；

一電位參考單元，係與該偵測單元之偵測端連接，用以使雜訊容易進入該偵測單元的內部；以及

一具有決策輸出端的狀態判讀單元，係與該偵測單元之狀態輸出端連接，其中該狀態判讀單元之決策輸出端係可產生一重置訊號。

2. 如申請專利範圍第 1 項所述具有自動重置功能之暫態干擾偵測電路，其中該電位參考單元係為一電容者。

3. 如申請專利範圍第 1 項所述具有自動重置功能之暫態干擾偵測電路，其中與

該偵測單元之偵測端連接之電位參考單元係為連接有電源端者。

4. 如申請專利範圍第 1 項所述具有自動重置功能之暫態干擾偵測電路，其中與該偵測單元之偵測端接之電位參考單元係為連接有接地端者。

5. 如申請專利範圍第 1 項所述具有自動重置功能之暫態干擾偵測電路，其中該偵測單元之控制端可為用以在系統重置時，提供該偵測單元之輸出值為“Logic Low”者。

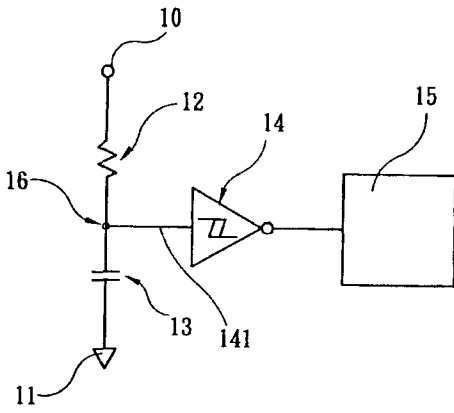
6. 如申請專利範圍第 1 項所述具有自動重置功能之暫態干擾偵測電路，其中該偵測單元之控制端可為用以在系統初始化時，提供該偵測單元之輸出值為“Logic High”者。

7. 如申請專利範圍第 1 項所述具有自動重置功能之暫態干擾偵測電路，其中該偵測單元更包含有：

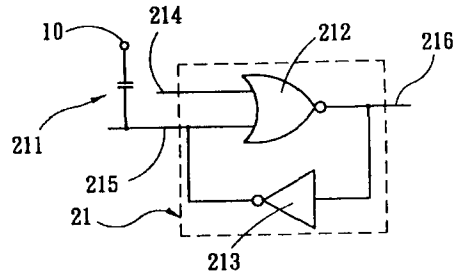
一反或閘(NOR Gate)；以及

- 一與該反或閘並聯之反閘(Not Gate)，其中該反閘係用以在系統無雜訊干擾的情狀下，維持該偵測單元之狀態輸出端之輸出於固定的電位。
- 8.如申請專利範圍第1項所述具有自動重置功能之暫態干擾偵測電路，其中該偵測單元更包含有：
- 一反及閘(NAND Gate)；以及
- 一與該反及閘並聯之反閘，其中該反閘係用以在系統無雜訊干擾的情狀下，維持該偵測單元之狀態輸出端之輸出於固定的電位。
- 9.一種偵測電路，用以偵測系統中產生之暫態干擾訊號，係包括：
- 一具有一第一輸入端、一第二輸入端及一狀態輸出端的雜訊感測元件，其中該雜訊感測元件之第一輸入端係連接有一電位參考單元，用以在雜訊發生時令該雜訊感測元件易受干擾，使其狀態輸出端之值改變；以及
- 一迴授元件，係跨接於該雜訊感測元件之第二輸入端與第二輸出端，用以在系統無雜訊干擾的情狀下，維持該雜訊感測元件之第二輸出端於固定的電位。
- 10.如申請專利範圍第9項所述之偵測電路，其中該電位參考單元係為一電容者。
- 11.如申請專利範圍第9項所述之偵測電路，其中該該雜訊感測元件之第二輸入端可為用以在系統重置時，提供該雜訊感測元件之輸出端產生” Logic Low”之值者。
- 12.如申請專利範圍第9項所述之偵測電路，其中該該雜訊感測元件之第二輸入端可為用以在系統初始化時，提供該雜訊感測元件之輸出端產生” Logic

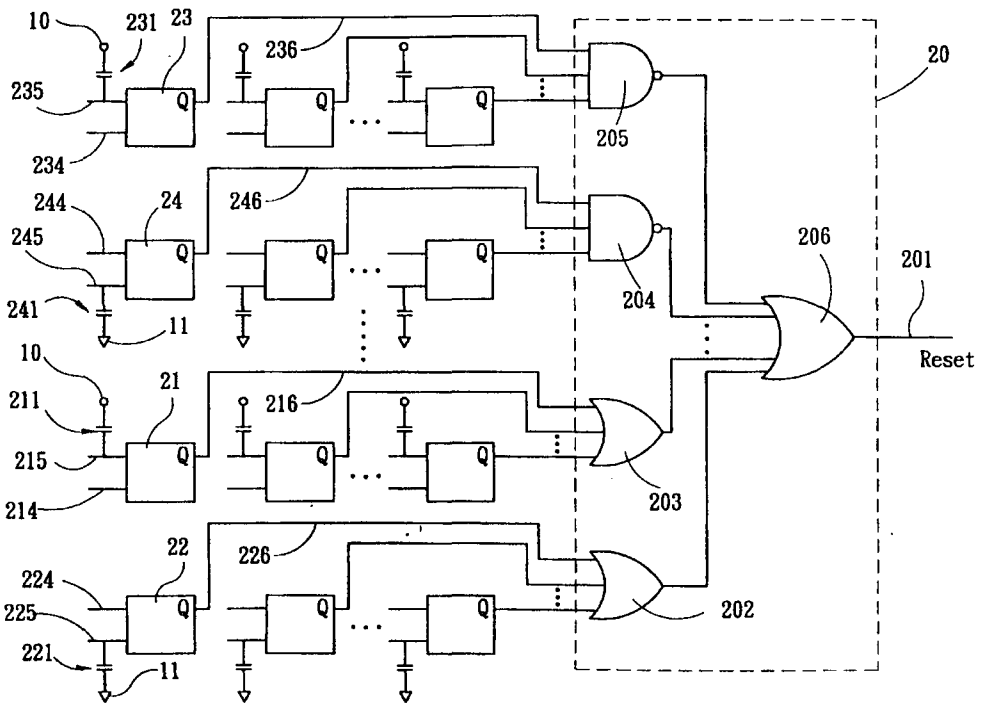
- High”之值者。
- 13.如申請專利範圍第9項所述之偵測電路，其中與該雜訊感測元件之第一輸入端接連之電位參考單元係為連接有電源端者。
- 14.如申請專利範圍第9項所述之偵測電路，其中與該雜訊感測元件之第一輸入端接連之電位參考單元係為連接有接地端者。
- 15.如申請專利範圍第9項所述之偵測電路，其中該該雜訊感測元件可為一反或閘。
- 16.如申請專利範圍第9項所述之偵測電路，其中該該雜訊感測元件可為一或閘與一反閘串接者。
- 17.如申請專利範圍第9項所述之偵測電路，其中該該雜訊感測元件可為一反及閘。
- 18.如申請專利範圍第9項所述之偵測電路，其中該該雜訊感測元件可為一及閘與反閘串接者。
- 19.如申請專利範圍第9項所述之偵測電路，其中該該迴授元件可為一反閘。
- 圖式簡單說明：
- 第一圖係為習知重置電路之電路示意圖。
- 第二圖係為本發明具有自動重置功能之暫態干擾偵測電路方塊示意圖。
- 第三圖-1係為本發明具有重置功能之第一偵測單元電路示意圖。
- 第三圖-2係為本發明具有重置功能之第二偵測單元電路示意圖。
- 第三圖-3係為本發明具有設定功能之第三偵測單元電路示意圖。
- 第三圖-4係為本發明具有設定功能之第四偵測單元電路示意圖。



第一圖

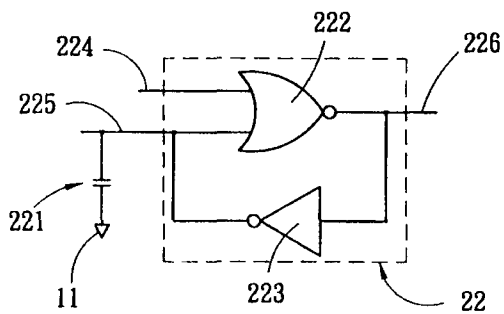


第三圖 -1

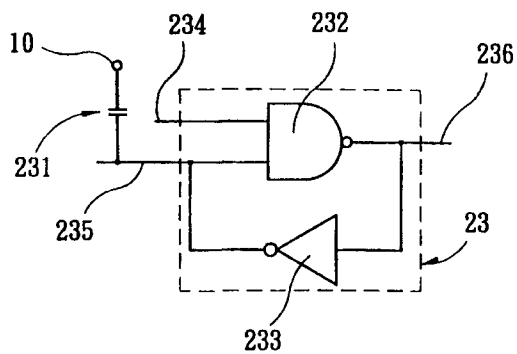


第二圖

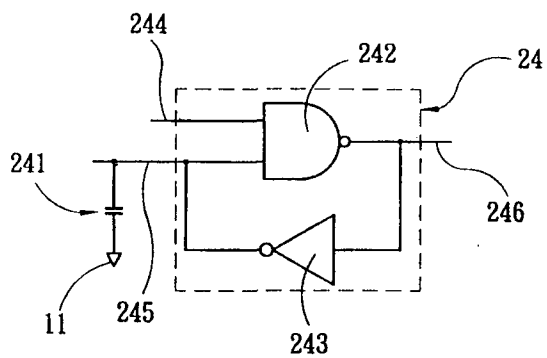
(4)



第三圖 -2



第三圖 -3



第三圖 -4