

【11】 證書號數：I429337

【45】 公告日：中華民國 103 (2014) 年 03 月 01 日

【51】 Int. Cl. : H05F3/02 (2006.01) H01L29/74 (2006.01)

發明

全 9 頁

【54】 名 稱：具有多指矽控整流器之靜電保護電路

ESD PROTECTION CIRCUITRY WITH MULTI-FINGER SCRS

【21】 申請案號：097143854

【22】 申請日：中華民國 97 (2008) 年 11 月 13 日

【11】 公開編號：201019799

【43】 公開日期：中華民國 99 (2010) 年 05 月 16 日

【72】 發明人：柯明道 (TW) KER, MING DOU；林群祐 (TW) LIN, CHUN YU；王暢資 (TW) WANG, CHANG TZU

【71】 申請人：聯華電子股份有限公司 UNITED MICROELECTRONICS CORP.

新竹市新竹科學工業園區力行二路 3 號

國立交通大學

NATIONAL CHIAO TUNG

UNIVERSITY

新竹市大學路 1001 號

【74】 代理人：戴俊彥；吳豐任

【56】 參考文獻：

TW 200737488A

US 5880488

US 6583972B2

US 6621126B2

審查人員：皮欣霖

[57]申請專利範圍

1. 一種具有多指(multi-finger)矽控整流器(Silicon-Controlled Rectifier,SCR)之靜電保護(Electrostatic Discharge,ESD)電路，包含：一第一電源；一第二電源；N 個矽控整流器單元，每個矽控整流器單元包含：一第一端點，耦接於該第一電源；一第二端點；以及一觸發端點；(N-1)個二極體，其中一第 n 個二極體係耦接於一第 n 個矽控整流器單元之第二端點以及一第(n+1)個矽控整流器單元之觸發端點之間，且該(N-1)個二極體互相沒有直接耦接；以及 N 個電阻，其中一第 n 個電阻係耦接於該第 n 個矽控整流器單元之第二端點以及該第二電源之間；其中 n 和 N 都是整數。
2. 如請求項 1 所述之靜電保護電路，其中：該第一電源係為一輸入輸出接點；該第二電源係為一接地端；該(N-1)個二極體中之該第 n 個二極體包含一正端點，耦接於該第 n 個矽控整流器單元之第二端點，以及一負端點，耦接於該第(n+1)個矽控整流器單元之觸發端點；以及每個矽控整流器單元包含：一 PNP 雙極性接面電晶體(Bipolar Junction Transistor,BJT)，該 PNP 雙極性接面電晶體包含一射極，一集極，以及一基極，該矽控整流器單元之第一端點係為該 PNP 雙極性接面電晶體的射極；一 NPN 雙極性接面電晶體，該 NPN 雙極性接面電晶體包含一射極，一集極，耦接於該 PNP 雙極性接面電晶體的基極，以及一基極，耦接於該 PNP 雙極性接面電晶體的集極，以及該矽控整流器單元之第二端點係為該 NPN 雙極性接面電晶體的射極，該矽控整流器單元之觸發端點係為該 NPN 雙極性接面電晶體的基極；一第一電阻，耦接於該 PNP 雙極性接面電晶體的射極和基極之間；以及一第二電阻，耦接於該 NPN 雙極性接面電晶體的射極和基極之間。
3. 如請求項 2 所述之靜電保護電路，另包含一觸發脈衝輸入端，耦接於每個 PNP 雙極性接面電晶體的基極。

(2)

4. 如請求項 3 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於每個 NPN 雙極性接面電晶體的基極。
5. 如請求項 2 所述之靜電保護電路，另包含一第二觸發脈衝輸入端，耦接於每個 NPN 雙極性接面電晶體的基極。
6. 如請求項 2 所述之靜電保護電路，另包含一觸發脈衝輸入端，耦接於一第一個矽控整流器單元之 PNP 雙極性接面電晶體的基極。
7. 如請求項 6 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於該第一個矽控整流器單元之 NPN 雙極性接面電晶體的基極。
8. 如請求項 2 所述之靜電保護電路，另包含一第二觸發脈衝輸入端，耦接於一第一個矽控整流器單元之 NPN 雙極性接面電晶體的基極。
9. 如請求項 2 所述之靜電保護電路，另包含一第 N 個二極體，該第 N 個二極體包含一正端點，耦接於一第 N 個矽控整流器單元之第二端點，以及一負端點，耦接於一第一個矽控整流器單元之觸發端點。
10. 一種具有多指矽控整流器之靜電保護電路，包含：一第一電源；一第二電源；N 個矽控整流器單元，每個矽控整流器單元包含：一第一端點，耦接於該第一電源；一第二端點；以及一觸發端點，其中該 N 個矽控整流器單元中之一第 n 個矽控整流器單元的第二端點係耦接於一第(n+1)個矽控整流器單元之觸發端點；(N-1)個二極體，其中一第 n 個二極體係耦接於一第 n 個矽控整流器單元之第二端點以及一第(n+1)個矽控整流器單元之觸發端點之間，且該(N-1)個二極體互相沒有直接耦接；一觸發脈衝輸入端，耦接於該 N 個矽控整流器單元中之一第一個矽控整流器單元的觸發端點；以及 N 個電阻，其中一第 n 個電阻係耦接於該第 n 個矽控整流器單元之第二端點以及該第二電源之間；其中 n 和 N 都是整數。
11. 如請求項 10 所述之靜電保護電路，其中：該第一電源係為一輸入輸出接點；該第二電源係為一接地端；以及每個矽控整流器單元包含：一 PNP 雙極性接面電晶體，該 PNP 雙極性接面電晶體包含一射極，一集極，以及一基極，該矽控整流器單元之第一端點係為該 PNP 雙極性接面電晶體的射極；一 NPN 雙極性接面電晶體，該 NPN 雙極性接面電晶體包含一射極，一集極，耦接於該 PNP 雙極性接面電晶體的基極，以及一基極，耦接於該 PNP 雙極性接面電晶體的集極，以及該矽控整流器單元之第二端點係為該 NPN 雙極性接面電晶體的射極，該矽控整流器單元之觸發端點係為該 NPN 雙極性接面電晶體的基極；一第一電阻，耦接於該 PNP 雙極性接面電晶體的射極和基極之間；以及一第二電阻，耦接於該 NPN 雙極性接面電晶體的射極和基極之間。
12. 如請求項 11 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於該第一個矽控整流器單元之 PNP 雙極性接面電晶體的基極。
13. 如請求項 11 所述之靜電保護電路，另包含一第一觸發脈衝輸入端，耦接於每個 PNP 雙極性接面電晶體的基極。

圖式簡單說明

第 1 圖係為本發明之第一實施例的多指矽控整流器的結構圖。

第 2 圖係為根據本發明之第二實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於每個 NPN BJT 的基極之多指矽控整流器的結構圖。

第 3 圖係為根據本發明之第三實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於每個 PNP BJT 的基極之多指矽控整流器的結構圖。

(3)

第 4 圖係為根據本發明之第四實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，分別外加一第一觸發脈衝，以及一第二觸發脈衝於每個 NPN BJT 以及每個 PNP BJT 的基極之多指矽控整流器的結構圖。

第 5 圖係為根據本發明之第五實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 的基極之多指矽控整流器的結構圖。

第 6 圖係為根據本發明之第六實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於矽控整流器指 SCR1 之 PNP BJT 的基極之多指矽控整流器的結構圖。

第 7 圖係為根據本發明之第七實施例，將第 1 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 以及 PNP BJT 的基極之多指矽控整流器的結構圖。

第 8 圖係為本發明之第八實施例的多指矽控整流器的結構圖。

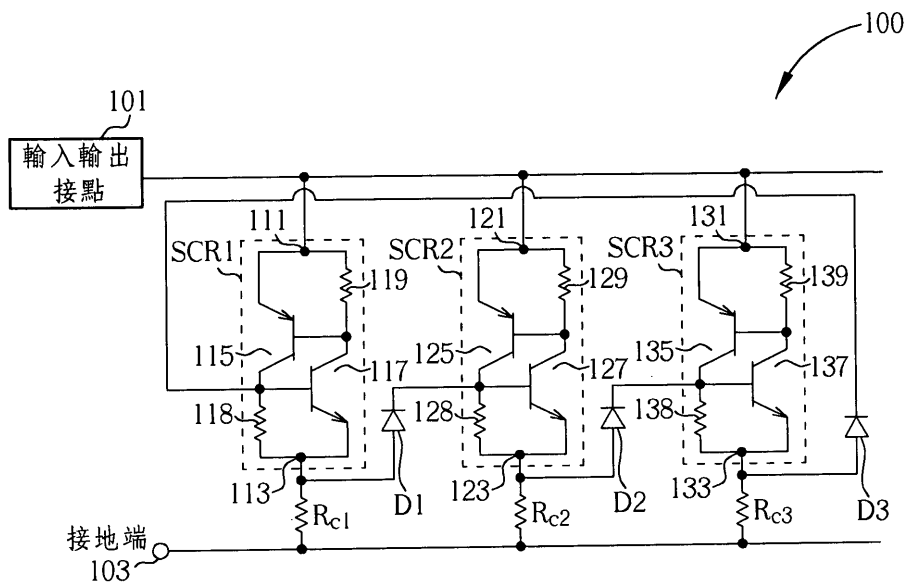
第 9 圖係為根據本發明之第九實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於每個 NPN BJT 的基極之多指矽控整流器的結構圖。

第 10 圖係為根據本發明之第十實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第一觸發脈衝於每個 PNP BJT 的基極之多指矽控整流器的結構圖。

第 11 圖係為根據本發明之第十一實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於每個 NPN BJT 以及每個 PNP BJT 的基極之多指矽控整流器的結構圖。

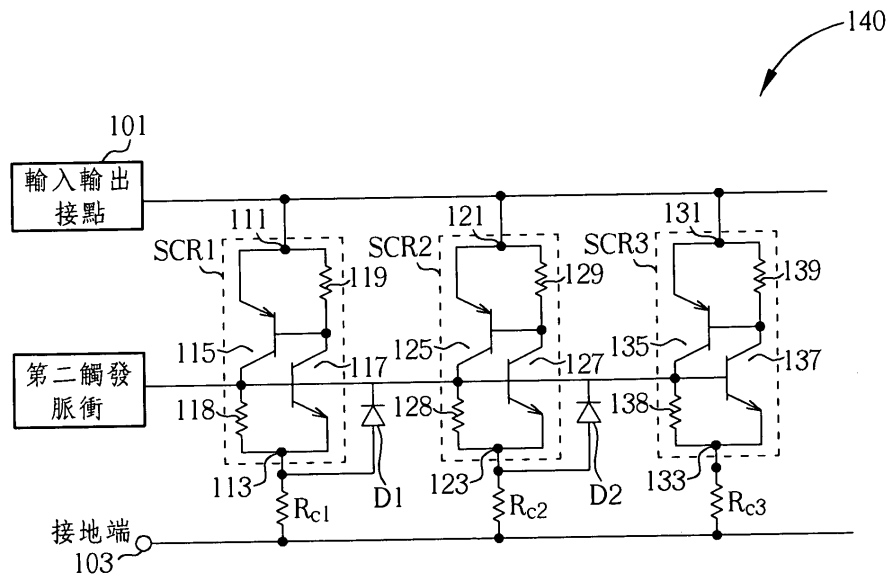
第 12 圖係為根據本發明之第十二實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，外加一第二觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 的基極之多指矽控整流器的結構圖。

第 13 圖係為根據本發明之第十三實施例，將第 8 圖中之多指矽控整流器之靜電防護電路，分別外加一第二觸發脈衝，以及一第一觸發脈衝於矽控整流器指 SCR1 之 NPN BJT 以及 PNP BJT 的基極之多指矽控整流器的結構圖。

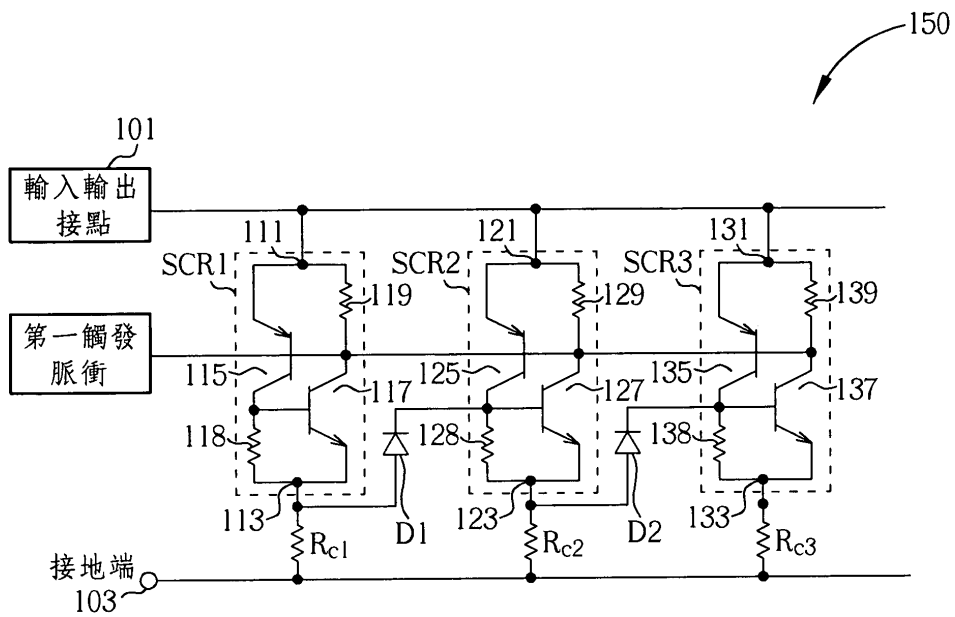


第1圖

(4)

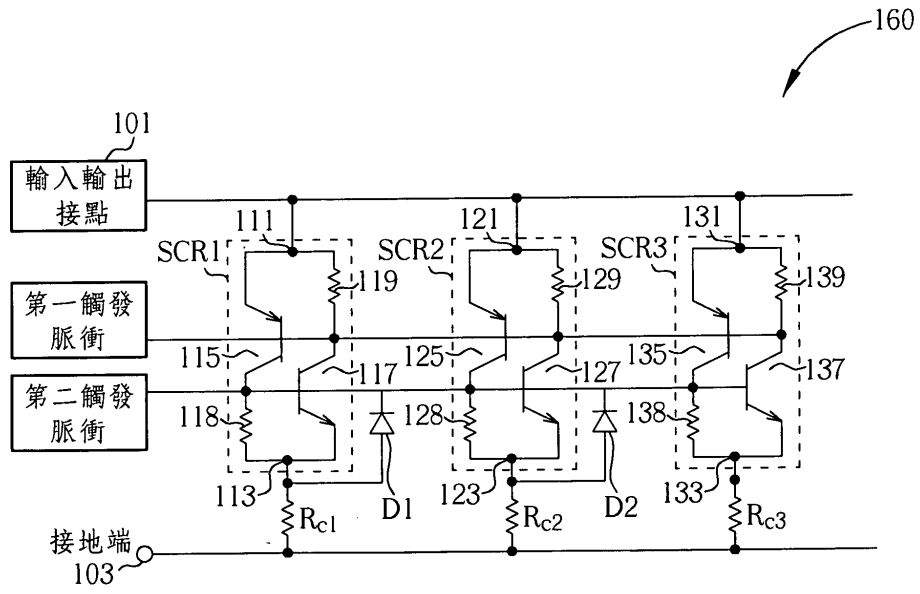


第2圖

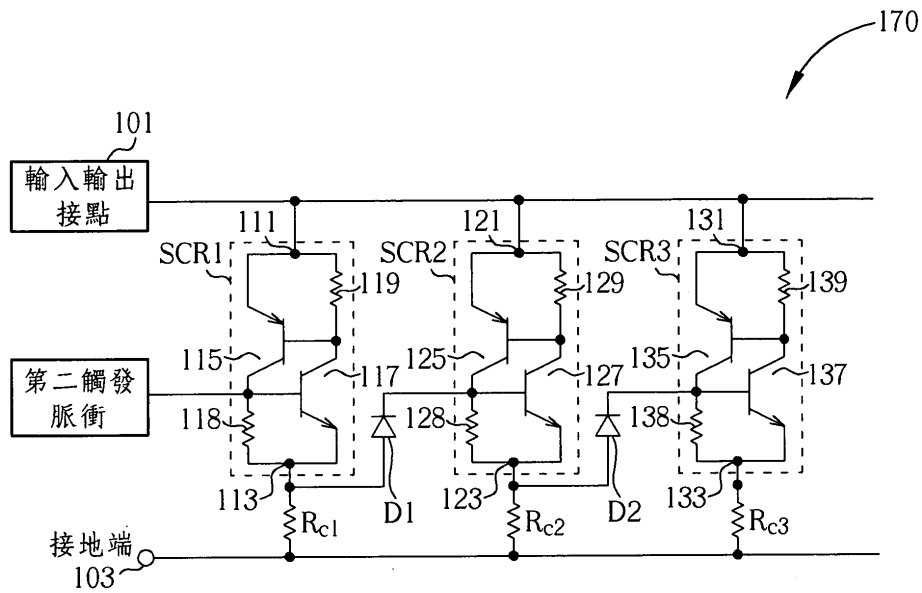


第3圖

(5)

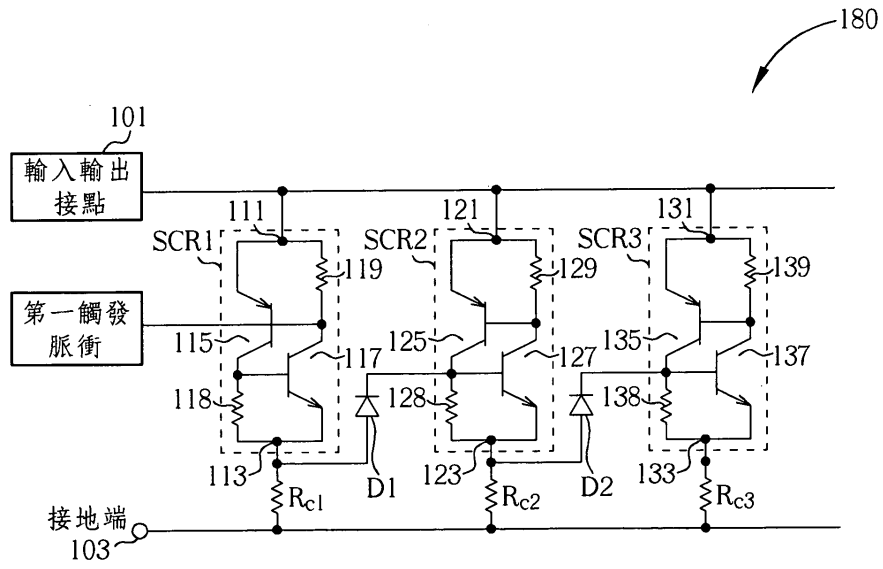


第4圖

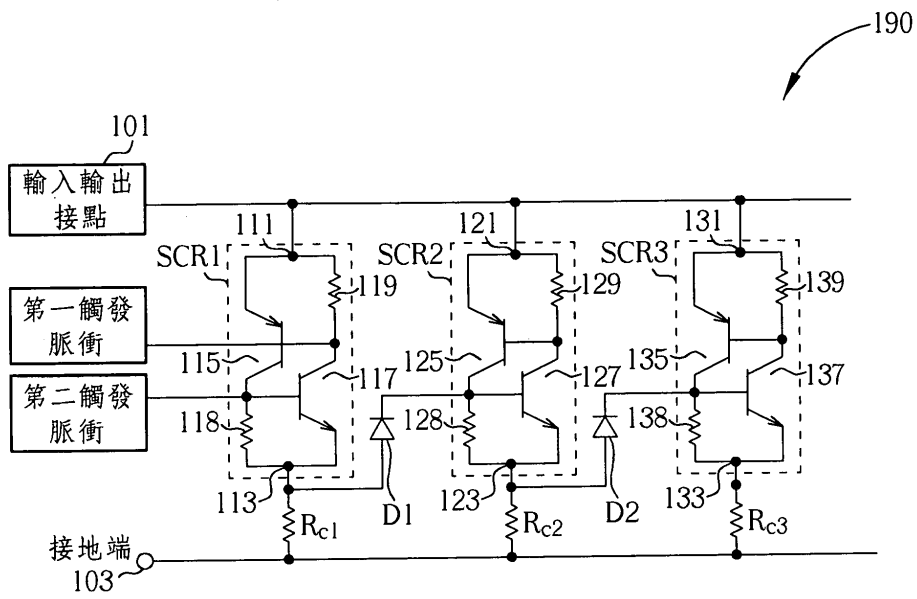


第5圖

(6)

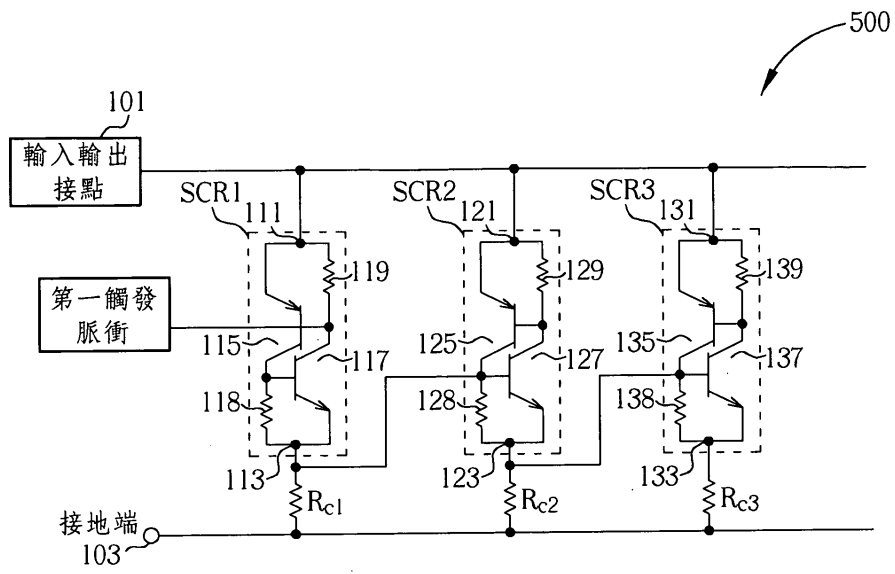


第6圖

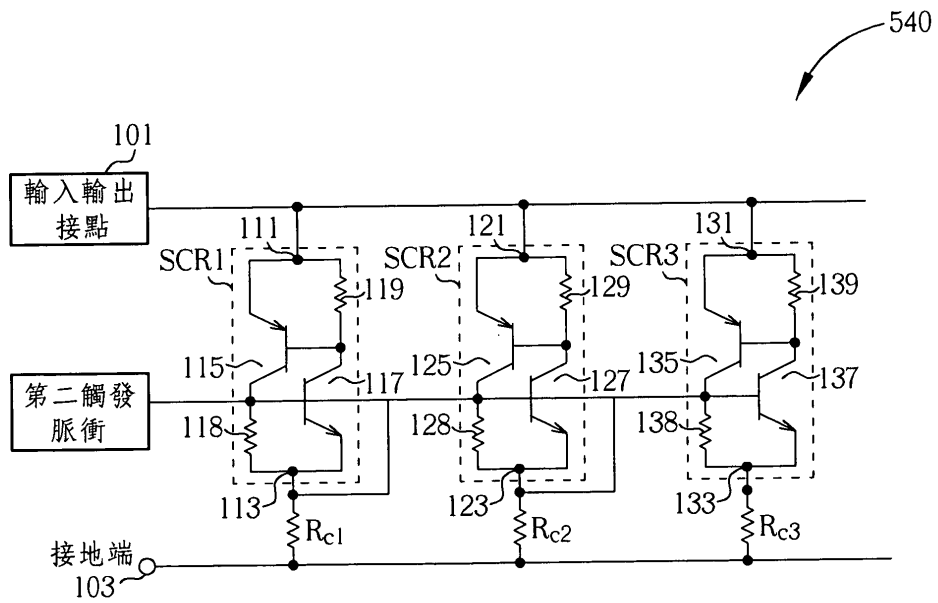


第7圖

(7)

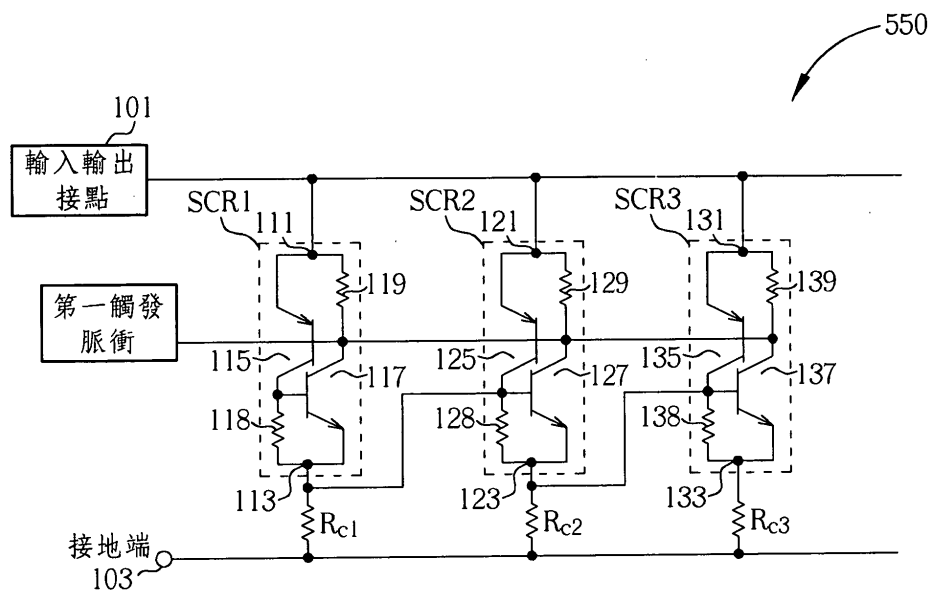


第8圖

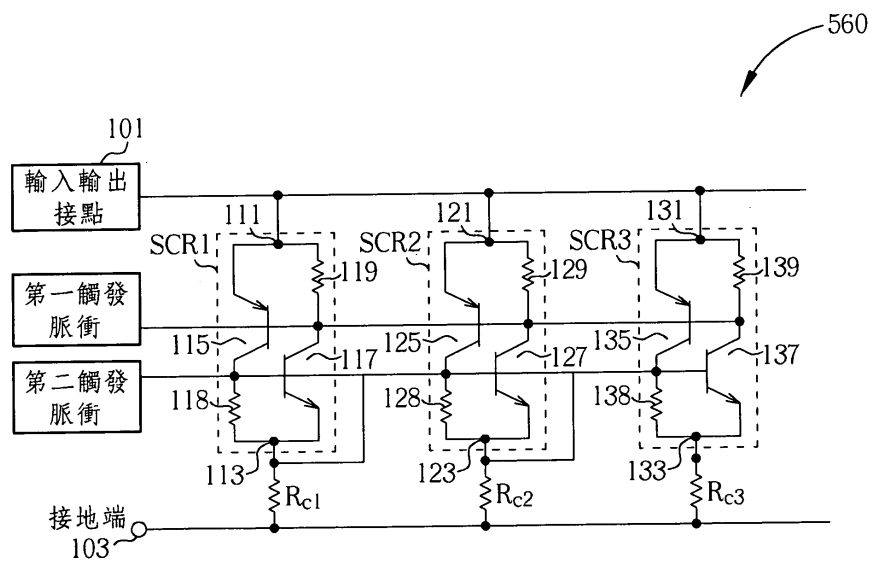


第9圖

(8)

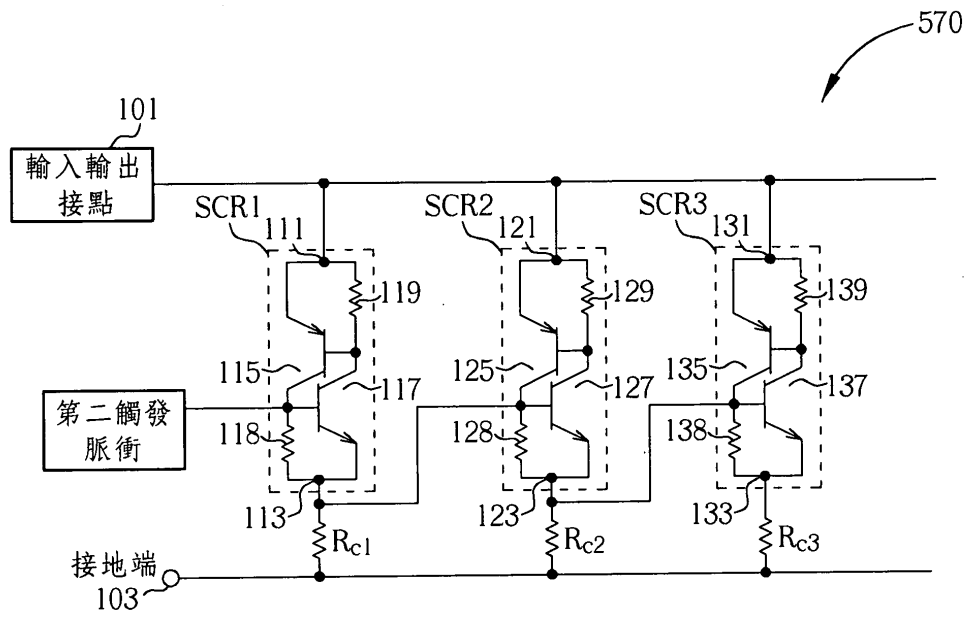


第10圖

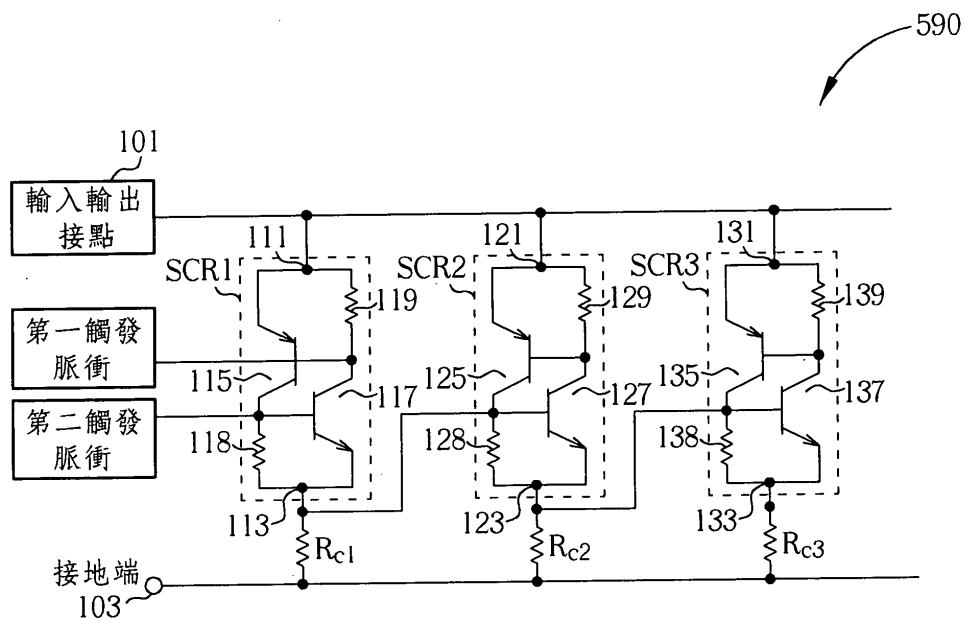


第11圖

(9)



第12圖



第13圖