

[11]公告編號：430975

[44]中華民國 90 年 (2001) 04 月 21 日

發明

全 11 頁

[51] Int.Cl. 06: H01L23/60

[54]名稱：無閘極過偏壓效應之靜電放電保護電路

[21]申請案號：088120766

[22]申請日期：中華民國 88 年 (1999) 11 月 29 日

[72]發明人：

柯明道

張恆祥

台南縣歸仁鄉西埔村大埔十一號

台北縣汐止市大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1.一種靜電放電保護電路，係耦合於一積體電路之接合墊與一電源埠之間，該靜電放電保護電路包含有：

一靜電放電偵測(ESD detection)電路，耦合至該接合墊，用來偵測該接合墊上之電壓，並輸出一觸發電壓；

一開關元件，分別耦合於該接合墊與該電源埠，且具有耦合至該靜電放電偵測電路之一控制閘，用來於接收到該觸發電壓時，釋放該接合墊的靜電放電應力；以及

一電壓箝制(voltage clamp)電路，耦合至該控制閘，用來箝制該控制閘之電壓範圍。

2.如申請專利範圍第1項之靜電放電保護電路，其中該開關元件係為一靜電放電保護(ESD-protection)金氧半電晶體(MOS)，而該控制閘係為該靜電放電保護金氧半電晶體之閘極。

3.如申請專利範圍第2項之靜電放電保護

電路，其中該靜電放電保護 MOS 係為一 nMOS，且該電壓箝制電路係用來限制該靜電放電保護 MOS 之閘極與該電源埠之電壓差範圍。

4.如申請專利範圍第3項之靜電放電保護電路，其中該電壓箝制電路係以複數個二極體(diode)串接(stack)所構成，每一二極體包含有一陽極以及一陰極，而該複數個二極體中一陽極係耦合於該靜電放電保護 MOS 之閘極，該複數個二極體中一陰極係耦合於該電源埠。

5.如申請專利範圍第2項之靜電放電保護電路，其中該靜電放電保護 MOS 係為一 pMOS，且該電壓箝制(voltage clamp)電路係用來限制該靜電放電保護 MOS 之閘極與該電源埠之電壓差範圍。

6.如申請專利範圍第5項之靜電放電保護電路，其中該電壓箝制電路係以複數

個二極體(diode)串接所構成，每一類二極體包含有一陽極以及一陰極，而該複數個類二極體中一陰極係耦合於該靜電放電保護 MOS 之閘極，該複數個類二極體中一陽極係耦合於該電源埠。

7.如申請專利範圍第 4 項或第 6 項之靜電放電保護電路，其中每一二極體係為一 PN 二極體。

8.如申請專利範圍第 4 項或第 6 項之靜電放電保護電路，其中每一二極體係為一 nMOS 二極體，該 nMOS 二極體之陽極係為一 nMOS 電晶體中相耦合之一閘極與一汲極。而該 nMOS 二極體之陰極係為 nMOS 電晶體中之一源極。

9.如申請專利範圍第 4 項或第 6 項之靜電放電保護電路，其中每一二極體係為一 pMOS 二極體，該 pMOS 二極體之陰極係為一 pMOS 電晶體中相耦合之一閘極與一汲極。而該 pMOS 二極體之陽極係為 pMOS 電晶體中之一源極。

10.如申請專利範圍第 2 項之靜電放電保護電路，其中該 MOS 係為一 nMOS，且該電壓箝制電路係以一齊納二極體(zener diode)所構成，而該齊納二極體之陰極係耦合於該靜電放電保護 MOS 之閘極，而該齊納二極體之陽極係耦合於該電源埠。

11.如申請專利範圍第 2 項之靜電放電保護電路，其中該靜電放電保護 MOS 係為一 pMOS，且該電壓箝制電路係以一齊納二極體(zener diode)所構成，而該齊納二極體之陽極係耦合於靜電放電保護 MOS 之閘極，而該齊納二極體之陰極係耦合於該電源埠。

12.如申請專利範圍第 2 項之靜電放電保護電路，其中該靜電放電偵測電路係包含有一電容，該電容之兩端係分別耦合於靜電放電保護 MOS 之閘極與該接合墊。

13.如申請專利範圍第 12 項之靜電放電保護電路，該靜電放電偵測電路另包含有一電阻，該電阻之兩端係分別耦合於靜電放電保護 MOS 之閘極與該電源埠。

14.如申請專利範圍第 2 項之靜電放電保護電路，其中該接合墊係作為一輸入埠(input port)。

15.如申請專利範圍第 2 項之靜電放電保護電路，其中該接合墊係作為一輸出埠(output port)，而靜電放電保護 MOS 係同時作為該輸出埠之輸出推動器(output driver)。

16.如申請專利範圍第 1 項之靜電放電保護電路，其中該接合墊係作為另一電源埠(power port)。

17.如申請專利範圍第 1 項之靜電放電保護電路，其中該靜電放電保護 MOS 係為一 nMOS，而該靜電放電偵測電路係包含有：

一反向器(inverter)，該反向器之輸出係耦合於該靜電放電保護 MOS 之閘極；
一電阻，該電阻之兩端係分別耦合於該接合墊與該反向器之輸入；以及
一電容，該電容之兩端係分別耦合於該電源埠與該反向器之輸入。

而該電壓箝制(voltage clamp)電路係用來限制該靜電放電保護 MOS 之閘極與該電源埠之電壓差範圍。

18.如申請專利範圍第 17 項之靜電放電保護電路，其中該反向器包含有一 pMOS，該 pMOS 之閘極係耦合於該反向器之輸入，該 pMOS 之一源／汲極係耦合於該接合墊，該 pMOS 之另一源／汲極係耦合於該靜電放電保護 MOS 之閘極。

19.如申請專利範圍第 18 項之靜電放電保護電路，其中該反向器另包含有一 nMOS，該 nMOS 之閘極係耦合於該反向器之輸入，該 nMOS 之一源／汲極

係耦合於該電源，該 nMOS 之另一源／汲極係耦合於該靜電放電保護 MOS 之閘極。

20. 如申請專利範圍第 1 項之靜電放電保護電路，其中該靜電放電保護 MOS 係為一 pMOS，而該靜電放電偵測電路係包含有：

一電阻，該電阻之兩端係分別耦合於該接合墊與該靜電放電保護 MOS 之閘極；以及

一電容，該電容之兩端係分別耦合於該靜電放電保護 MOS 之閘極與該電源埠。

而該電壓箝制(voltage clamp)電路係用來限制該靜電放電保護 MOS 之閘極與該接合墊之電壓差範圍。

21. 如申請專利範圍第 16 項或第 19 項之靜電放電保護電路，其中該電壓箝制電路係以複數個二極體(diode)串接(stack)所構成。

22. 如申請專利範圍第 21 項之靜電放電保護電路，其中每一二極體係為一 PN 二極體。

23. 如申請專利範圍第 21 項之靜電放電保護電路，其每一二極體係為一 nMOS 二極體，該 nMOS 二極體之陽極係為一 nMOS 電晶體中相耦合之一閘極與一汲極。而該 nMOS 二極體之陰極係為 nMOS 電晶體中之另一源極。

24. 如申請專利範圍第 21 項之靜電放電保護電路，其中每一二極體係為一 pMOS 二極體，該 pMOS 二極體之陰極係為一 pMOS 電晶體中相耦合之一閘極與一源／汲極。而該 pMOS 二極體之陽極係為 pMOS 電晶體中之另一源／汲極。

25. 如申請專利範圍第 17 項或第 20 項之靜電放電保護電路，其中該電壓箝制電路係以一齊納二極體(zener diode)所構成。

26. 如申請專利範圍第 1 項之靜電放電保護電路，其中該電壓箝制電路係以 PN 二極體、nMOS 二極體、pMOS 二極體以及齊納二極體之混合所構成。

5. 圖式簡單說明：

第一圖為習知在輸入埠的靜電放電保護電路；

第二圖為第一圖中的靜電放電保護電路之佈局(layout)圖；

10. 第三圖為另一種習知的靜電放電保護電路的示意圖；

第四圖為第三圖中的靜電放電保護電路之一種實施例；

15. 第五圖為第三圖中的靜電放電保護電路同時運用於 VDD 與 VSS 時的一種實施例；

第六圖為一種習知的 VDD 與 VSS 間的靜電放電保護電路之示意圖；

20. 第七圖為閘極偏壓與 nMOS 元件承受 ESD 能力之關係圖；

第八圖為閘極偏壓與 pMOS 元件承受 ESD 能力之關係圖；

第九圖為本發明的靜電放電保護電路示意圖；

25. 第十圖至第十三圖為第九圖中之靜電放電保護電路的實施例；

第十四圖為第十圖中之靜電放電保護電路的一種實施例；

第十五圖是一種本發明的靜電放電保護電路相對於高電源埠 VDD 以及低電源埠 VSS 的一種實施例；

第十六圖是本發明之靜電放電保護電路運用於一輸出埠之實施例；

30. 第十七圖本發明之靜電放電保護電路運用於一電源埠之實施例；

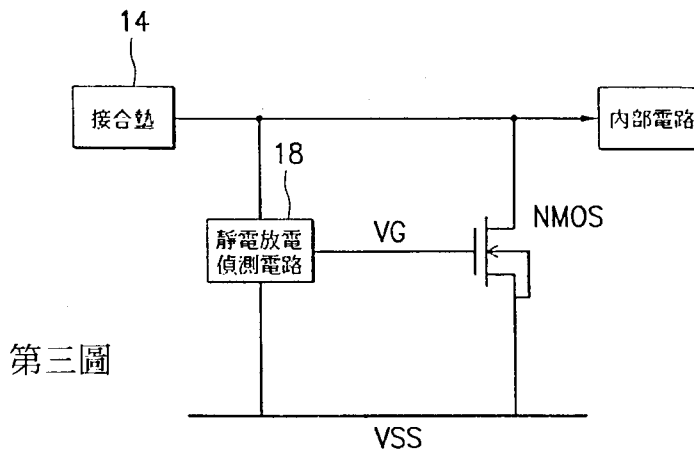
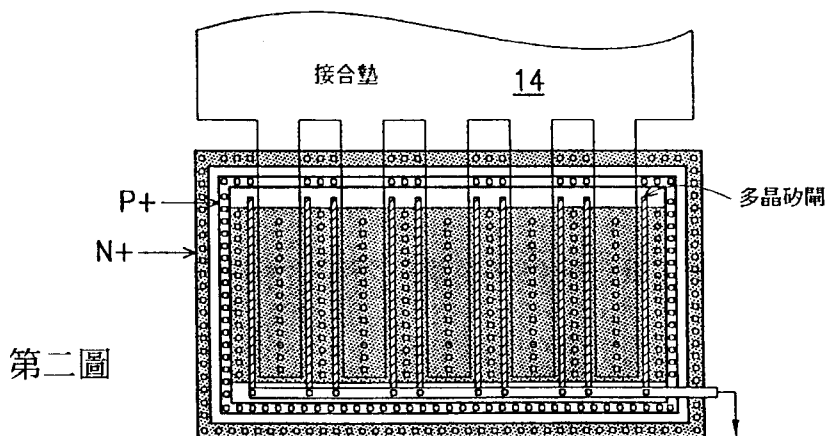
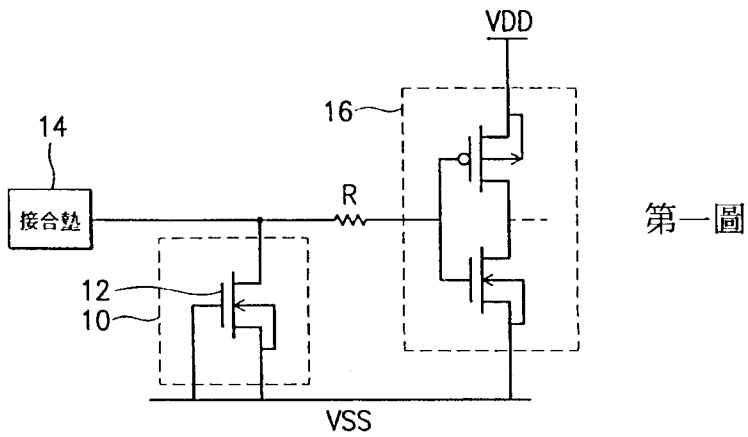
第十八圖為第十七圖中之靜電放電保護電路之一實施例；

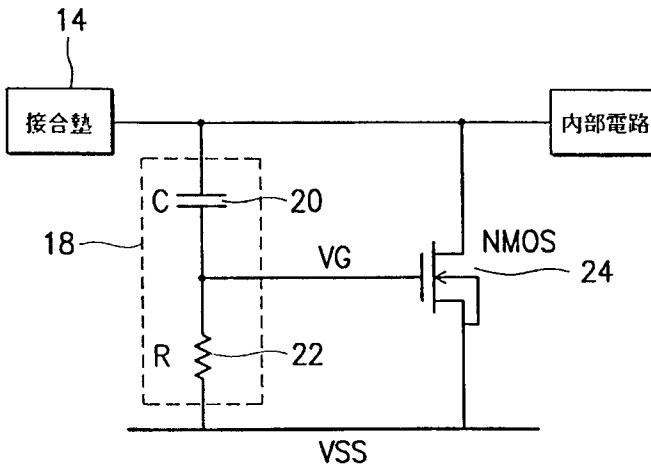
第十九圖為本發明之靜電放電保護電路運用於一電源埠之另一實施例；以

40. 及

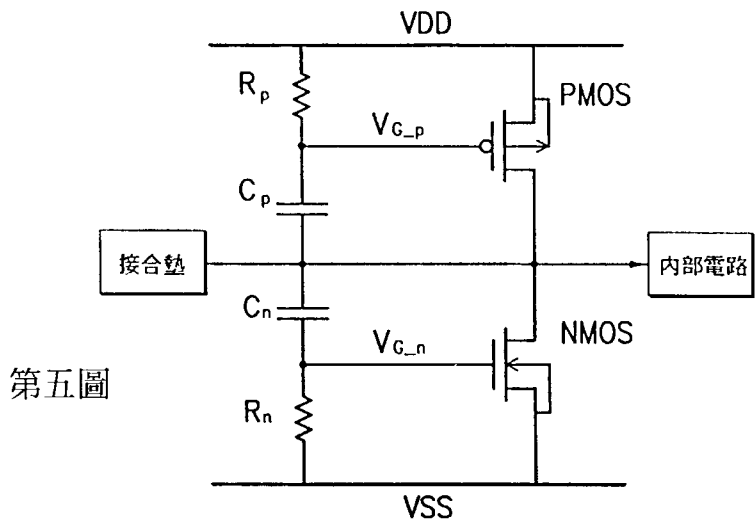
第二十圖為第十九圖中之靜電放電

保護電路的一實施例；

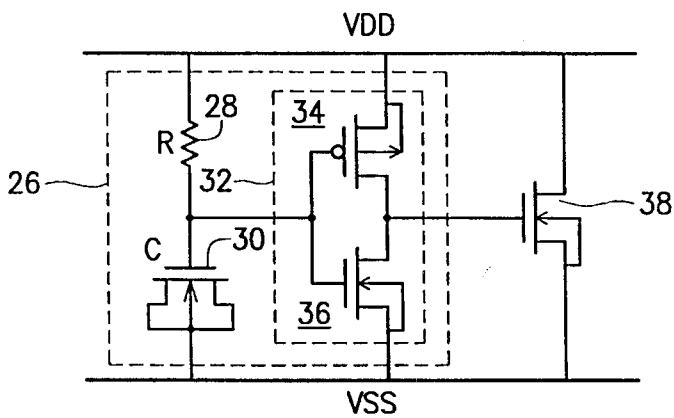




第四圖

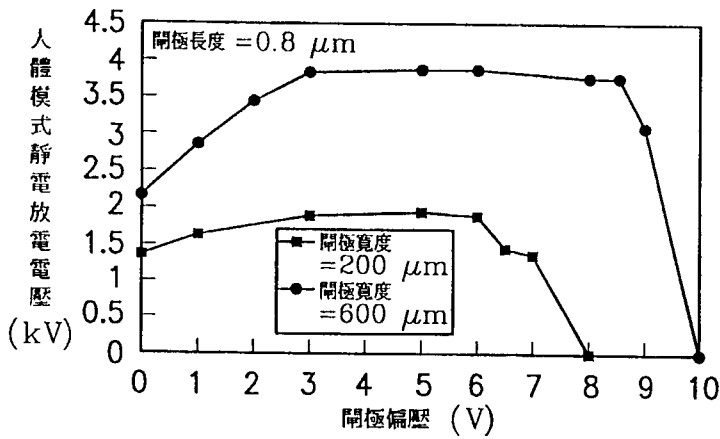


第五圖

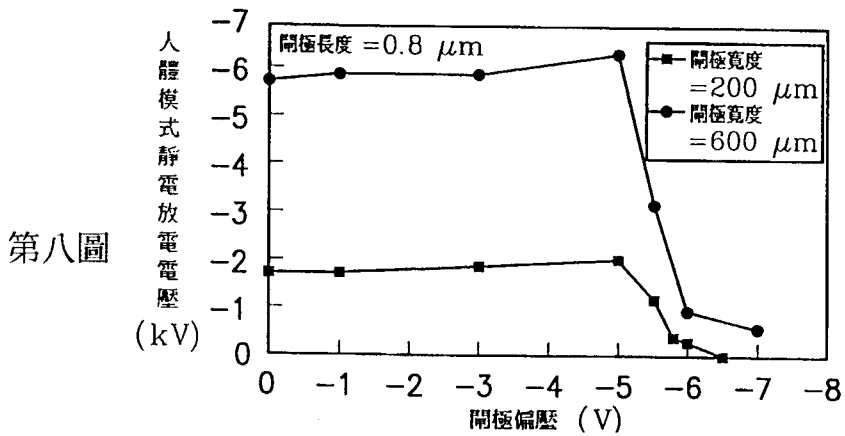


第六圖

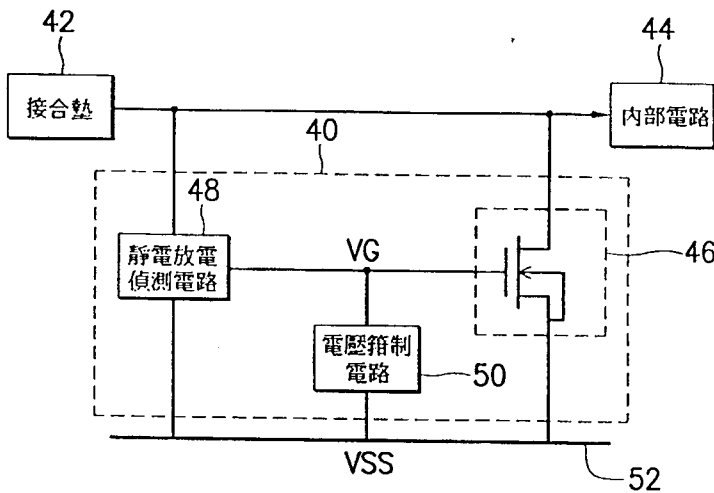
(6)



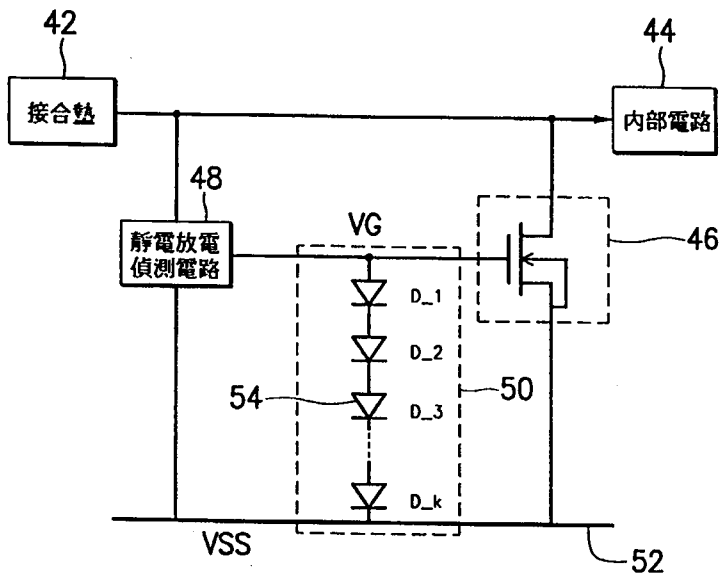
第七圖



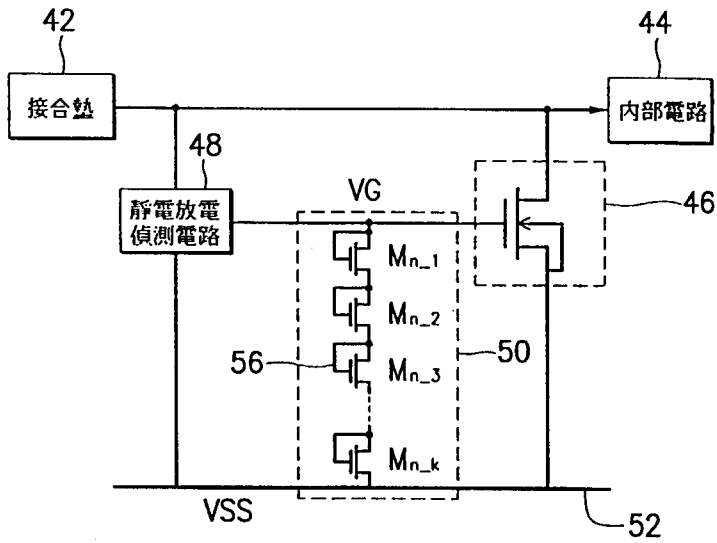
第八圖



第九圖

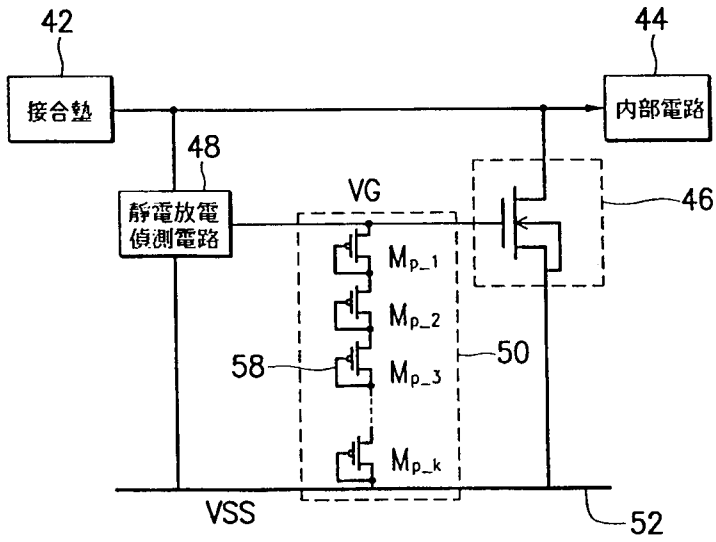


第十圖

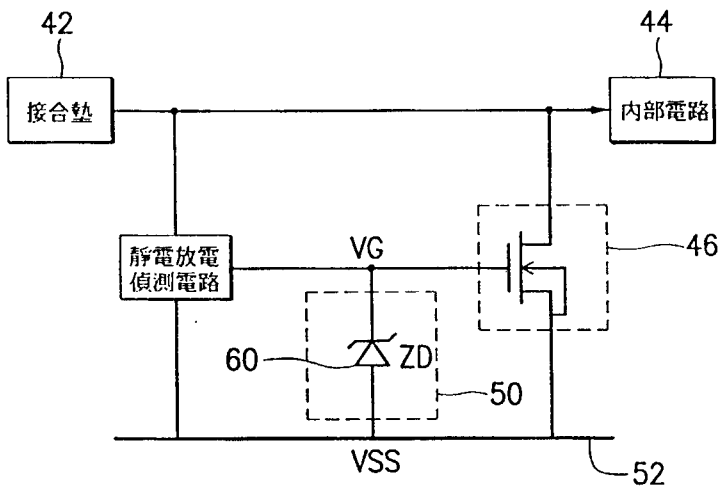


第十一圖

(8)

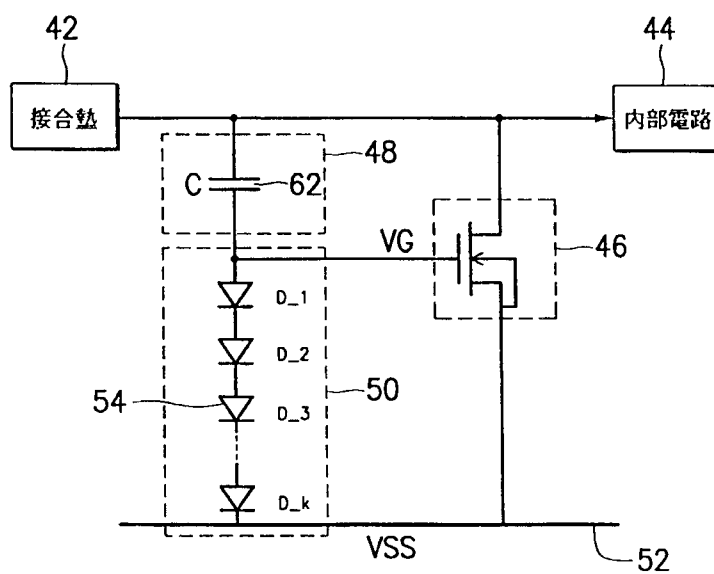


第十二圖

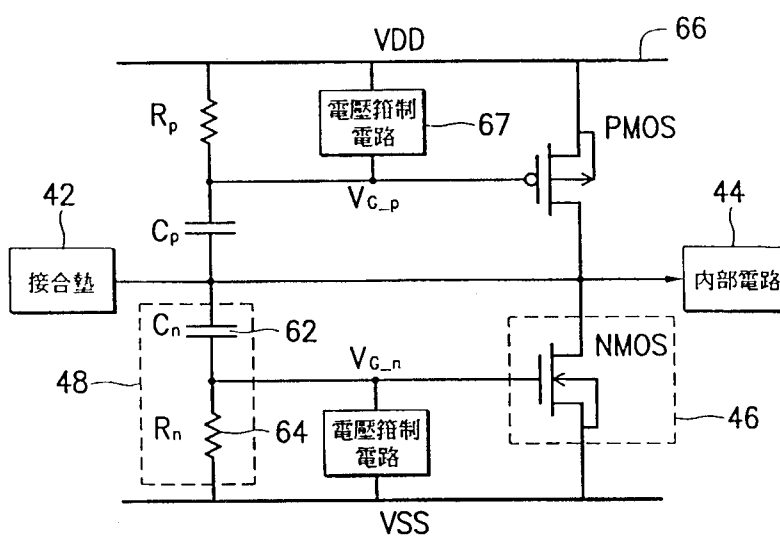


第十三圖

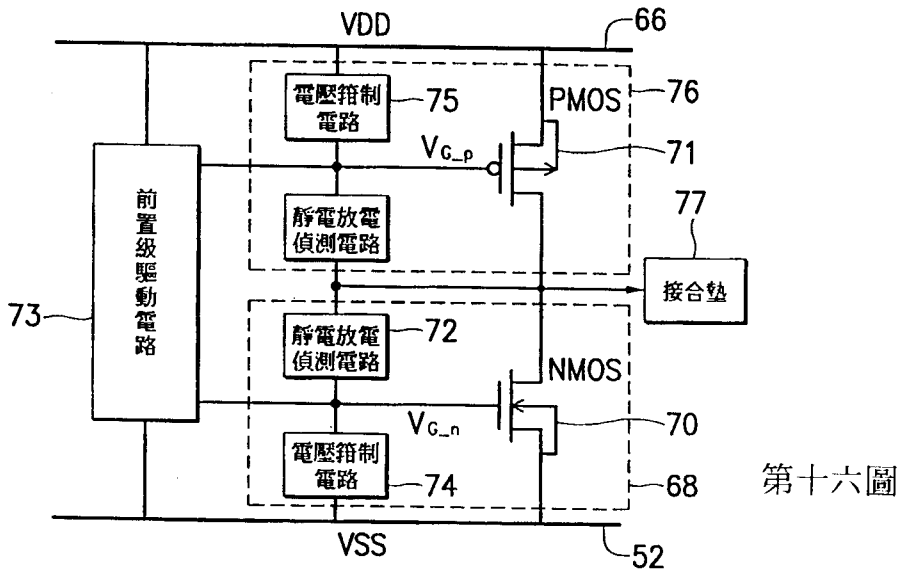
(9)



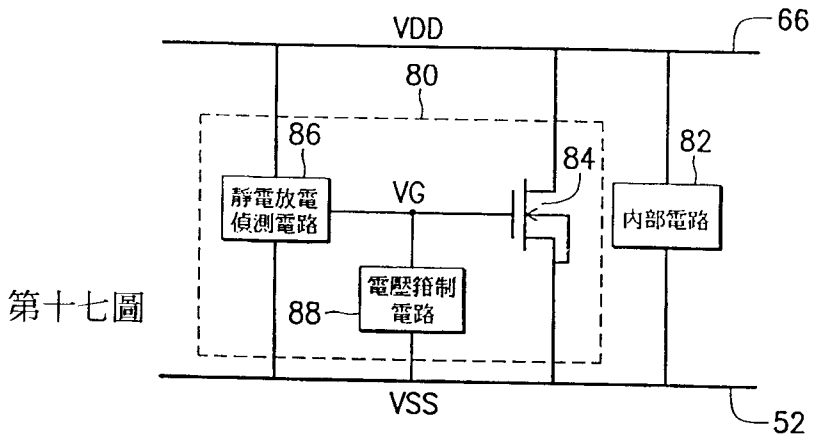
第十四圖



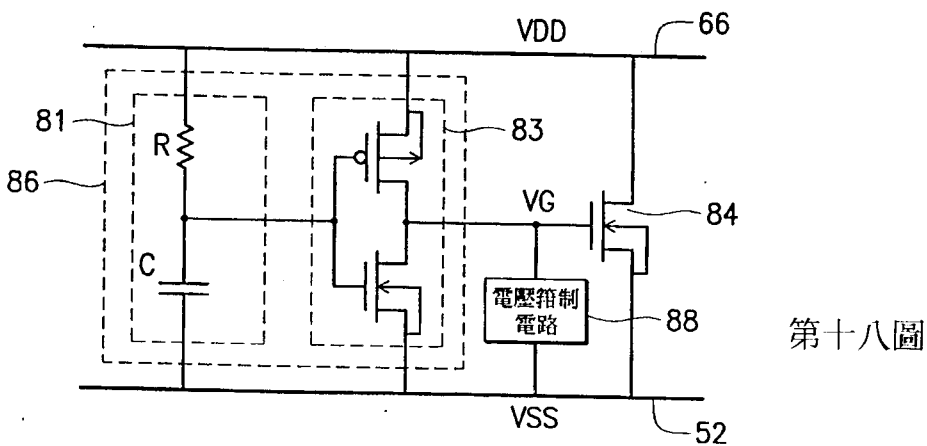
第十五圖



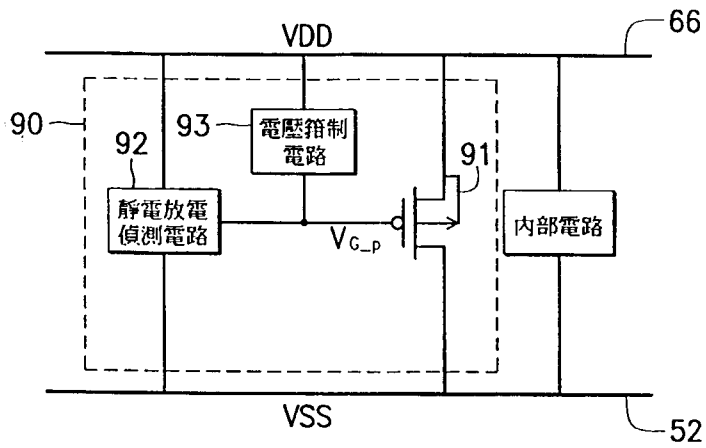
第十六圖



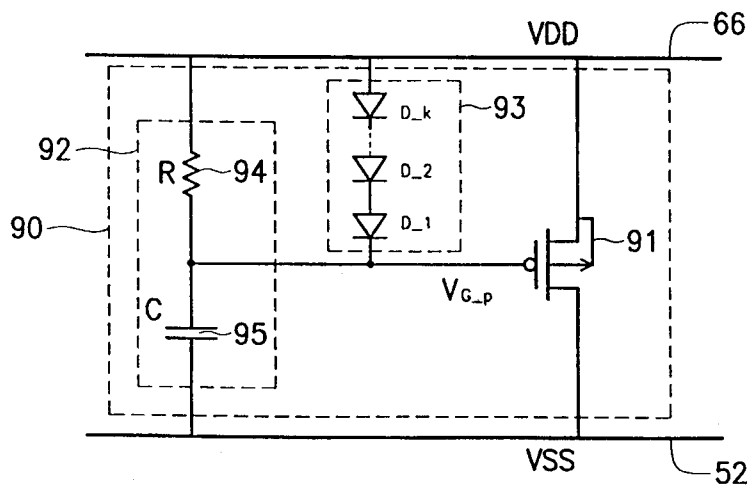
第十七圖



第十八圖



第十九圖



第二十圖

