

[11]公告編號：432666

[44]中華民國 90年 (2001) 05月 01日

發明

全 7 頁

[51] Int.Cl. 06: H01L23/60

[54]名稱：具有閘極控制之場氧化電晶體的靜電放電保護元件

[21]申請案號：088120471

[22]申請日期：中華民國 88年 (1999) 11月 23日

[72]發明人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

台南縣歸仁鄉西埔村大埔十一號

[71]申請人：

世界先進積體電路股份有限公司

新竹科學工業園區園區三路一二三號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1. 一種形成靜電放電元件於一基材上的方法，該方法至少包含：
形成一場植入區域於該基材上；
形成一淺溝渠隔離區於該場植入區基域之上；
形成一閘極氧化層於該淺溝渠隔離區上；
形成一閘極於該閘極氧化層上；
形成一間隙壁於該閘極的側壁上；及
形成一源極/汲極區域，其係利用該間隙壁為罩幕。
2. 如申請專利範圍第1項所述之方法，於形成一間隙壁步驟之前更包含形成一輕摻雜汲極區域，其係利用該閘極為罩幕。
3. 如申請專利範圍第2項所述之方法，其中上述之輕摻雜汲極區域與該淺溝渠隔離區間之距離可以為零。
4. 如申請專利範圍第1項所述之方法，於形成一場植入區域步驟之前更包含形成一N井區域。
5. 如申請專利範圍第4項所述之方法，於形成一N⁺井區域步驟之前更包含形成一深N井區域。
5. 6. 如申請專利範圍第1項所述之方法，其中上述之源極/汲極區域與該淺溝渠隔離區間之距離可以為零。
7. 如申請專利範圍第1項所述之方法，其中上述之淺溝渠隔離區可以限制表面通道的形成並增加耐壓度。
10. 8. 一種位於基材上之靜電放電元件，該元件至少包含：
一場植入區域，該場植入區域係位於該基材中；
一淺溝渠隔離區，該淺溝渠隔離區域係位於該場植入區域之上，且該淺溝渠隔離區可以限制表面通道的形成並增加耐壓度；
一閘極氧化層，該閘極氧化層位於該淺溝渠隔離區之上；
15. 20.

一源極/汲極區域，該源極/汲極區域係位於該閘極氧化層之下以及該淺溝渠隔離區的兩側；

一N井區域，該N井區域位於該場植入區域、該淺溝渠隔離區、該閘極氧化層與該源極/汲極區域之其中之一之下，該N井區域可以增加電流路徑的深度；

一閘極，該閘極位於該閘極氧化層之上；及

一間隙壁，該間隙壁形成於該閘極的側壁上。

9.如申請專利範圍第8項所述之元件，其中上述之源極/汲極區域與該淺溝渠隔離區緊鄰。

10.如申請專利範圍第8項所述之元件，更包含一輕摻雜汲極，該輕摻雜汲極位於該淺溝渠隔離區與該源極/汲極區域之間以及該閘極氧化層之下。

11.如申請專利範圍第10項所述之元件，其中上述之輕摻雜汲極與該淺溝渠隔離緊鄰。

12.如申請專利範圍第8項所述之元件，更包含一深N井區域，其係位於該N井區域之下。

13.如申請專利範圍第12項所述之元件，其中上述之源極/汲極區域與該淺溝渠隔離緊鄰。

14.如申請專利範圍第12項所述之元件，更包含一輕摻雜汲極，該輕摻雜汲極位於該淺溝渠隔離區與該源極/汲極區域之間以及該閘極氧化層之下。

15.如申請專利範圍第12項所述之元件，其中上述之輕摻雜汲極與該淺溝渠隔離緊鄰。

圖式簡單說明：

第一圖為半導體基材的截面圖，圖中顯示習知技術中利用區域氧化法(local oxidation of silicon, LOCOS)所製做之場氧化(Field-oxide device)元件。

第二圖為半導體基材的截面圖，圖中顯示習知技術中形成淺溝渠隔離之場氧化元件的情形。

第三圖顯示習知技術中之閘極接地薄氧化層元件(gate grounded thin oxide NMOS, GGNMOS)的元件剖面圖。

第四圖為半導體基材的截面圖，圖中顯示本發明中形成靜電放電保護元件的情形。

10. 第五圖為半導體基材的截面圖，圖中顯示本發明中形成靜電放電保護元件的情形，基中淺溝渠隔離區與輕摻雜汲極區域間的距離為零。

15. 第六圖為半導體基材的截面圖，圖中顯示本發明中形成不具輕摻雜汲極區域之靜電放電保護元件的情形。

第七圖為半導體基材的截面圖，圖中顯示本發明中形成不對稱結構之靜電放電保護元件的情形。

20. 第八圖為半導體基材的截面圖，圖中顯示本發明中形成具有N井區域之靜電放電保護元件的情形。

25. 第九圖為半導體基材的截面圖，圖中顯示本發明中形成具有N井區域之靜電放電保護元件的情形，其中淺溝渠隔離與輕摻雜汲極區域間的距離為零。

30. 第十圖為半導體基材的截面圖，圖中顯示本發明中形成具有N井區域但不具輕摻雜汲極區域之靜電放電保護元件的情形。

35. 第十一圖為半導體基材的截面圖，圖中顯示本發明中形成不對稱結構且具有N井區域之靜電放電保護元件的情形。

40. 第十二圖為半導體基材的截面圖，圖中顯示本發明中形成具有深N井區域之靜電放電保護元件的情形。

第十三圖為半導體基材的截面圖，圖中顯示本發明中形成具有深N井區域之靜電放電保護元件的情形，其中淺溝

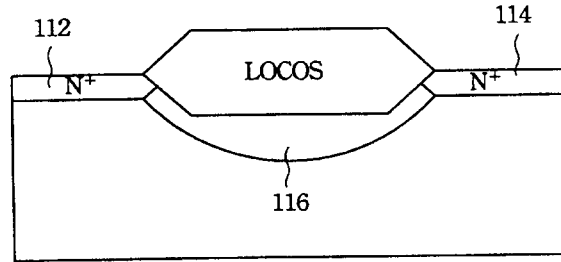
渠隔離與輕摻雜汲極區域間的距離為零。

第十四圖為半導體基材的截面圖，圖中顯示本發明中形成具有深 N 井區域但不具輕摻雜汲極區域之靜電放電保護

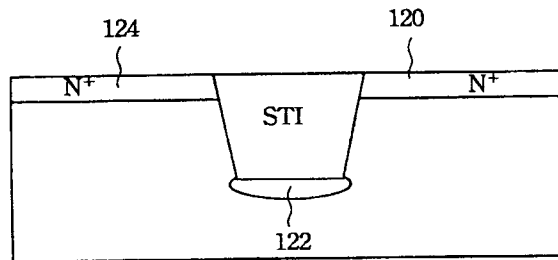
元件的情形。

第十五圖為半導體基材的截面圖，圖中顯示本發明中形成不對稱結構且具有深 N 井區域之靜電放電保護元件的情形。

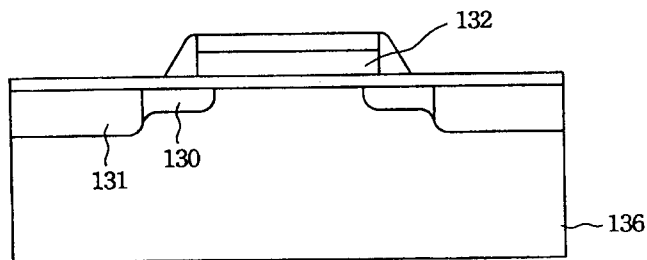
5.



第一圖

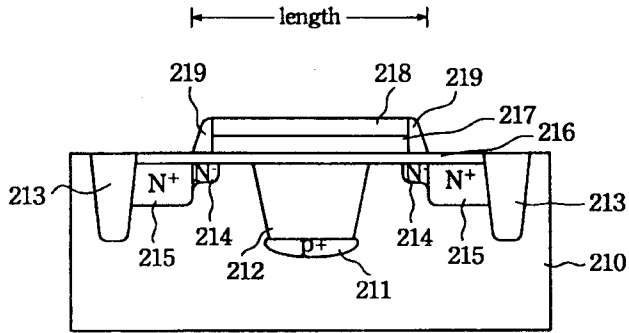


第二圖

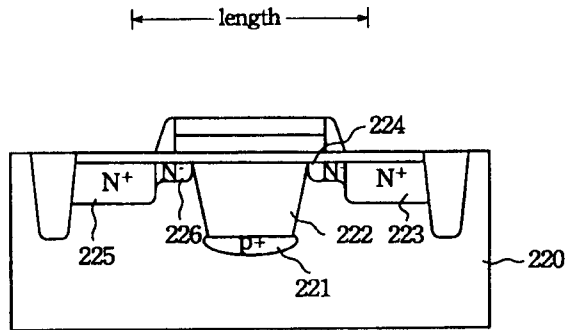


第三圖

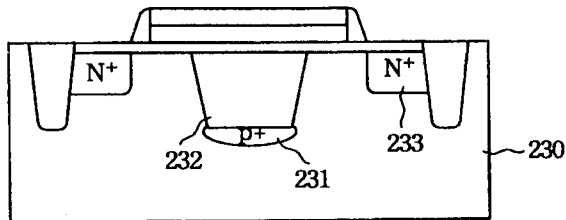
(4)



第四圖

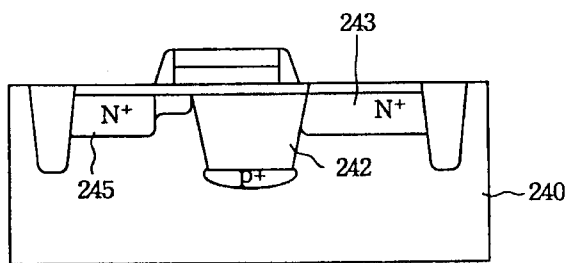


第五圖

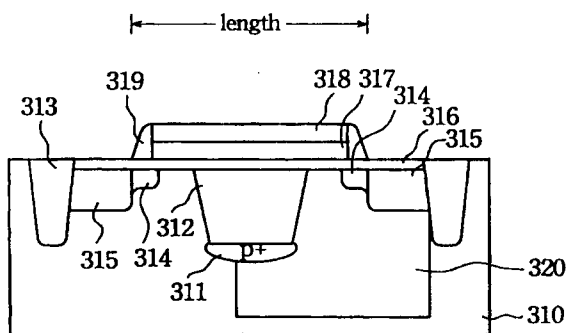


第六圖

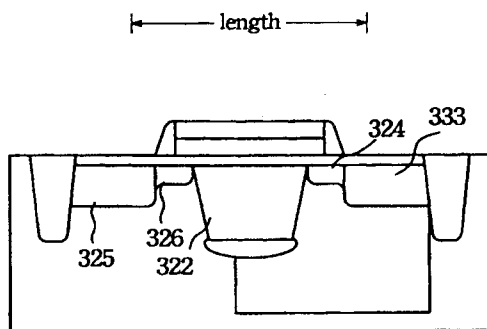
(5)



第七圖

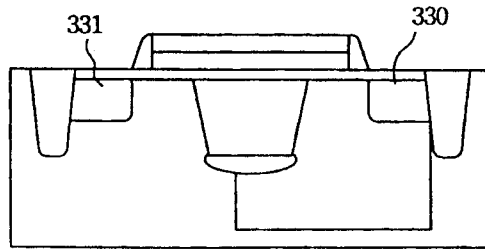


第八圖

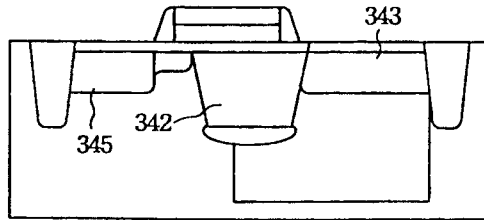


第九圖

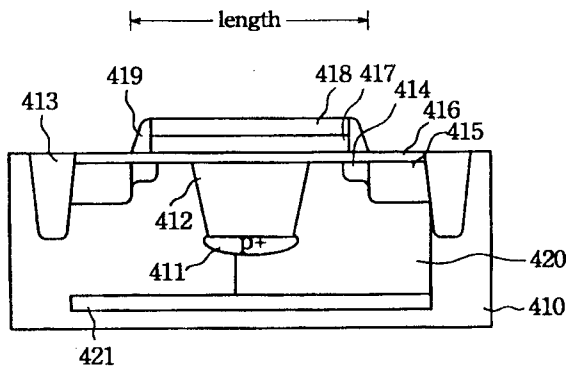
(6)



第十圖

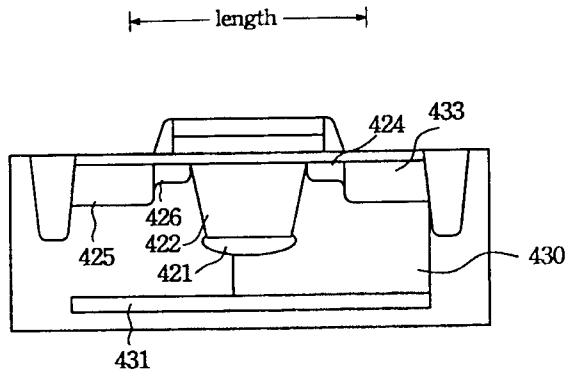


第十一圖

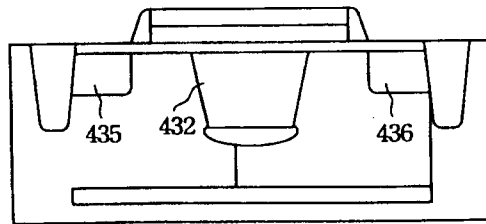


第十二圖

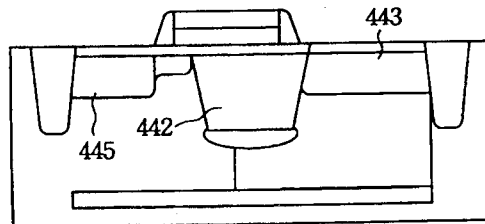
(7)



第十三圖



第十四圖



第十五圖

