

【11】證書號數：I433298

【45】公告日：中華民國 103 (2014) 年 04 月 01 日

【51】Int. Cl.：H01L27/04 (2006.01)

發明

全 11 頁

【54】名稱：用於全金屬矽化物輸出入 ESD 保護的鎮流結構

【21】申請案號：098132297

【22】申請日：中華民國 98 (2009) 年 09 月 24 日

【11】公開編號：201112391

【43】公開日期：中華民國 100 (2011) 年 04 月 01 日

【72】發明人：謝武聰 (TW) HSIHE, WU TSUNG；韋怡如 (TW) WEI, I JU；柯明道 (TW) KER, MING DOU；陳穩義 (TW) CHEN, WEN YI

【71】申請人：義隆電子股份有限公司 ELAN MICROELECTRONICS CORPORATION

新竹市科學工業園區創新一路 12 號

【74】代理人：黃重智

【56】參考文獻：

TW 359021

TW 368743

審查人員：陳英豪

[57]申請專利範圍

1. 一種用於全金屬矽化物輸出入 ESD 保護的鎮流結構，包括：接合墊；基板；NMOS，設置在該基板上，包括：第一 N 型井，其中具有第一區域連接該接合墊；第一源極；以及第一汲極，設置於該第一 N 型井中，和該第一區域之間形成有鎮流電阻；以及 PMOS，設置在該基板上，包括：第二 N 型井；第二源極，設置於該第二 N 型井中；以及第二汲極，設置於該第二 N 型井中，經由導體連接到該第一汲極；據此，該鎮流電阻同時保護該 NMOS 及該 PMOS。
2. 一種用於全金屬矽化物輸出入 ESD 保護的鎮流結構，包括：接合墊；基板；NMOS，設置在該基板上，包括：第一 N 型井，其中具有第一區域連接該接合墊；第一源極；以及第一汲極，設置於第一 N 型井中，和該第一區域之間形成有第一鎮流電阻；以及 PMOS，設置在該基板上，包括：第二 N 型井，其中具有第二區域連接該接合墊；第二源極，設置於該第二 N 型井中；以及第二汲極，設置於該第二 N 型井中，和該第二區域之間形成有第二鎮流電阻，且經由導體連接到該第一汲極。

圖式簡單說明

- 圖 1 係鎮流電阻改善 ESD 穩定性的電流電壓示意圖；
- 圖 2 係一種習知增加 NMOS 鎮流電阻的方法；
- 圖 3 係另一種習知增加 NMOS 鎮流電阻的方法；
- 圖 4 係圖 2 圖 3 之習知技術使用於 PMOS 上的側視示意圖；
- 圖 5 係習知多晶矽後段鎮流技術的 NMOS 佈局上視圖和側視示意圖；
- 圖 6 係習知主動區域切割技術的 NMOS 佈局上視圖；
- 圖 7 係另一習知主動區域切割技術的 NMOS 佈局上視圖；
- 圖 8 係習知浮動多晶矽陣列技術的 NMOS 佈局上視圖和側視示意圖；
- 圖 9 係習知全矽化物 ESD 保護 MOSFET 的接點鎮流技術；
- 圖 10 係本發明實施例之佈局上視圖；

(2)

圖 11 係本發明之實施例圖 10 由 A 至 A ' 的元件截面圖；

圖 12 係本發明另一實施例之佈局上視圖；以及

圖 13 係本發明之實施例圖 12 由 A 至 A ' 的元件截面圖。

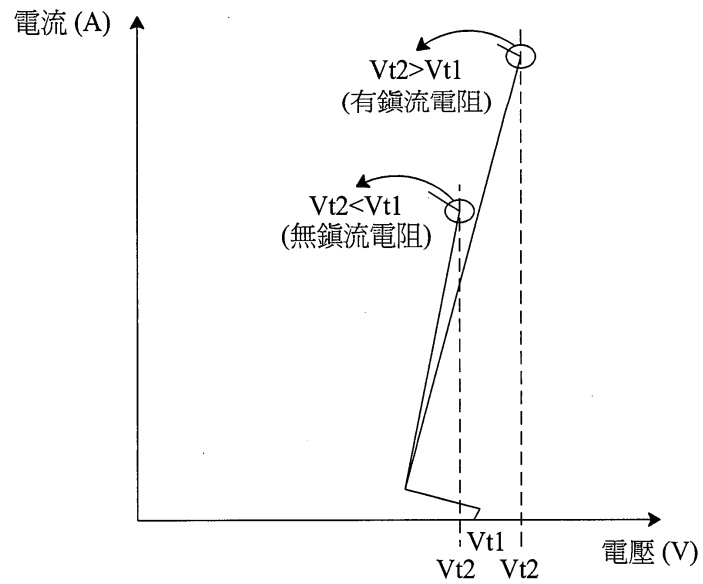


圖1

先前技術

(3)

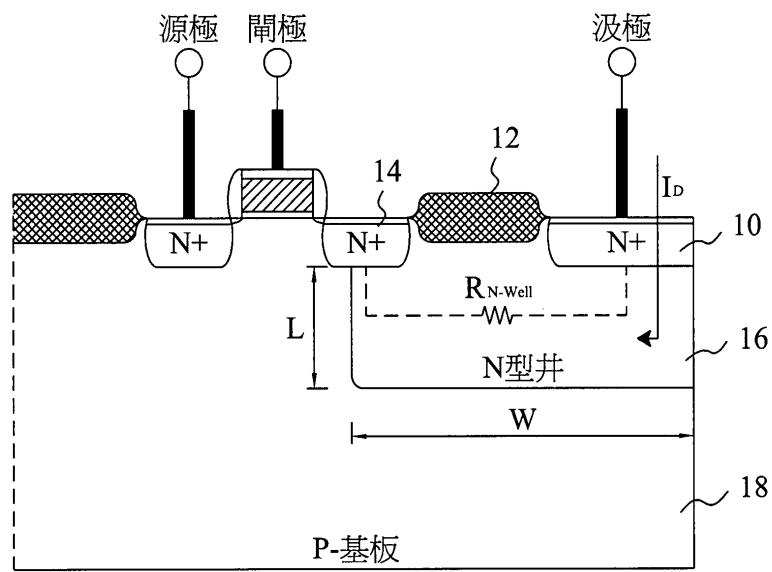


圖2
先前技術

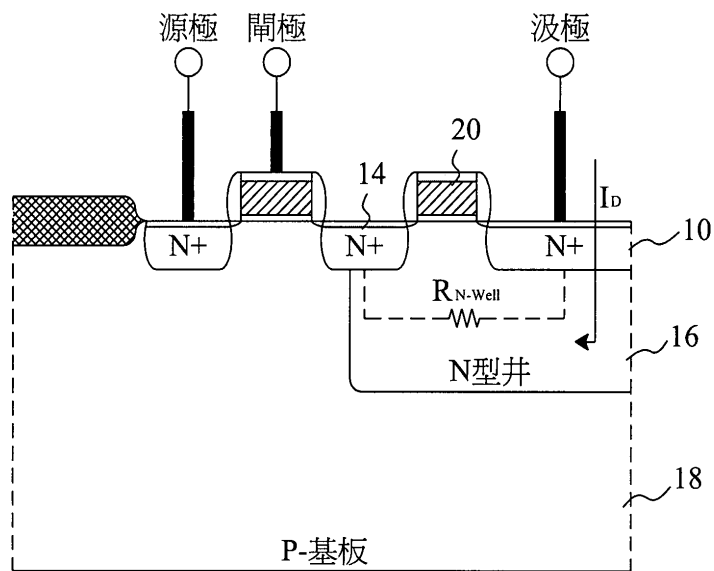


圖3
先前技術

(4)

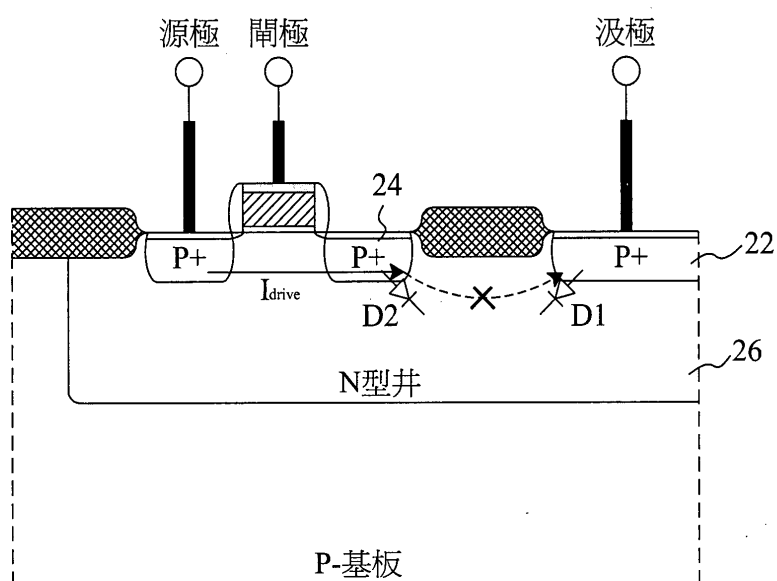


圖4
先前技術

(5)

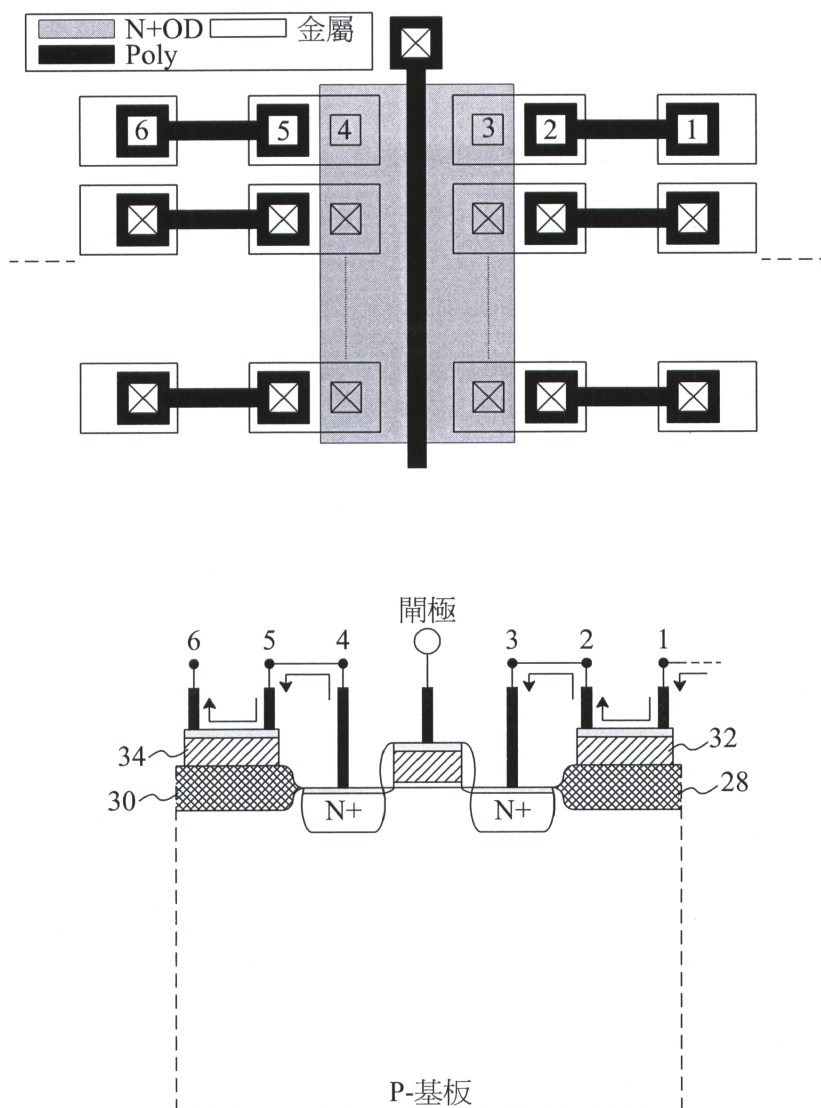


圖5
先前技術

(6)

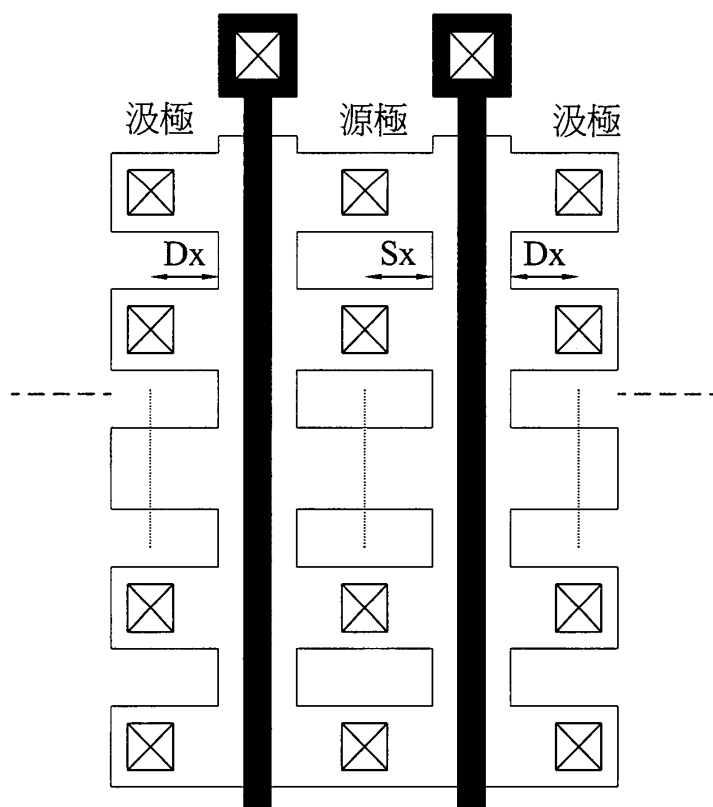


圖6
先前技術

(7)

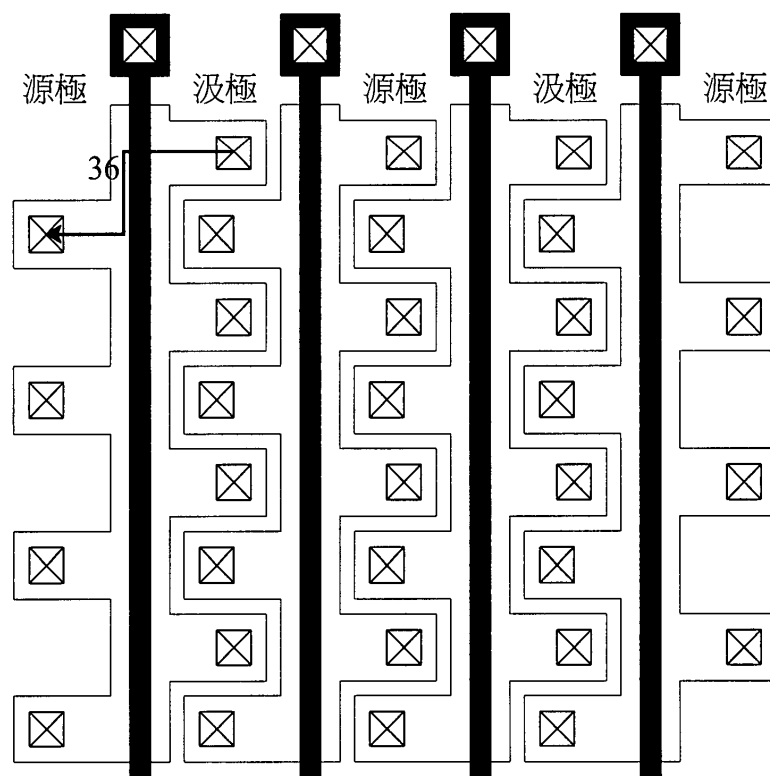


圖7
先前技術

(8)

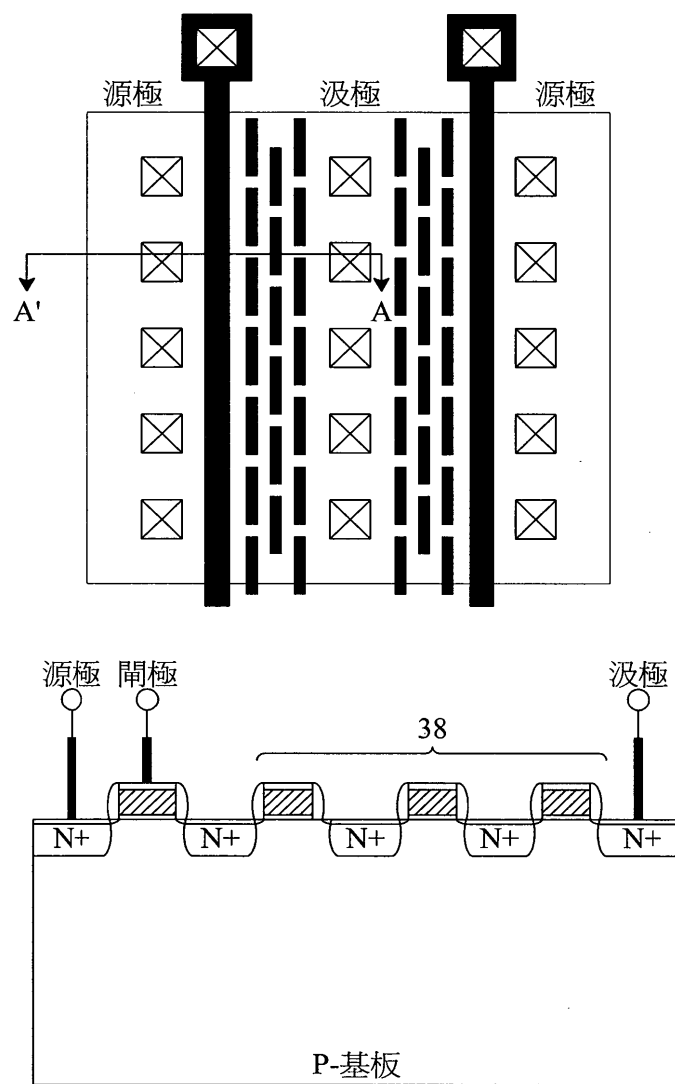


圖8
先前技術

(9)

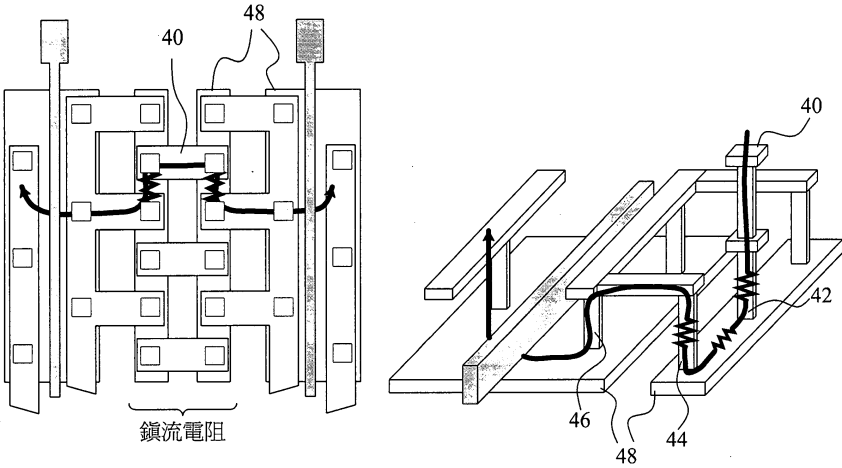


圖9
先前技術

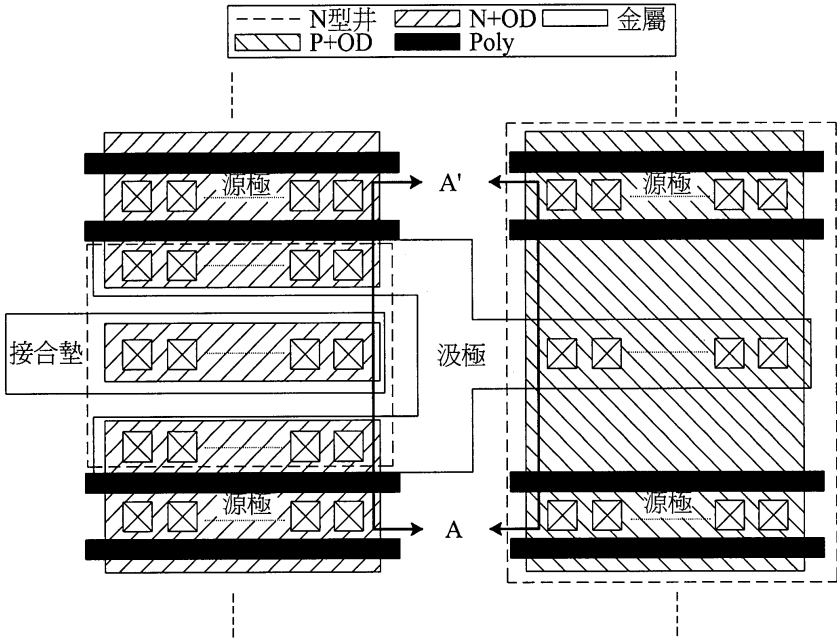


圖 10

(10)

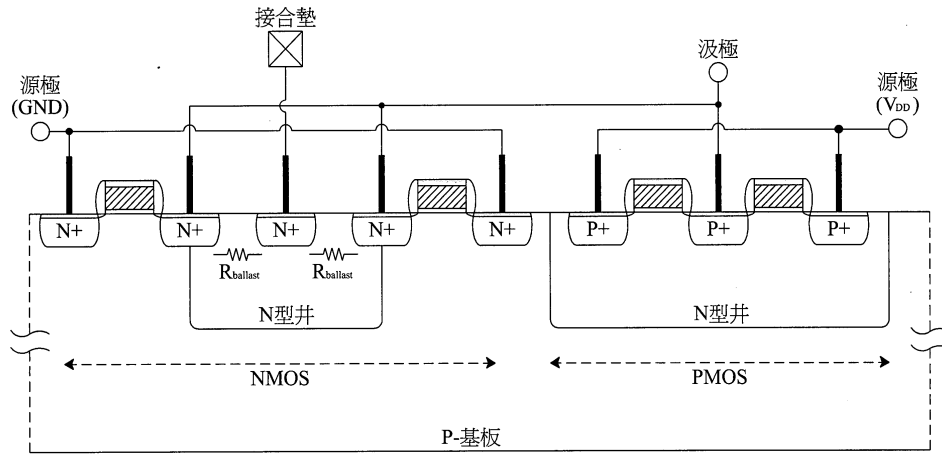


圖11

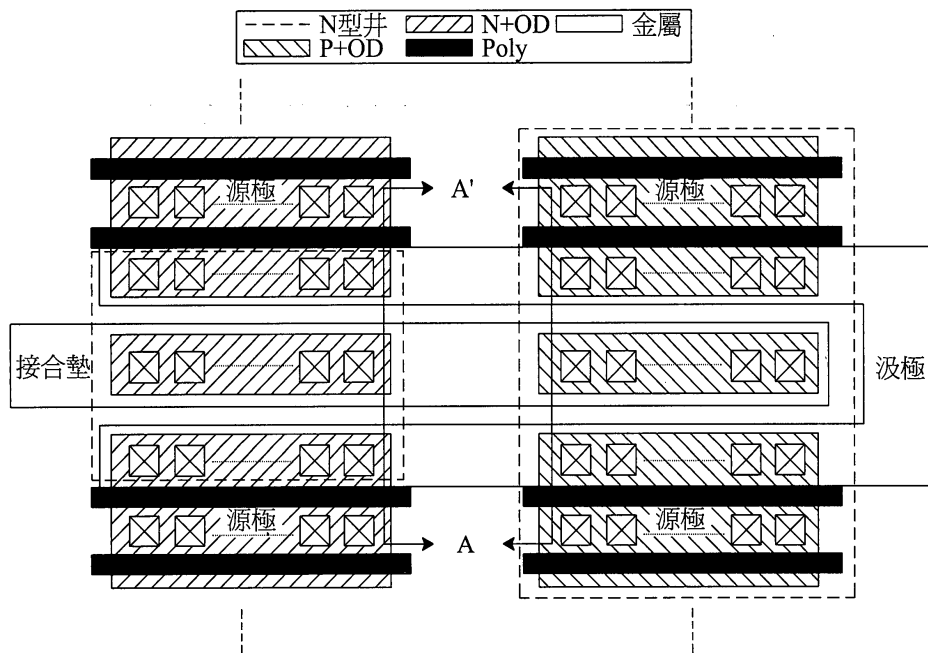


圖12

(11)

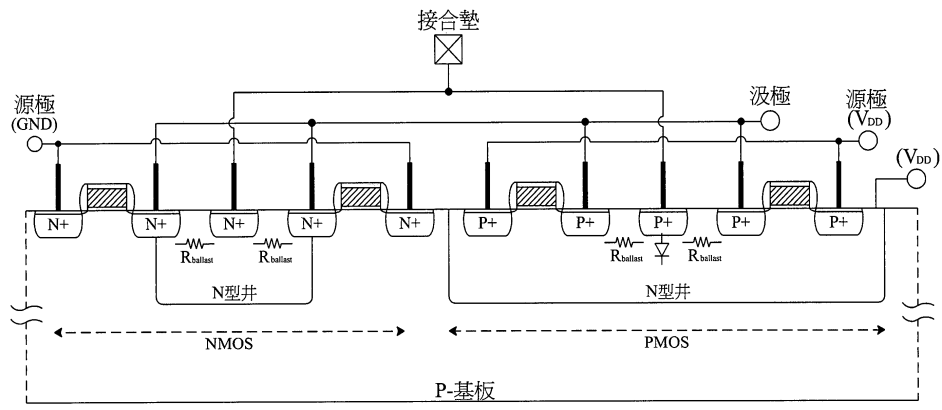


圖13