

【11】證書號數：I435439

【45】公告日：中華民國 103 (2014) 年 04 月 21 日

【51】Int. Cl. : H01L27/04 (2006.01) H02H9/00 (2006.01)

發明

全 6 頁

【54】名稱：靜電放電保護電路

ESD PROTECTION CIRCUIT

【21】申請案號：100132324

【22】申請日：中華民國 100 (2011) 年 09 月 07 日

【11】公開編號：201312729

【43】公開日期：中華民國 102 (2013) 年 03 月 16 日

【72】發明人：艾飛 (AR) ALTOLAGUIRRE, FEDERICO A. ; 柯明道 (TW) KER, MING DOU ; 王朝欽 (TW) WANG, CHUA CHIN

【71】申請人：國立中山大學

NATIONAL SUN YAT-SEN
UNIVERSITY

高雄市鼓山區蓮海路 70 號

【74】代理人：張啟威

【56】參考文獻：

US 2010/0277841A1

US 2010/0328827A1

審查人員：余宗翰

[57]申請專利範圍

1. 一種靜電放電保護電路，其係包含：一矽控整流器；一第一 CMOS 反相器，其係電性連接該矽控整流器；一第一電晶體，其係具有一第一端、一第二端及一第三端，該第一端係電性連接該矽控整流器及該第一 CMOS 反相器；一電流鏡，其係電性連接該第一電晶體之該第三端使得該第一電晶體可開啟及關閉該電流鏡以避免一漏電流被該電流鏡放大；一 PMOS 電容，其係電性連接該電流鏡；以及一電阻，其係電性連接該第一 CMOS 反相器、該第一電晶體之該第二端及該 PMOS 電容。
2. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該第一電晶體之該第一端係為閘極端，該第二端係為汲極端，該第三端係為源極端。
3. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該電流鏡係具有一第三電晶體及一第四電晶體，該第三電晶體之閘極端係電性連接該第三電晶體之汲極端、該第四電晶體之閘極端及該 PMOS 電容，該第四電晶體之汲極端係電性連接該第一電晶體之第三端。
4. 如申請專利範圍第 3 項所述之靜電放電保護電路，其中該 PMOS 電容係具有一第四端、一第五端及一第六端，該 PMOS 電容之該第四端係電性連接該電流鏡之該第三電晶體及該第四電晶體，該第五端及該第六端係電性連接該第一電晶體之該第二端、該第一 CMOS 反相器及該電阻，其中該第四端係為閘極端，該第五端係為汲極端，該第六端係為源極端。
5. 如申請專利範圍第 4 項所述之靜電放電保護電路，其中該 PMOS 電容另具有一體極端，該體極端係電性連接該第 PMOS 電容之汲極端及該 PMOS 電容之源極端。
6. 如申請專利範圍第 4 項所述之靜電放電保護電路，其中該第一 CMOS 反相器係具有一第五電晶體及一第六電晶體，該第五電晶體之閘極端及該第六電晶體之閘極端係電性連接該第一電晶體之第二端、該 PMOS 電容之汲極端、該 PMOS 電容之源極端及該電阻，該

(2)

第五電晶體之汲極端係電性連接該第六電晶體之汲極端、該矽控整流器及該第一電晶體之第一端。

7. 如申請專利範圍第 3 項所述之靜電放電保護電路，其中該 PMOS 電容係具有一第四端、一第五端及一第六端，該 PMOS 電容之該第四端係電性連接該第一電晶體之第二端、該第一 CMOS 反相器及該電阻，該 PMOS 電容之第五端及第六端係電性連接該電流鏡之該第三電晶體及該第四電晶體。
8. 如申請專利範圍第 7 項所述之靜電放電保護電路，其中該第一 CMOS 反相器係具有一第五電晶體及一第六電晶體，該第五電晶體之閘極端及該第六電晶體之閘極端係電性連接該第一電晶體之第二端、該 PMOS 電容之閘極端及該電阻，該第五電晶體之汲極端係電性連接該第六電晶體之汲極端、該矽控整流器及該第一電晶體之第一端。
9. 如申請專利範圍第 6 或 8 項所述之靜電放電保護電路，其中該矽控整流器係包含一 P 型井及一形成於該 P 型井之 P⁺ 觸發端，該 P⁺ 觸發端係電性連接該第五電晶體之汲極端、該第六電晶體之汲極端及該第一電晶體之第一端。
10. 如申請專利範圍第 8 項所述之靜電放電保護電路，其另具有一第二 CMOS 反相器，該第二 CMOS 反相器係具有一第七電晶體及一第八電晶體，該第七電晶體之閘極端及該第八電晶體之閘極端係電性連接該第五電晶體之汲極端、該第六電晶體之汲極端及該第一電晶體之第一端，該第七電晶體之汲極端及該第八電晶體之汲極端係電性連接該矽控整流器。
11. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該矽控整流器係可為一基體觸發之矽控整流器(Substrate Triggered Silicon Controlled Rectifier,STSCR)。

圖式簡單說明

第 1 圖：依據本發明之第一較佳實施例，一種靜電放電保護電路之電路圖。

第 2 圖：依據本發明之第一較佳實施例，該靜電放電保護電路於模擬靜電放電現象下之曲線圖。

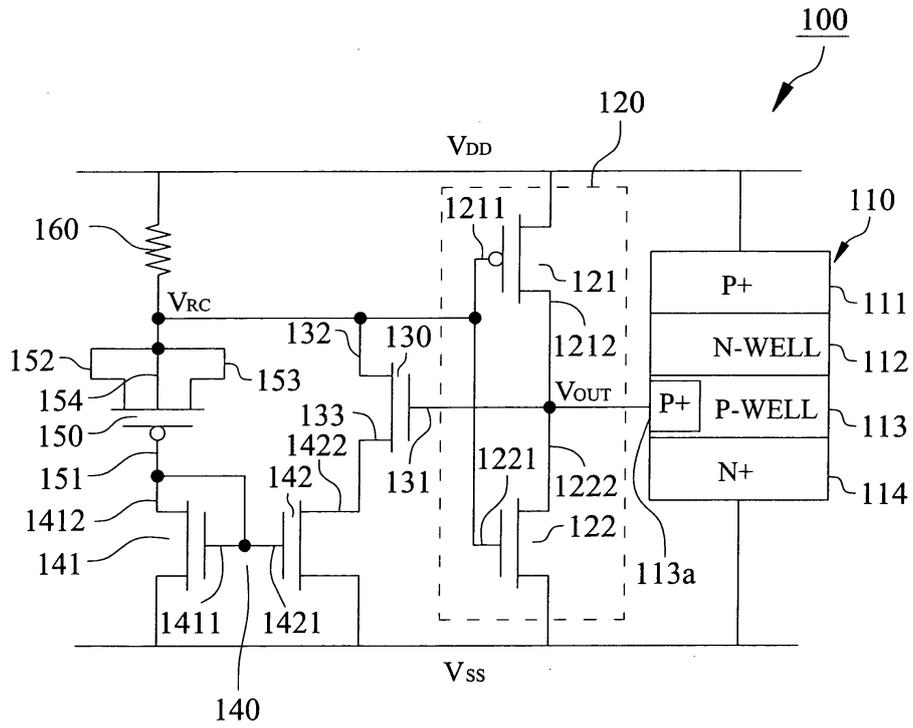
第 3 圖：依據本發明之第一較佳實施例，該靜電放電保護電路於模擬電源開啟暫態電壓之曲線圖。

第 4 圖：依據本發明之第二較佳實施例，該靜電放電保護電路之電路圖。

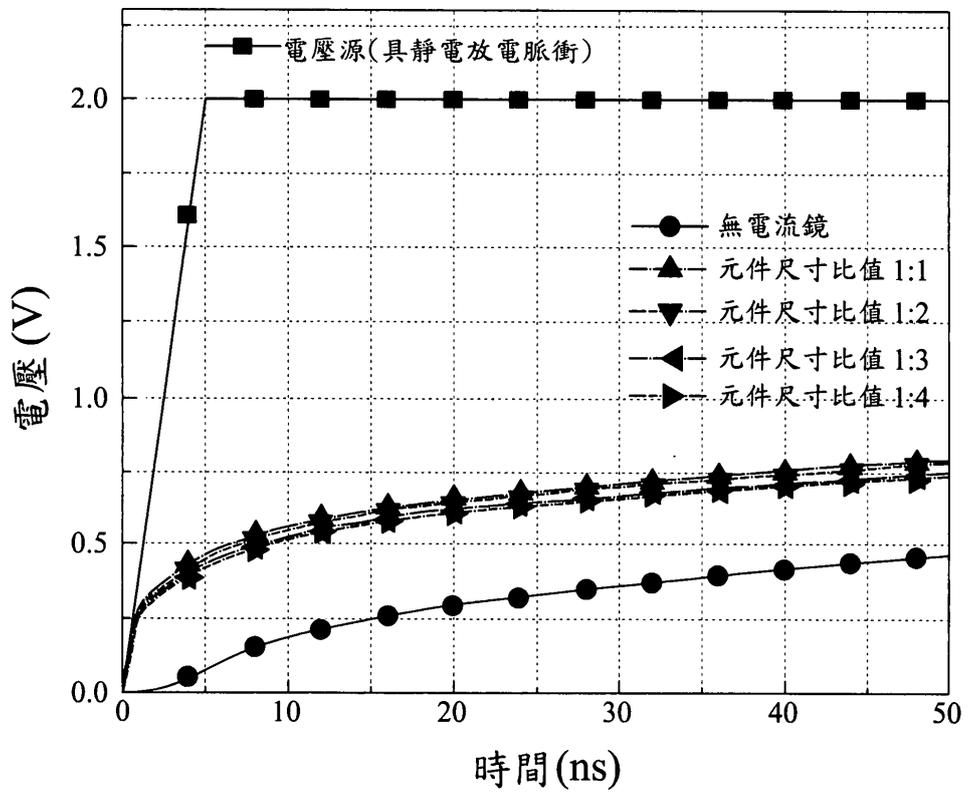
第 5 圖：依據本發明之第二較佳實施例，該靜電放電保護電路於模擬電源開啟暫態電壓之曲線圖。

第 6 圖：習知靜電放電保護電路之電路圖。

(3)

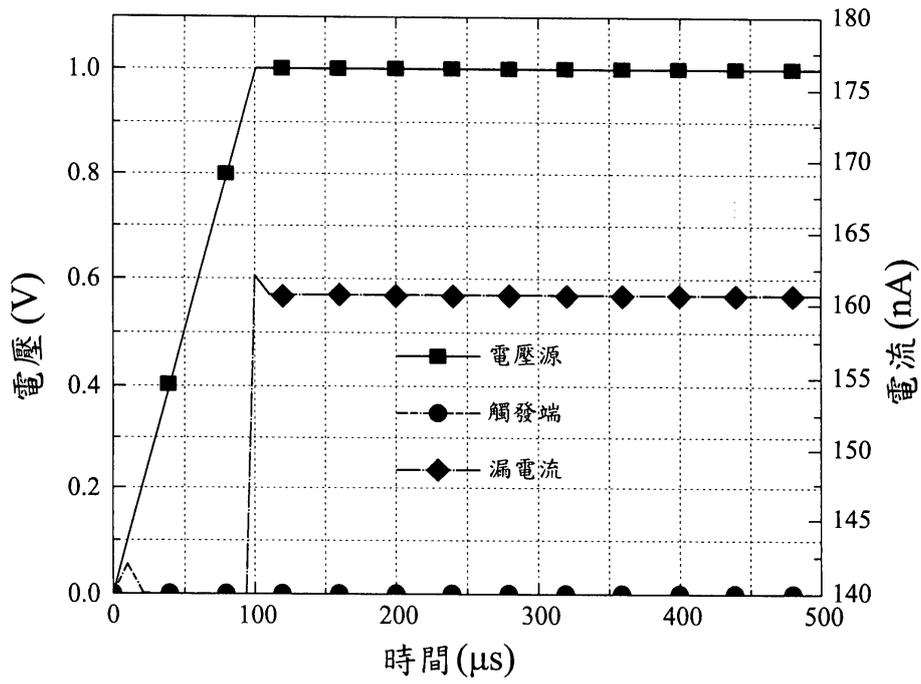


第 1 圖

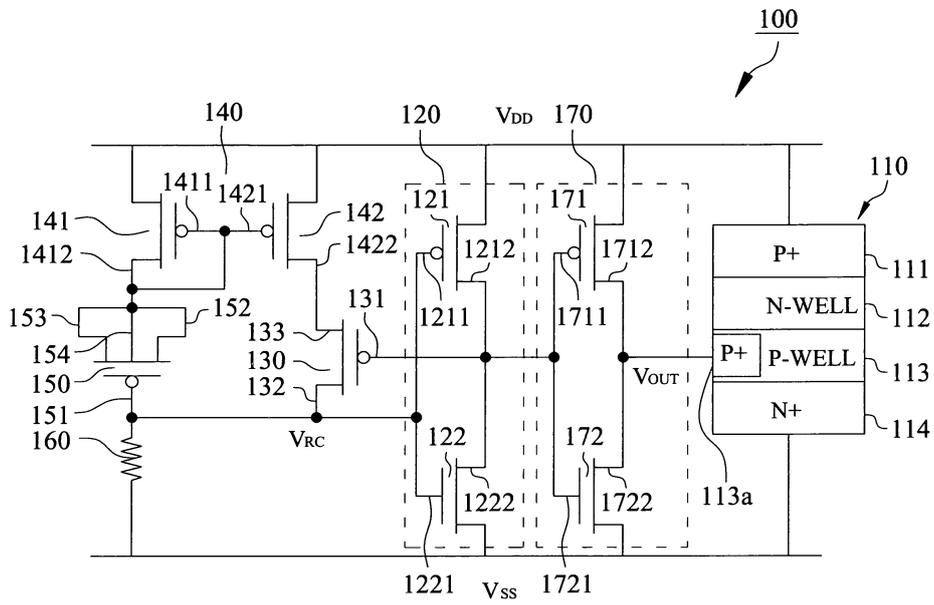


第 2 圖

(4)

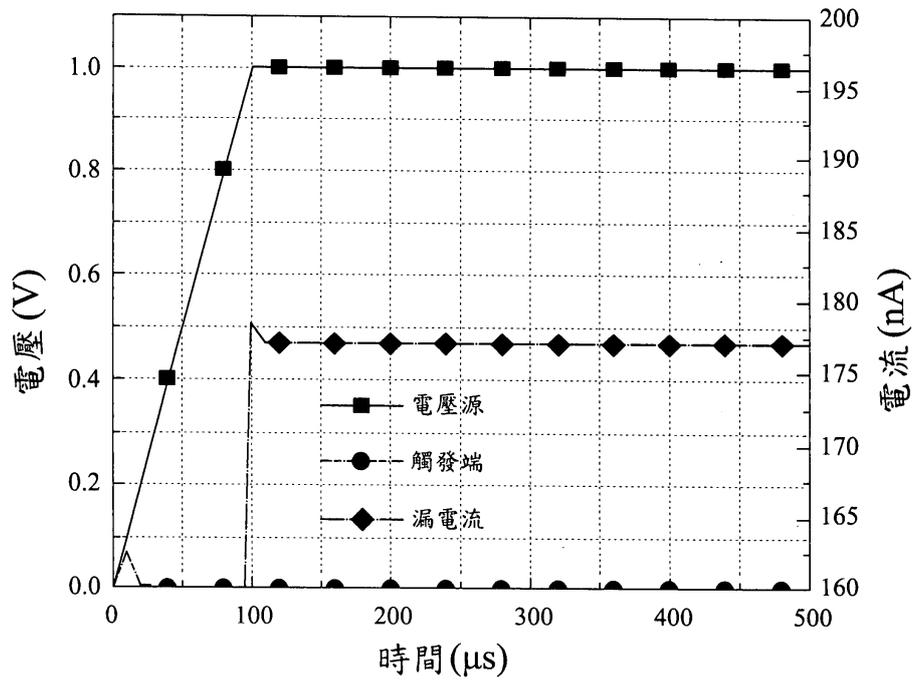


第 3 圖



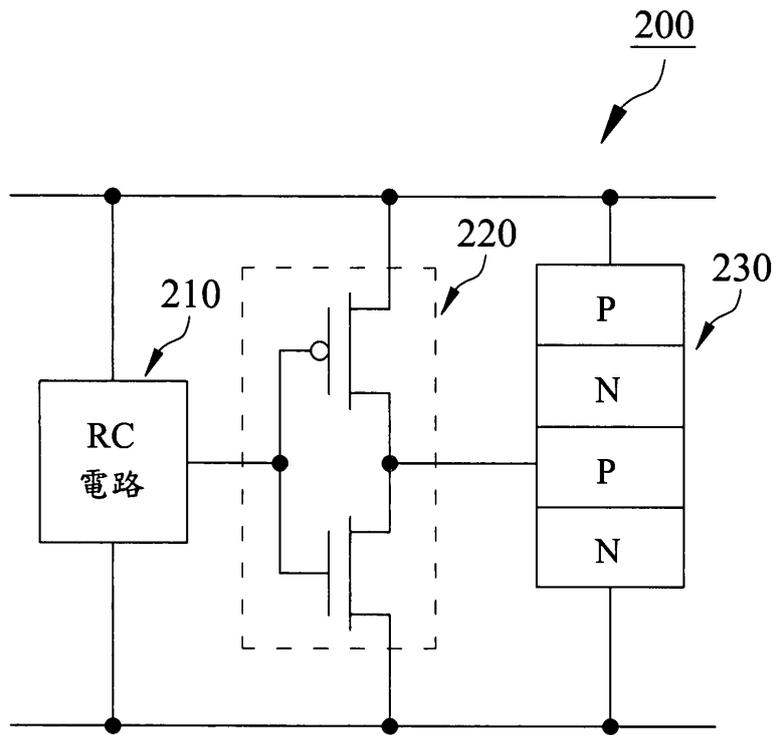
第 4 圖

(5)



第 5 圖

(6)



第 6 圖