

中華民國專利公報 [19] [12]

[11]公告編號：437093

[44]中華民國 90年 (2001) 05月25日

發明

全 4 頁

[51] Int.Cl⁰⁶: H01L29/78
H01L23/60

[54]名稱：利用動態浮接閘極技術之靜電放電防護電路

[21]申請案號：087104331

[22]申請日期：中華民國 87年 (1998) 03月23日

[72]發明人：

張恆祥
柯明道
李國財
黃玟翔

台北縣汐止市大同路二段三三七號
新竹市高峰里寶山路二〇〇巷三號四樓之三
金門縣金湖鎮菜市場二十號
高雄市前鎮區昆明街廿四號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1.一種靜電放電防護電路，用以防護由一接點進入之靜電，該靜電放電防護電路至少包含：

第一電晶體，該第一電晶體以汲極及源極連接於該接點及一第一電源之間；

第二電晶體，該第二電晶體以汲極及源極連接於該第一電晶體之閘極與該第一電源之間，及

延遲電路，該延遲電路與該第一電源及一第二電源相連，以延遲該第二電晶體於靜電進入時之開啟。

2.如申請專利範圍第1項之靜電放電防護電路，更包含二極體與該第一電晶體之汲極及源極並聯。

3.如申請專利範圍第1項之靜電放電防護電路，其中上述之接點為一積體電路之輸出接點或輸入接點。

4.如申請專利範圍第1項之靜電放電防護電路，其中上述之延遲電路至少包

含：

一負載，該負載之一端與該第二電源相連；及

一電荷儲存裝置，該電荷儲存裝置連接於該第一電源及該負載之另一端間，並由該電荷儲存裝置與該負載間產生控制該第二電晶體閘極之記號。

5.如申請專利範圍第1項之靜電放電防護電路，其中上述之第一電源為一高電位電源，上述之第二電源為一低電位電源。

6.如申請專利範圍第5項之靜電放電防護電路，其中上述之第一電晶體及上述之第二電晶體係使用P型通道電晶體。

7.如申請專利範圍第6項之靜電放電防護電路，其中上述之延遲電路至少包含：

一電阻，該電阻之一端與該低電位電源相連；及

一電容，該電容連接於該高電位電源及該電阻之另一端間，以由該電容與該電阻間產生控制該第二電晶體之訊號。

- 8.如申請專利範圍第7項之靜電放電防護電路，其中上述之電阻係由一 N 通道電晶體所構成，該 N 通道電晶體之閘極連接至該高電位電源。
- 9.如申請專利範圍第1項之靜電放電防護電路，其中上述之第一電源端為一低電位電源，上述之第二電源端為一高電位電源。
- 10.如申請專利範圍第8項之靜電放電防護電路，其中上述之第一電晶體及上述之第二電晶體係使用 N 通道電晶體。
- 11.如申請專利範圍第10項之靜電放電防護電路，其中上述之延遲電路至少包含：
 - 一電阻，該電阻之一端與該高電位電源相連；及
 - 一電容，該電容連接於該低電位電源及該電阻之另一端間，以由該電容與

該電阻間產生控制該第二電晶體之訊號。

- 12.如申請專利範圍第11項之靜電放電防護電路，其中上述之電阻係由一 P 通道電晶體所構成，該 P 通道電晶體之閘極連接至該低電位電源。

圖式簡單說明：

第一圖顯示傳統之靜電放電防護電路，應用於一接點之示意圖。

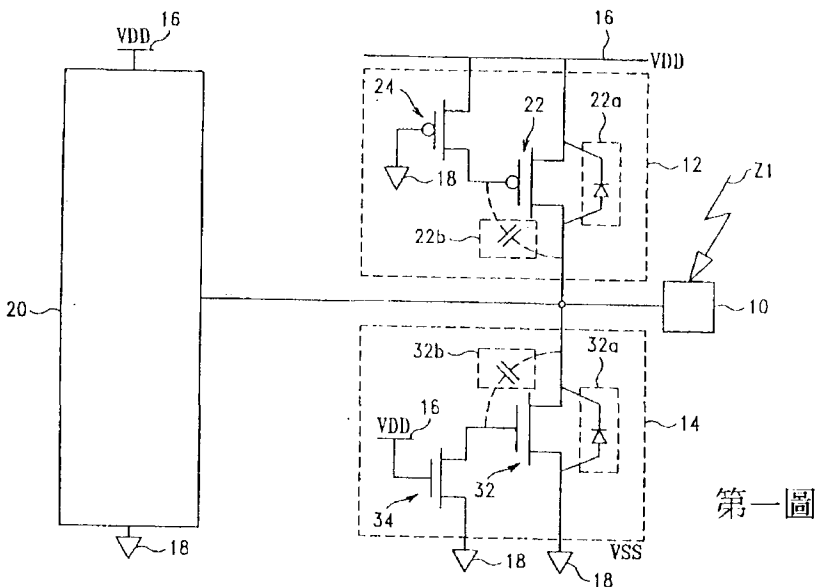
10. 第二圖顯示本發明之靜電放電防護電路，應用於一接點之示意圖。

第三圖顯示使用本發明中靜電放電防護電路之晶片，在模擬第一種測試模式下的電壓變化圖。

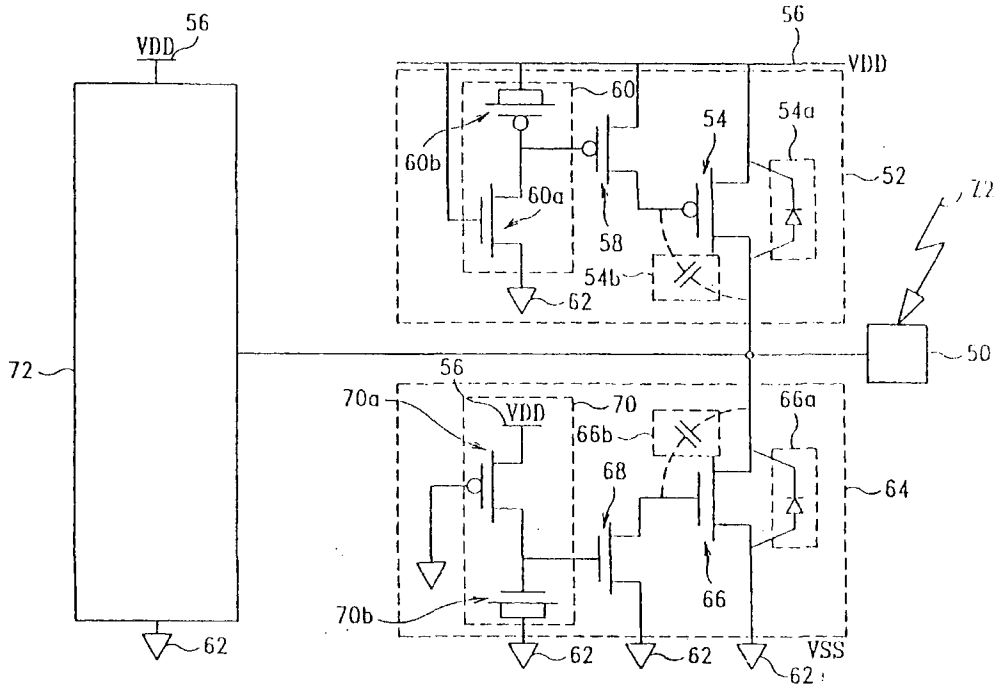
15. 第四圖顯示使用本發明中靜電放電防護電路之晶片，在模擬第一種測試模式下的電流變化圖。

第五圖顯示使用本發明中靜電放電防護電路之晶片，在模擬第二種測試模式下的電壓變化圖。

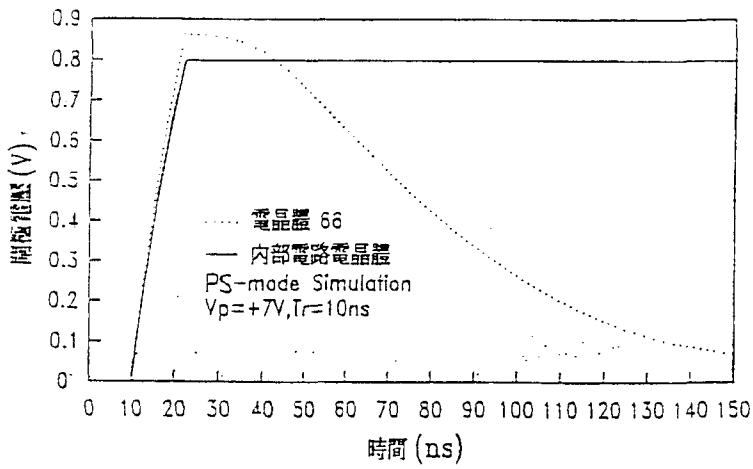
20. 第六圖顯示使用本發明中靜電放電防護電路之晶片，在模擬第二種測試模式下的電流變化圖。



(3)

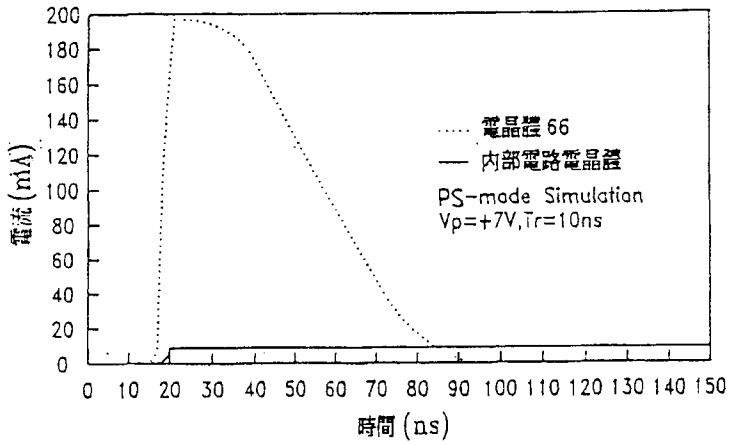


第二圖



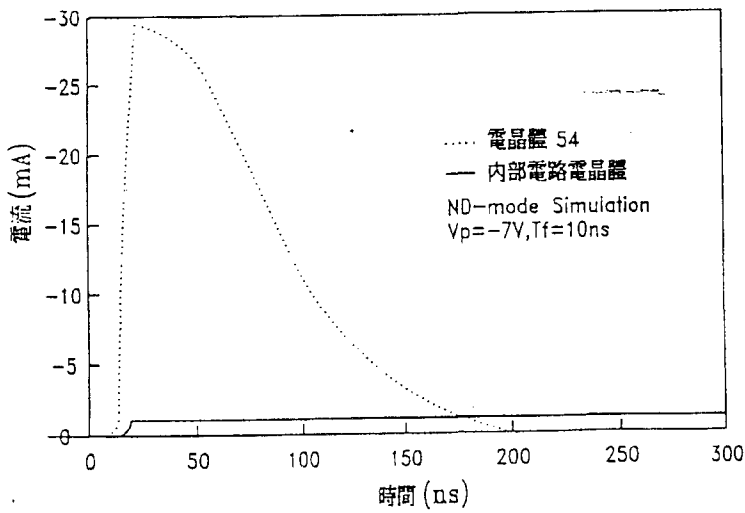
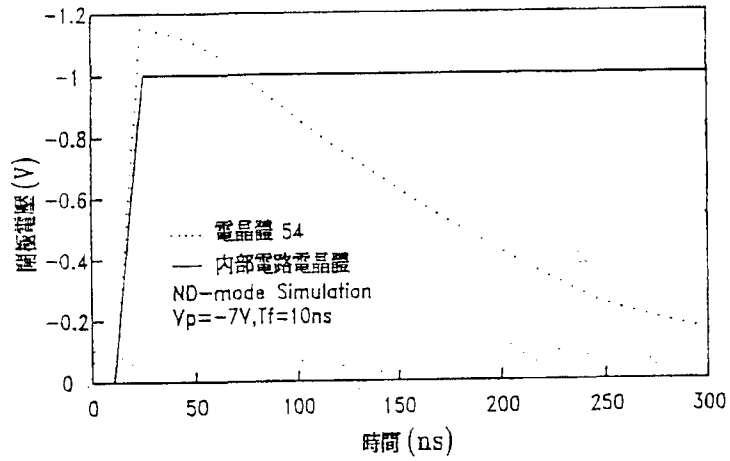
第三圖

(4)



第四圖

第五圖



第六圖