

[11]公告編號：441075

[44]中華民國 90年(2001) 06月16日

發明

全 13 頁

[51] Int.Cl 06: H01L23/60

[54]名稱：利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法

[21]申請案號：089108347

[22]申請日期：中華民國 89年(2000) 05月03日

[72]發明人：

陳東暘

柯明道

張恆祥

新竹市光復路一段八十九巷一二一號十二樓之二

新竹市寶山路二〇〇巷三號四樓之三

台北縣汐止市大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：李長銘 先生

1

2

[57]申請專利範圍：

1.一種利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，在一半導體基板上形成靜電放電防護元件，其步驟包括有：

a.在一半導體基板上形成絕緣隔離、閘氧化矽層、和閘極導電層，並形成淡摻雜源／汲極區；

b.使用本發明所述之單一光罩進行微影製程，以定義出靜電放電防護佈植區；所述靜電放電防護佈植區係位於所述靜電放電防護元件的源極／汲極區，但不包含源極／汲極區的中央部分；

c.接著在所述靜電放電防護佈植區進行淡摻雜之靜電放電防護離子佈植，其所使用的離子與所述淡摻雜源／汲極區屬同一半導體類型，其佈植能量必須高於後續 n^+ 擴散離子佈植的能量；

d.在閘極導電層的側壁形成間隙壁；

e.使用微影與離子佈植技術完成 n^+ 擴

散離子佈植與 p^+ 擴散離子佈植；以及
f.形成一層氧化矽層，再次使用本發明所述之單一光罩進行微影製程以定義矽化遮照區域，再以離子蝕刻技術對所述氧化矽層進行蝕刻，並進行自動對準之金屬矽化製程。

2.如申請專利範圍第1項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中步驟(b)所述之微影製程係先旋塗上一層光阻，再利用本發明所述之單一光罩進行曝光。

3.如申請專利範圍第1項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述靜電放電防護離子佈植係以能量介於60至100KeV 離子進行離子佈植所形成。

4.如申請專利範圍第1項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述靜電

放電防護離子佈植係以能量介於 60 至 100KeV 磷離子進行離子佈植所形成。

- 5.如申請專利範圍第 3 項或第 4 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述靜電放電防護離子佈植的摻雜濃度介於 $1E13$ 到 $7E13$ 原子／平方公分之間。
- 6.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中形成所述間隙壁的方法，係先在整個半導體基板上形成一層氧化矽層，再藉由非等向反應性離子蝕刻法進行回蝕刻而成。
- 7.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述 $n+$ 擴散離子佈植係以能量介於 40 至 80KeV 的砷離子進行，其摻雜濃度介於 $1E15$ 到 $7E15$ 原子／平方公分之間。
- 8.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述 $n+$ 擴散離子佈植係以能量介於 40 至 80KeV 的磷離子進行，其摻雜濃度介於 $1E15$ 到 $7E15$ 原子／平方公分之間。
- 9.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述 $p+$ 擴散離子佈植係以能量介於 40 至 80KeV 的硼離子進行，其摻雜濃度介於 $1E15$ 到 $7E15$ 原子／平方公分之間。
- 10.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述 $p+$ 擴散離子佈植係以能量介於 40 至 80KeV 的三氯化硼離子進行，其摻雜濃度介於 $1E15$ 到 $7E15$ 原子／平方公分之間。

- 11.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中步驟(f)所述之微影製程係先旋塗上一層光阻，再利用本發明所述之單一光罩進行曝光。
5. 12.如申請專利範圍第 1 項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，在完成自動對準之金屬矽化製程之後，更包含下列步驟：
 - a.形成一層 BPSG 層做為層間介電層；
 - b.利用傳統的微影與非等向性蝕刻技術形成接觸窗；以及
 15. c.沉積一層金屬層，並利用傳統的微影與蝕刻技術形成金屬內連線。
- 13.一種利用單一光罩來實現靜電放電防護所佈植與矽化遮照處理的製程方法，在一半導體基板上形成靜電放電防護 N 型金氧半場效電晶體，其步驟包括有：
 - a.在一半導體基板上形成 P 型井、絕緣隔離、閘氧化矽層、和閘極導電層，並形成淡摻雜源／汲極區；
 25. b.在所述半導體基板上旋塗上一層光阻，使用本發明所述之單一光罩進行微影製程，以定義出靜電放電防護佈植區；所述靜電放電防護佈植區係位於所述靜電放電防護元件的源極／汲極區，但不包含源極／汲極區的中央部份；
 30. c.利用 N 型半導體物質在所述靜電放電防護佈植區進行淡摻雜之靜電放電防護離子佈植，其佈植能量必須高於後續 $n+$ 擴散離子佈植的能量；
 35. d.在閘極導電層的側壁形成間隙壁；
 - e.使用微影與離子佈植技術完成 $n+$ 擴散離子佈植與 $p+$ 擴散離子佈植；以及
 40. f.形成一層氧化矽層並旋塗上一層光阻，再次使用本發明所述之單一光罩

進行微影製程以在所述靜電放電防護佈植區的源極／汲極區定義矽化遮照區域和非矽化遮照區域，其中所述非矽化遮照區域即為上述源極／汲極區的中央部份；以及

g.以離子蝕刻技術對所述氧化矽層進行蝕刻，並進行自動對準之金屬矽化製程。

14.如申請專利範圍第13項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述靜電放電防護離子佈植係以能量介於60至100KeV 砷離子進行離子佈植所形成。

15.如申請專利範圍第13項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述靜電放電防護離子佈植係以能量介於60至100KeV 磷離子進行離子佈植所形成。

16.如申請專利範圍第14項或第15項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述靜電放電防護離子佈植的摻雜濃度介於1E13到7E13原子／平方公分之間。

17.如申請專利範圍第13項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中形成所述間隙壁的方法，係先在整個半導體基板上形成一層氧化矽層，再藉由非等向反應性離子蝕刻法進行回蝕刻而成。

18.如申請專利範圍第13項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述n+擴散離子佈植係以能量介於40至80KeV 的砷離子進行，其摻雜濃度介於1E15到7E15原子／平方公分之間。

19.如申請專利範圍第13項所述之利用單

一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述n+擴散離子佈植係以能量介於40至80KeV 的磷離子進行，其摻雜濃度介於1E15到7E15原子／平方公分之間。

5. 20.如申請專利範圍第13項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述p+擴散離子佈植係以能量介於40至80KeV 的硼離子進行，其摻雜濃度介於1E15到7E15原子／平方公分之間。

21.如申請專利範圍第13項所述之利用單一光罩來實現靜電放電防護佈植與矽化遮照處理的製程方法，其中所述p+擴散離子佈植係以能量介於40至80KeV 的三氯化硼離子進行，其摻雜濃度介於1E15到7E15原子／平方公分之間。

圖式簡單說明：

20. 第一圖A是習知技術中在一半導體基板上形成P型井、場氧化矽層、閘氧化矽層、和閘極導電層之製程的剖面示意圖。

第一圖B是習知技術中在一半導體基板上旋塗上一層光阻，使用NP光罩進行微影製程，以定義出淡摻雜汲極區域之製程的剖面示意圖。

第一圖C是習知技術中形成淡摻雜源極／汲極區之製程的剖面示意圖。

30. 第一圖D是習知技術中使用ESD光罩進行微影製程，以定義出靜電放電防護離子佈植之區域之製程的剖面示意圖。

第一圖E是習知技術中利用離子佈植技術在靜電放電防護元件區形成ESD防護濃摻雜區之製程的剖面示意圖。

第一圖F是習知技術中在閘極導電層的側壁上形成二氧化矽間隙壁之製程的剖面示意圖。

40. 第一圖G是習知技術中使用NP光罩

進行微影製程的剖面示意圖。

第一圖 H 是習知技術中使用離子佈植技術在內部元件區形成 n+ 濃摻雜區之製程的剖面示意圖。

第一圖 I 是習知技術中使用 PP 光罩進行微影製程的剖面示意圖。

第一圖 J 是習知技術中利用離子佈植技術在靜電放電防護元件區和內部元件區形成 p+ 濃摻雜區之製程的剖面示意圖。

第一圖 K 是習知技術中形成一層低溫氧化矽層，接著在整個半導體基板上旋塗上一層光阻，使用矽化遮照光罩進行微影製程，以定義出矽化遮照區域之製程的剖面示意圖。

第一圖 L 是習知技術中形成一層鈦金屬層，並利用快速高溫回火技術進行矽化製程的剖面示意圖。

第一圖 M 是習知技術中形成一層 BPSG 層做為層間介電層之製程的剖面示意圖。

第一圖 N 是習知技術中利用接觸窗光罩進行微影製程，以定義出接觸窗位置之製程的剖面示意圖。

第一圖 O 是習知技術中形成接觸窗之製程的剖面示意圖。

第一圖 P 是習知技術中形成金屬內連線之製程的剖面示意圖。

第二圖是本發明的製程流程圖。

第三圖 A 是本發明技術中在一半導體基板上形成 P 型井、場氧化矽層、閘氧化矽層、和閘極導電層之製程的剖面示意圖。

第三圖 B 是本發明技術中在一半導體基板上旋塗上一層光阻，使用 NP 光罩進行微影製程，以定義出淡摻雜汲極區域之製程的剖面示意圖。

第三圖 C 是本發明技術中形成淡摻雜源極／汲極區之製程的剖面示意圖。

第三圖 D 是本發明技術中使用單一

光罩進行微影製程，以定義出靜電放電防護離子佈植之區域之製程的剖面示意圖。

5. 第三圖 E 是本發明技術中利用離子佈植技術在靜電放電防護元件區形成 ESD 防護淡摻雜區之製程的剖面示意圖。

10. 第三圖 F 是本發明技術中在閘極導電層的側壁上形成二氧化矽之間隙壁之製程的剖面示意圖。

第三圖 G 是本發明技術中使用 NP 光罩進行微影製程的剖面示意圖。

15. 第三圖 H 是本發明技術中利用離子佈植技術在內部元件區形成 n+ 濃摻雜區之製程的剖面示意圖。

第三圖 I 是本發明技術中使用 PP 光罩進行微影製程的剖面示意圖。

20. 第三圖 J 是本發明技術中利用離子佈植技術在靜電放電防護元件區和內部元件區形成 p+ 濃摻雜區之製程的剖面示意圖。

25. 第三圖 K 是本發明技術中形成一層低溫氧化矽層，接在整個半導體基板上旋塗上一層光阻，使用單一光罩進行微影製程，以定義出矽化遮照區域之製程的剖面示意圖。

第三圖 L 是本發明技術中形成一層鈦金屬層，並利用快速高溫回火技術進行矽化製程之製程的剖面示意圖。

30. 第三圖 M 是本發明技術中形成一層 BPSG 層做為層間介電層之製程的剖面示意圖。

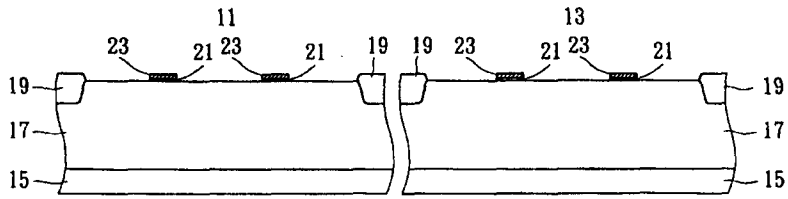
35. 第三圖 N 是本發明技術中利用接觸窗光罩進行微影製程，以定義出接觸窗位置之製程的剖面示意圖。

第三圖 O 是本發明技術中形成接觸窗之製程的剖面示意圖。

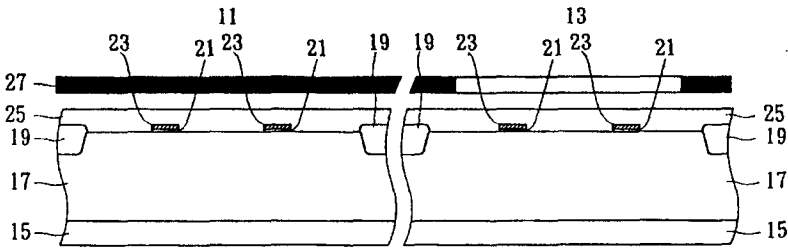
第三圖 P 是本發明技術中形成金屬內連線之製程的剖面示意圖。

40. 第四圖是本發明所述單一光罩在靜

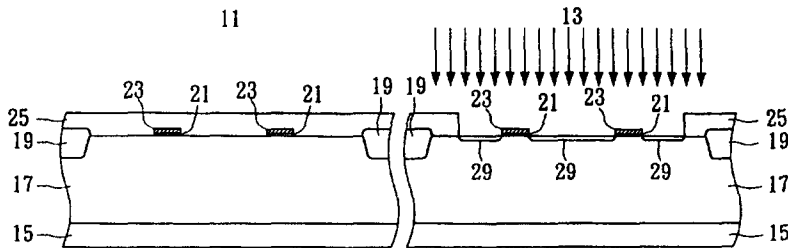
電放電防護元件區之佈局圖。



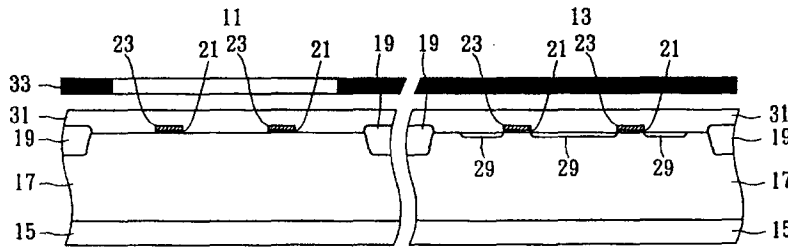
A



B

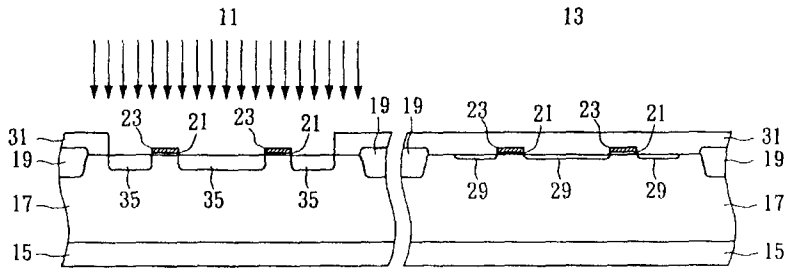


C

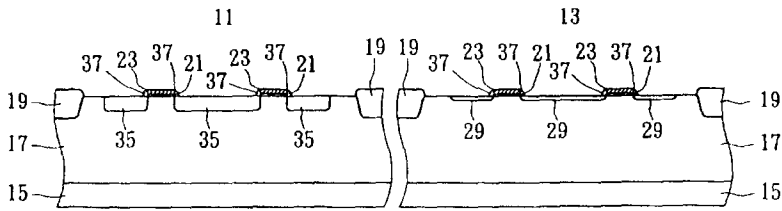


D

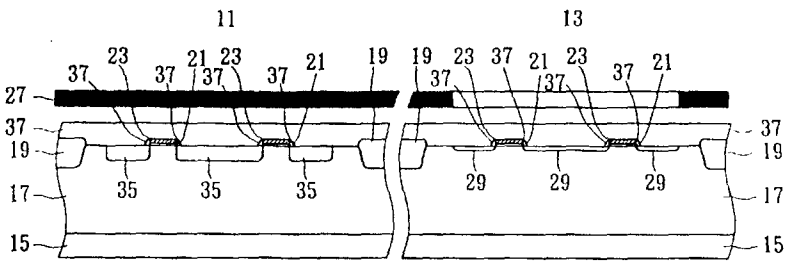
第一圖



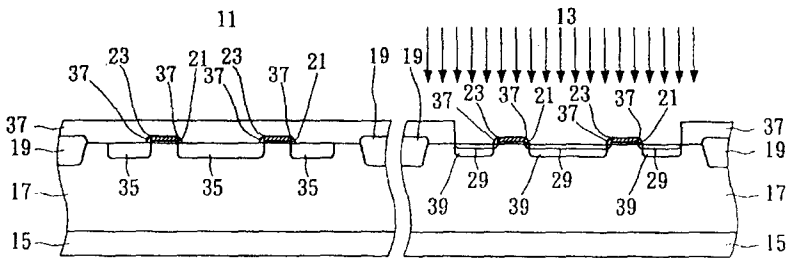
E



F

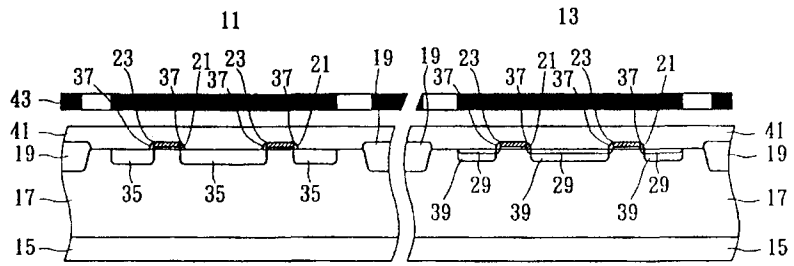


G

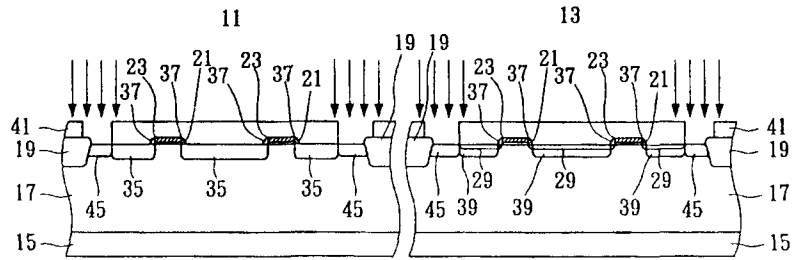


H

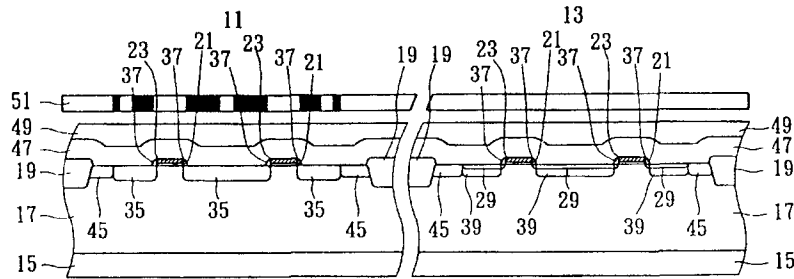
第一圖



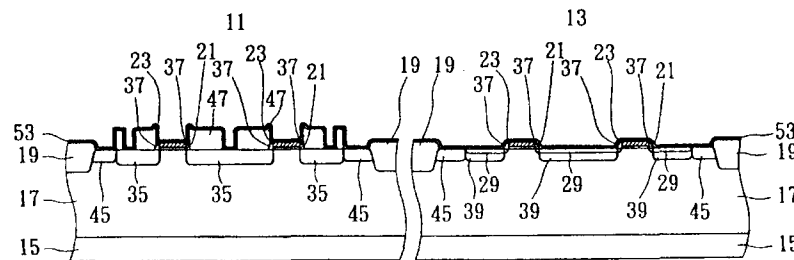
I



J

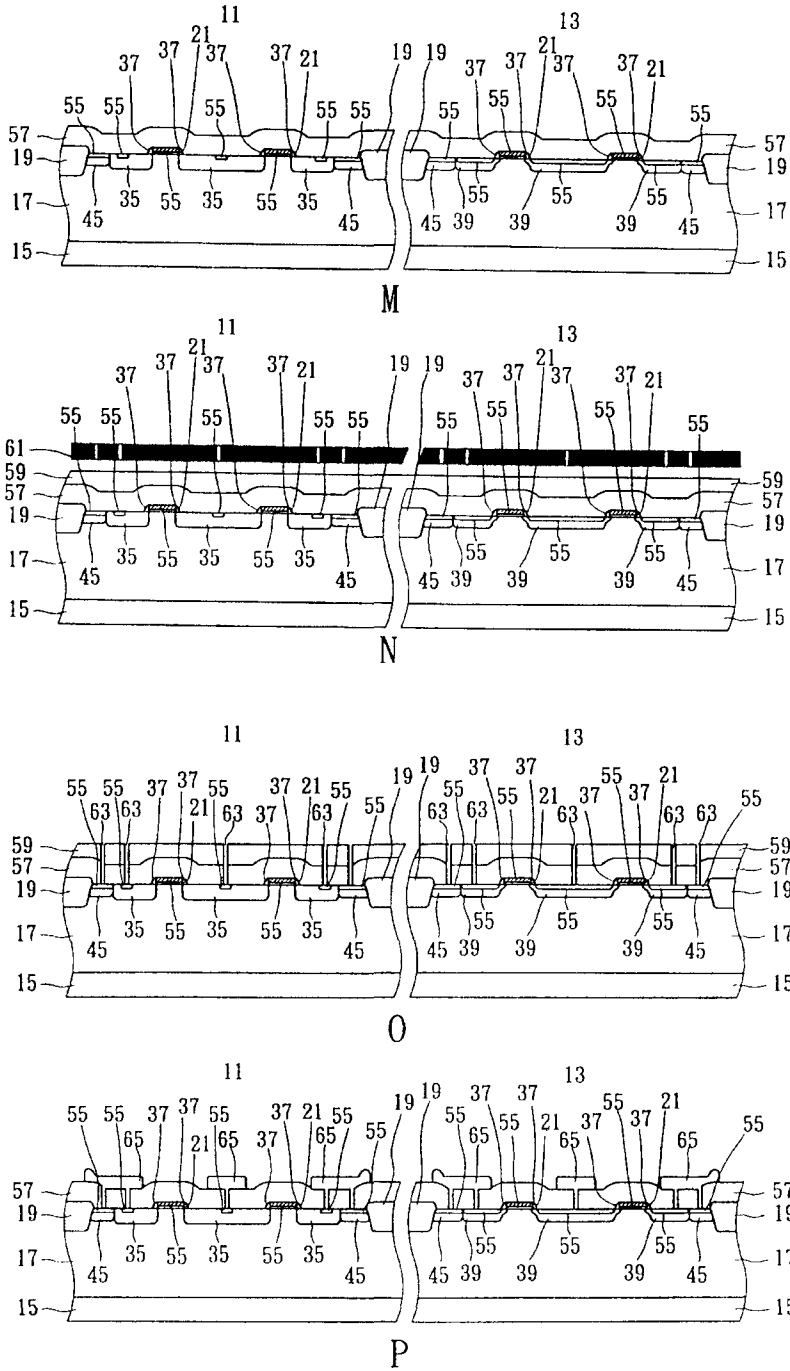


K

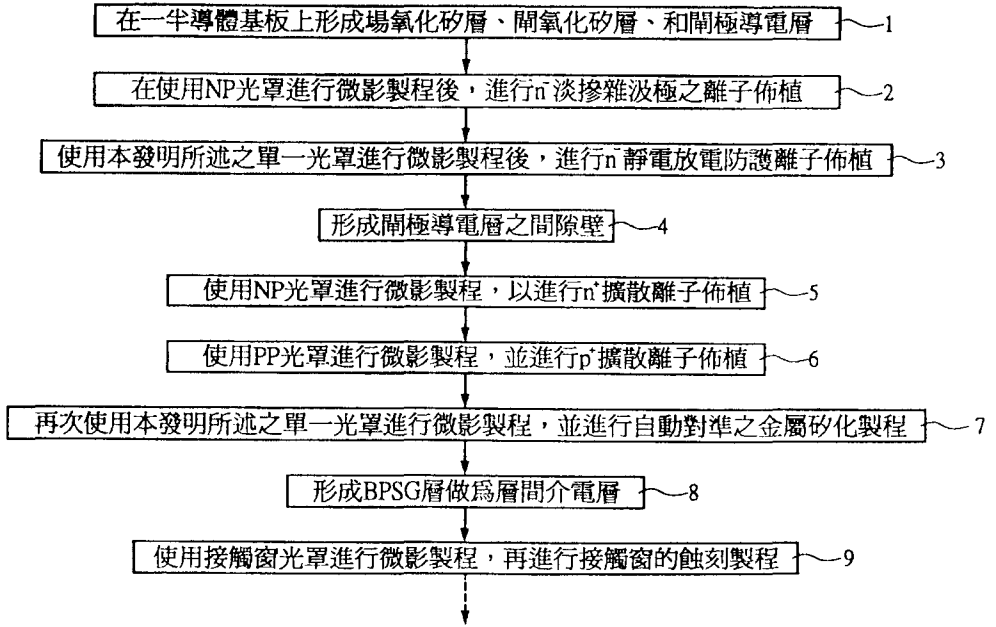


L

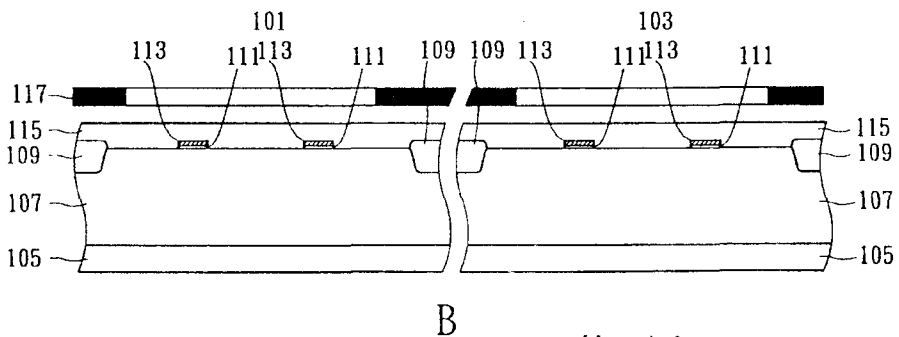
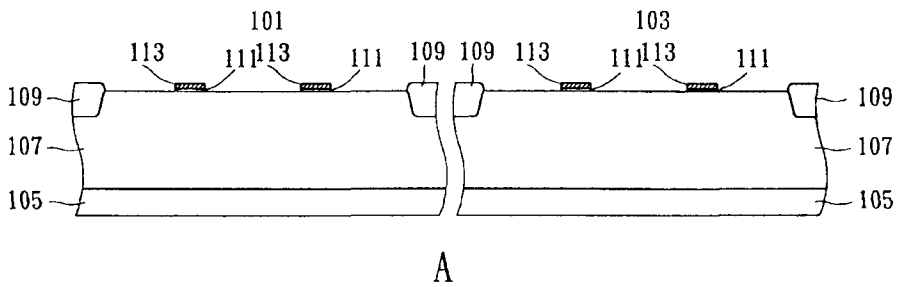
第一圖



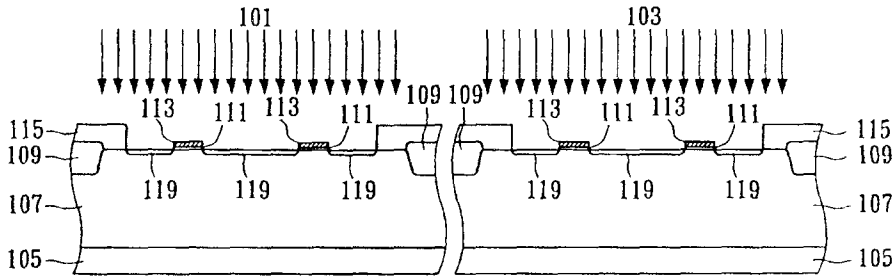
第一圖



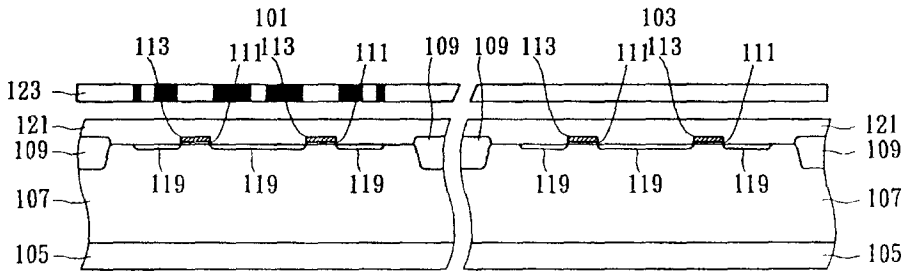
第二圖



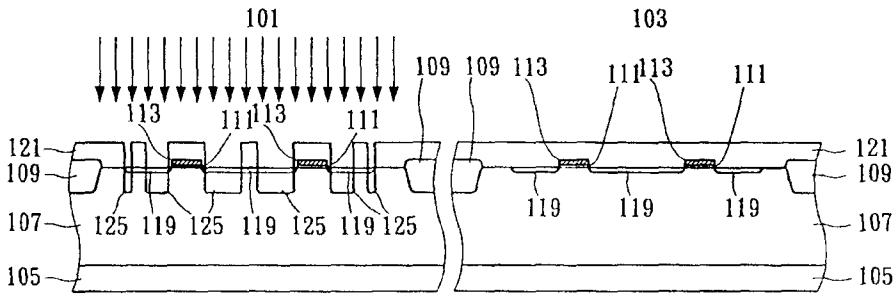
第三圖



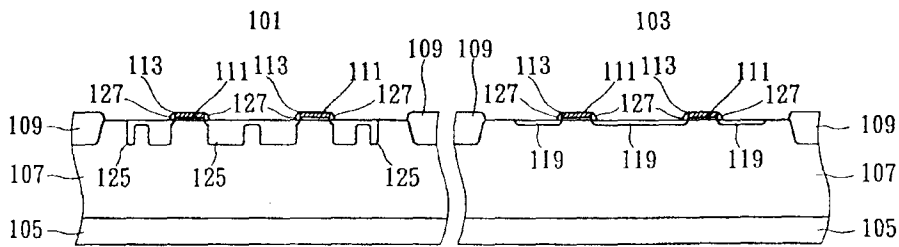
C



D

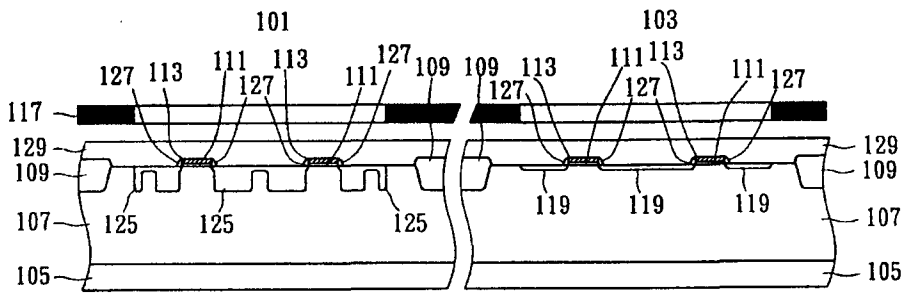


E

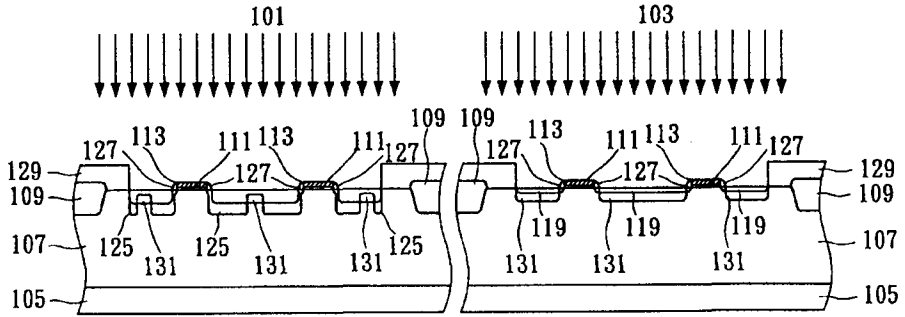


F

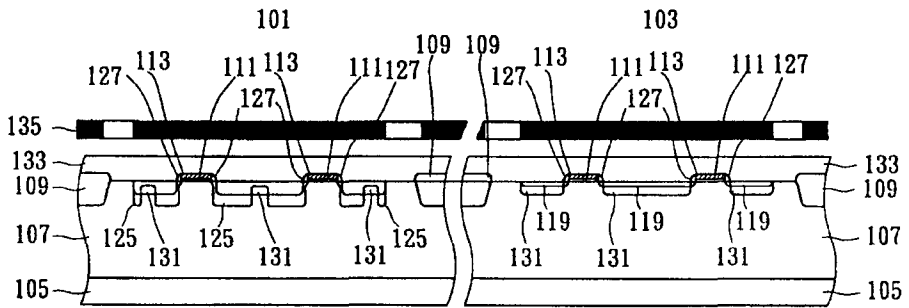
第三圖



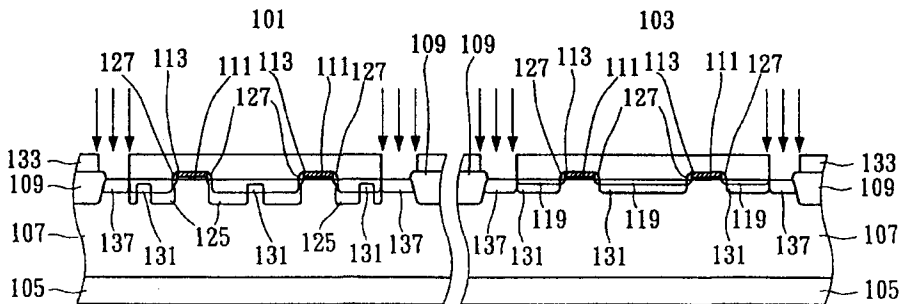
G



H

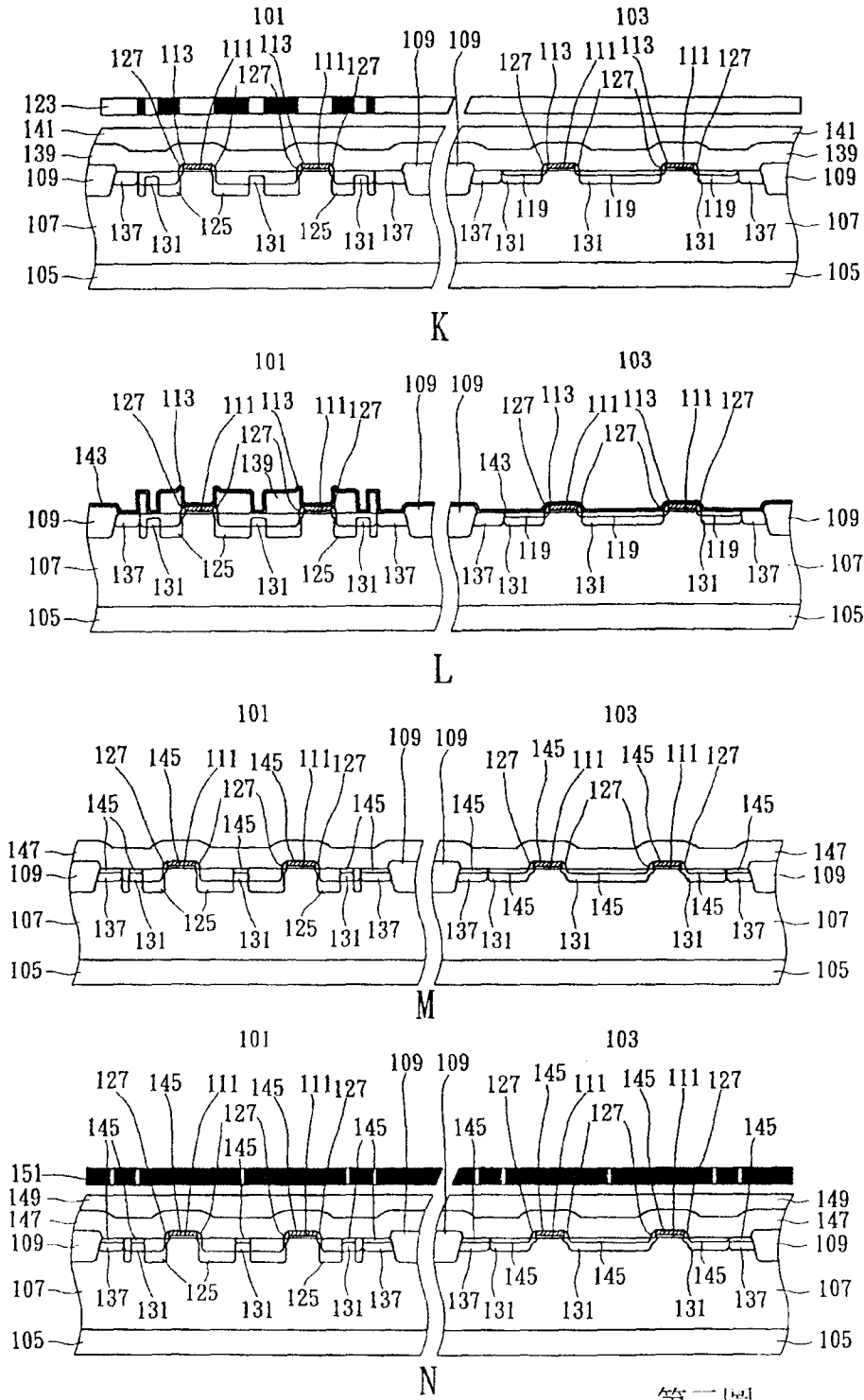


I



J

第三圖



第三圖

