

[11]公告編號：442941

[44]中華民國 90年 (2001) 06月 23日

發明

全 13 頁

[51] Int.Cl⁰⁶: H01L23/60

[54]名稱：具靜電放電防護離子佈值之電晶體結構與其製作之方法

[21]申請案號： 089107673

[22]申請日期：中華民國 89年 (2000) 04月 24日

[72]發明人：

柯明道

陳東暘

張恆祥

新竹市東區寶山路二〇〇巷三號四樓之三

新竹市光復路一段八十九巷一二一號十二樓之二

台北縣汐止市大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人： 洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種具有靜電放電防護能力之電晶體，包含有：

一閘結構，設於一基底上之一第一導電型的井區表面；以及

一汲極區以及一源極區，設於該井區表面，且個別鄰接於該閘結構，汲極區包含有：

一第二導電型之第一保護區，設於該井區之表面且鄰接於該閘結構；以及一第二導電型之第一高摻雜區，設於該井區之表面；

其中，該第一保護區之深度係較該第一高摻雜區之深度深，該第一保護區之濃度係較該第一高摻雜區之濃度淡，該第一保護區之部分係與該第一高摻雜區之部分重疊。

2. 如申請專利範圍第 1 項之電晶體，其中，該電晶體另包含有一側壁子，鄰接於該閘結構之周圍，且該第一高摻雜區係鄰接於該側壁子。

3. 如申請專利範圍第 1 項之電晶體，其中，該汲極區係耦合至一接合墊，該井區係耦合至一電源埠。

4. 如申請專利範圍第 3 項之電晶體，其中，該汲極區係透過至少一設於該第一摻雜區上之接觸洞耦合至該接合墊，且該接觸洞並不與該第一保護區相重疊。

5. 如申請專利範圍第 1 項之電晶體，其中，該源極區係為一輕摻雜汲極結構 (light-doped-drain structure)。

6. 如申請專利範圍第 1 項之電晶體，其中，該源極區包含有：

一第二導電型之第二高摻雜區，設於該井區表面；以及

一第二導電型之第二保護區，該第二保護區係與該第二高摻雜區相耦合；

其中，該第二保護區之深度係較該第二高摻雜區之深度深，該第二保護區之濃度係較該第二高摻雜區之濃度

淡。

- 7.一種產生一具有靜電放電防護能力之結構的製作方法，包含有下列步驟：
提供一基底，包含有：
一第一導電型之井區；以及
一閘結構，設於該井區之表面；
進行一靜電放電保護離子佈值製程，於該井區之表面形成一第二導電型之第一保護區，且該第一保護區鄰接於該閘結構；以及
進行一第一離子佈值製程，於該井區之表面形成一第二導電型之第一高摻雜區；
其中，該第一保護區之深度係較該第一高摻雜區之深度深，該第一保護區之濃度係較該第一高摻雜區之濃度淡，該第一保護區之部分係與該第一高摻雜區之部分重疊。
- 8.如申請專利範圍第7項之製作方法，其中，該製作方法另包含有下列步驟：
形成一內連接線路(inter-connection)，以使該井區耦合至一電源埠，以及該第一高摻雜區耦合至一接合墊。
- 9.如申請專利範圍第8項之製作方法，其中，該內連接線路包含有至少一接觸洞於該第一高摻雜區上，作為該第一高摻雜區之電連接，且該接觸洞並不與該第一保護區相重疊。
- 10.如申請專利範圍第7項之製作方法，其中，該製作方法另包含有下列步驟：
進行一第二離子佈值製程，於該井區之表面形成一第二導電型之第一低摻雜區，且該第一低摻雜區係鄰接於該閘結構。
其中，該第一低摻雜區之摻雜濃度係較該第一保護區之摻雜濃度淡，且該第二摻雜區之深度係較該第一高摻雜區之深度淺。

- 11.如申請專利範圍第7項之製作方法，其中，該製作方法於進行該第一離子佈值製程之前，另包含有一步驟以於該閘結構之側壁形成一側壁子，且該第一高摻雜區係鄰接於該側壁子。
- 12.如申請專利範圍第7項之製作方法，其中，該閘結構包含有一閘極以及一閘氧化層。
- 13.如申請專利範圍第7項之製作方法，其中，該閘結構包含有一場氧化層。
- 14.如申請專利範圍第7項之製作方法，其中，該第一導電型係為p型，且該第二導電型係為n型。
- 15.如申請專利範圍第7項之製作方法，其中，該第一導電型係為n型，且該第二導電型係為p型。
- 16.一種具有靜電放電防護能力之裝置，適用於一基底，包含有：
一第一導電型之井區，耦合至一電源埠；
一第二導電型之第一高摻雜區，設於該井區之表面，耦合至一接合墊，包含有一待保護側邊；以及
一第二導電型之第一保護區，設於該井區之表面，該第一保護區覆蓋住該待保護側邊，且該第一保護區與該第一高摻雜區並不完全重疊；
其中，該第一保護區之深度係較該第一高摻雜區之深度深，該第一保護區之濃度係較該第一高摻雜區之濃度淡。
- 17.如申請專利範圍第16項之裝置，其中，該裝置另包含有一第一導電型之井接觸區，設於該井區表面，且耦合至該電源埠。
- 18.如申請專利範圍第16項之裝置，其中，該裝置另包含有一第二導電型之第二高摻雜區，設於該井區表面，且耦合至該電源埠。
- 19.如申請專利範圍第18項之裝置，其

中，該裝置另包含有一第二導電型之第二保護區，該第二保護區係與該第二高摻雜區相耦合。

20.如申請專利範圍第 16 項之裝置，其中，該裝置另包含有一閘結構，設於該第一高摻雜區與該第二高摻雜區之間，以隔開該第一高摻雜區與該第二高摻雜區。

21.如申請專利範圍第 20 項之裝置，其中，該閘結構包含有一閘極以及一閘氧化層。

22.如申請專利範圍第 20 項之裝置，其中，該閘結構包含有一場氧化層。

圖式簡單說明：

第一圖 A 為一種傳統具有 LDD 結構之輸出埠 NMOS 的示意圖；

第一圖 B 為第一圖 A 的光罩佈局圖；

第二圖 A 為另一種習知去除 LDD 結構之輸出埠 NMOS 的示意圖；

第二圖 B 為第二圖 A 的光罩佈局圖；

第三圖 A 為一種習知利用低崩潰電壓接面作為 ESD 防護之輸出埠 NMOS 的示意圖；

第三圖 B 為第三圖 A 的光罩佈局圖；

第四圖 A 至第四圖 F 為本發明之製作方法的流程示意圖；

5. 第五圖 A 與第五圖 C 分別為本發明所提供之 NMOS 電晶體與 PMOS 電晶體之剖面圖；

第五圖 B 為第五圖 A 與第五圖 C 的光罩佈局圖；

10. 第六圖 A 與第六圖 C 分別為本發明所提供之另一種 NMOS 電晶體與 PMOS 電晶體之剖面圖；

第六圖 B 為第六圖 A 與第六圖 C 的光罩佈局圖；

15. 第七圖 A 與第七圖 B 為運用本發明在 N 型與 P 型場氧化層電晶體之示意圖；

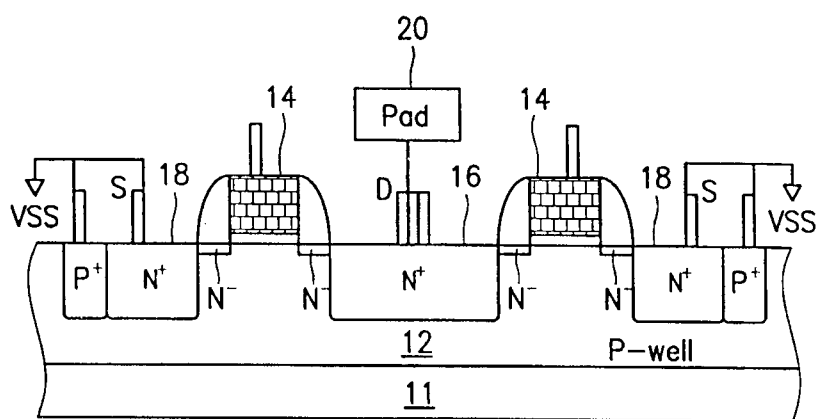
第八圖 A 與第八圖 B 為另外運用本發明在 N 型與 P 型場氧化層電晶體之示意圖；

20. 第九圖 A 為本發明應用在二極體元件之第一實施例；以及

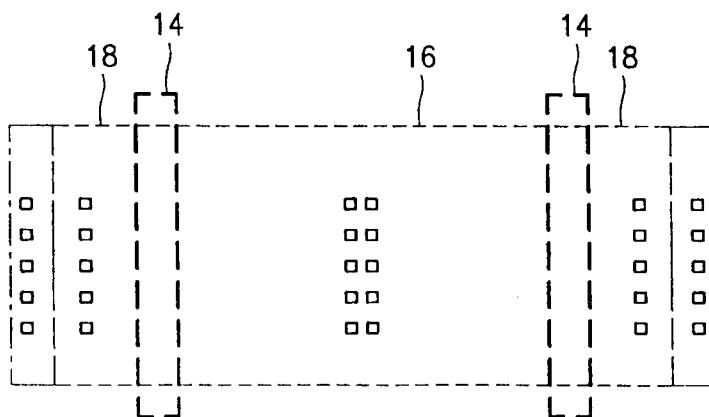
第九圖 B 為本發明應用在二極體元件之第二實施例。

25.

(4)



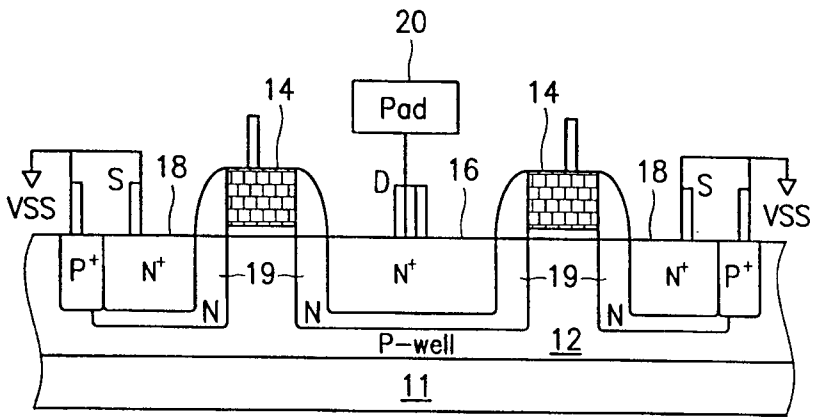
A



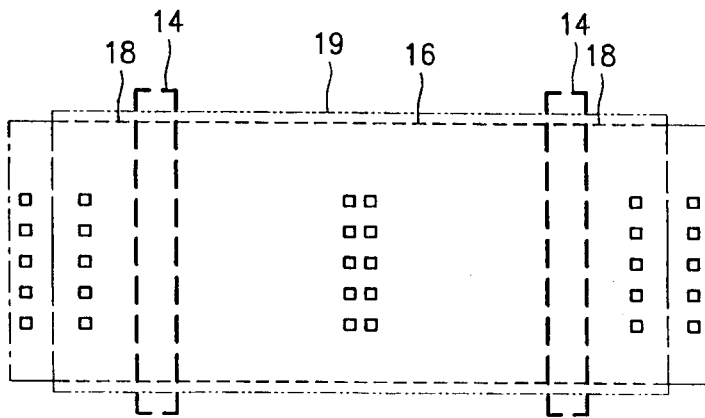
B

第一圖

(5)



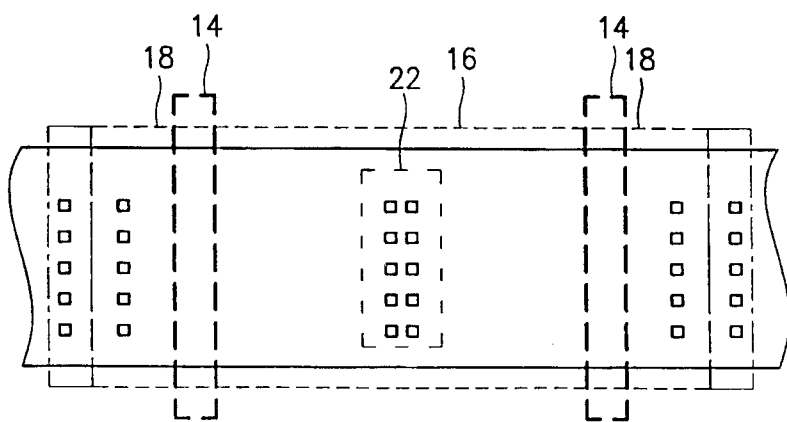
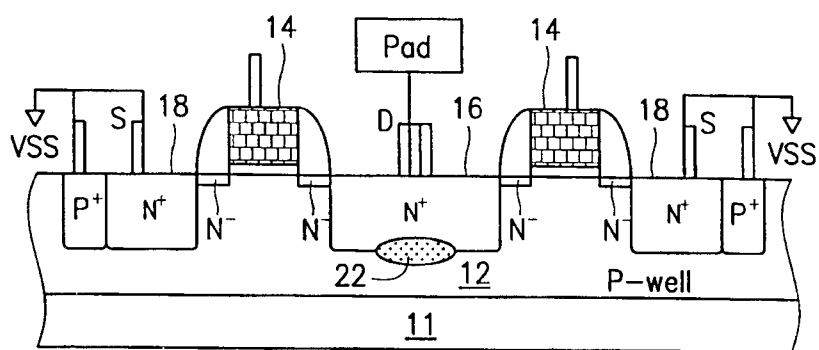
A



B

第二圖

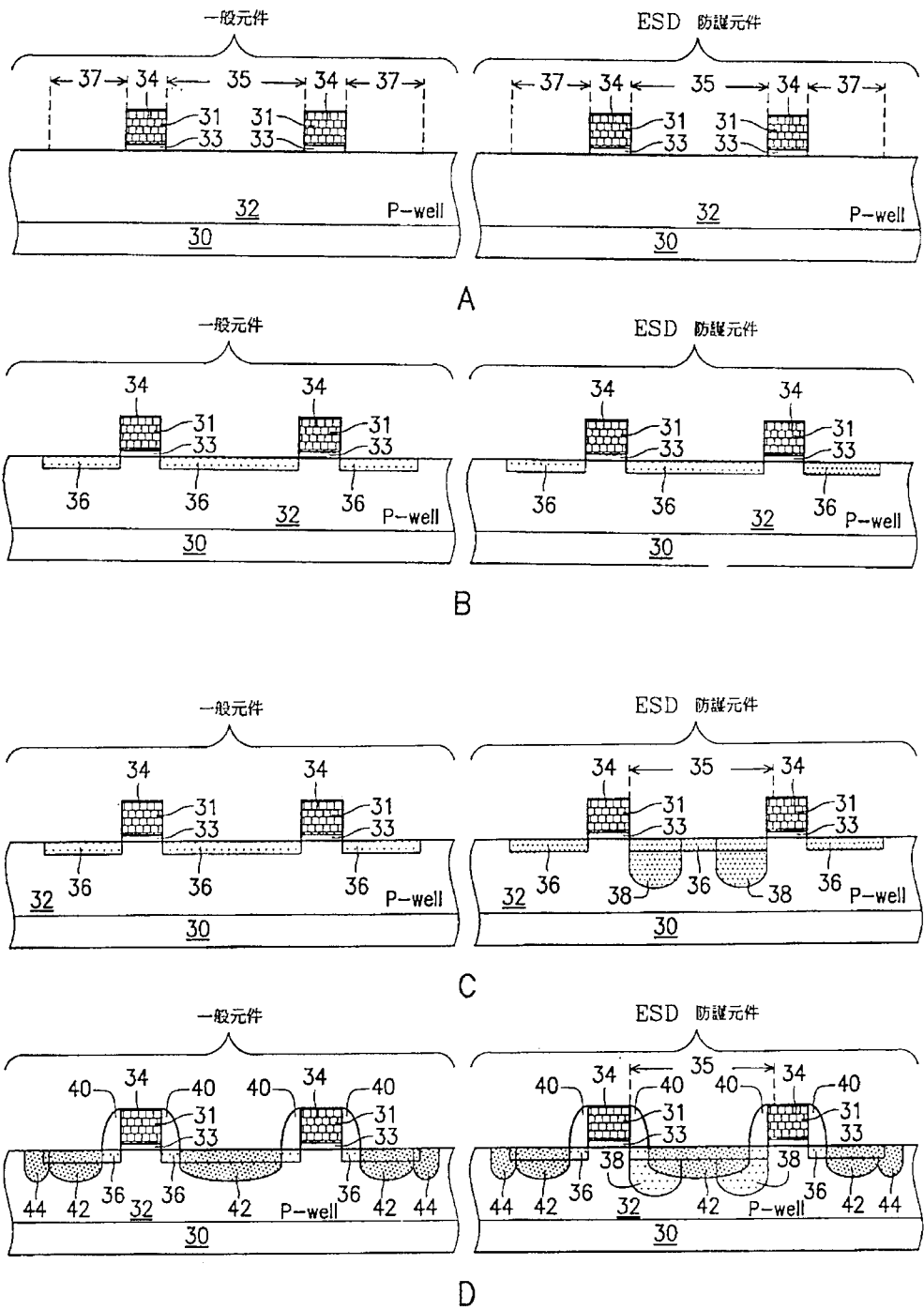
(6)



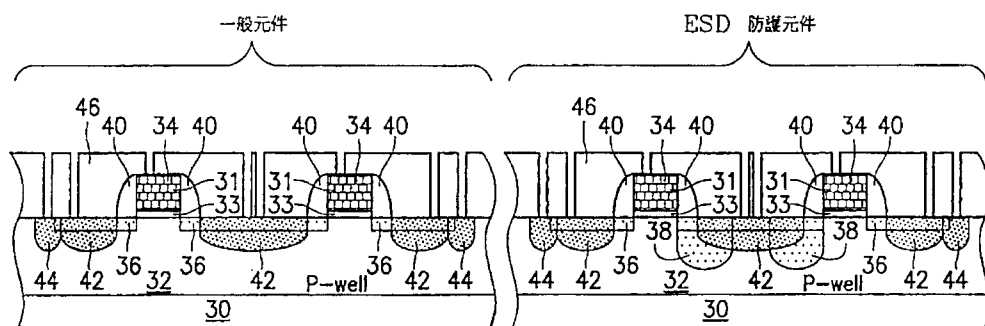
B

第三圖

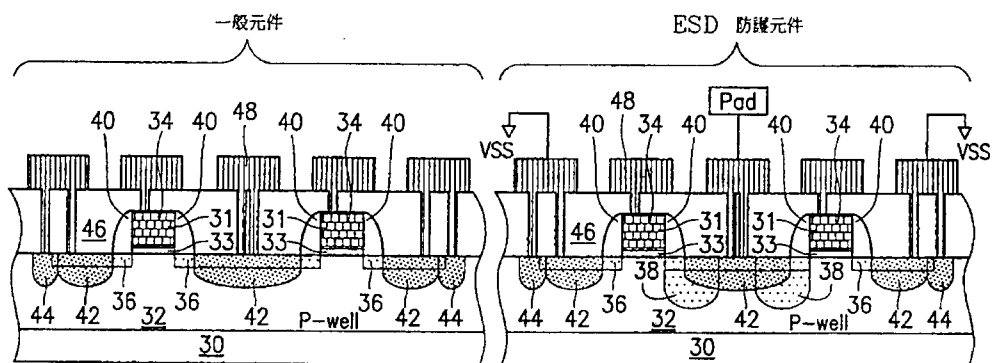
(7)



第四圖



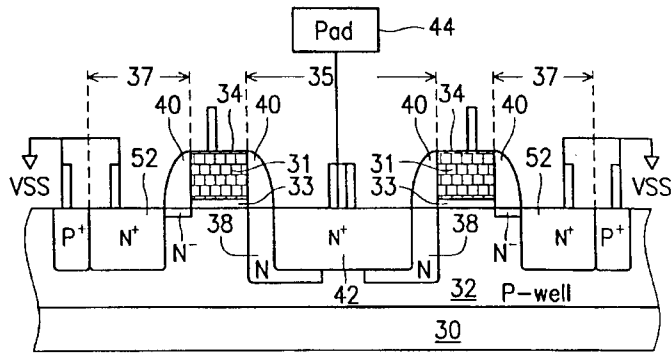
E



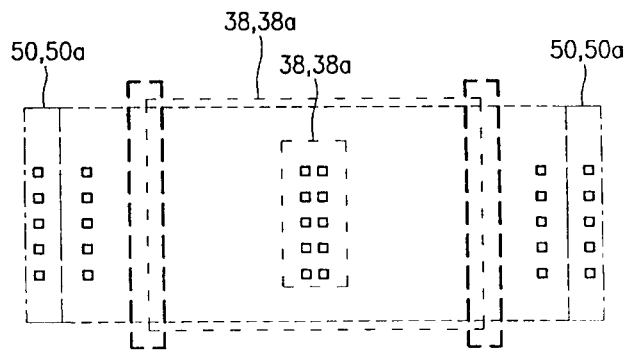
F

第四圖

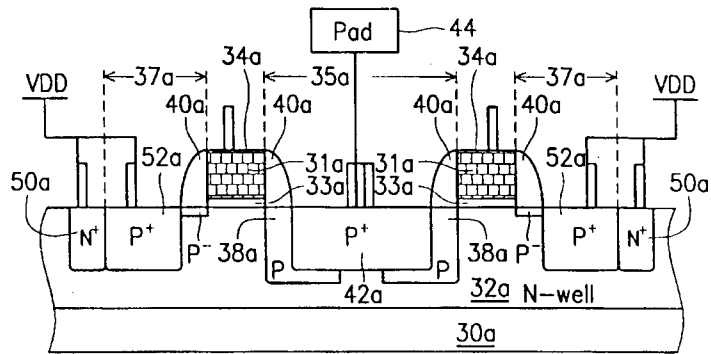
(9)



A



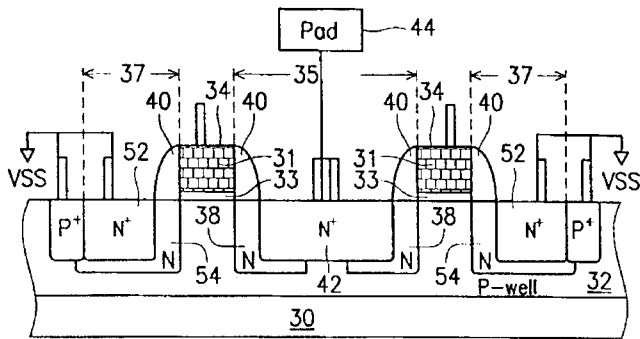
B



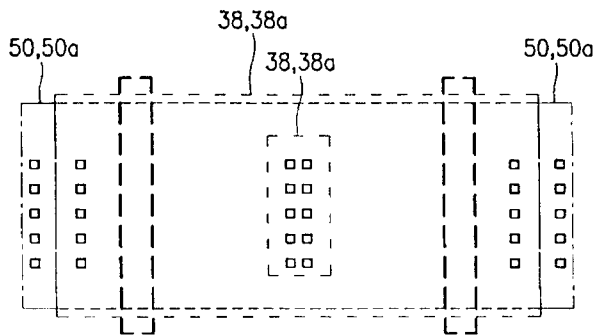
C

第五圖

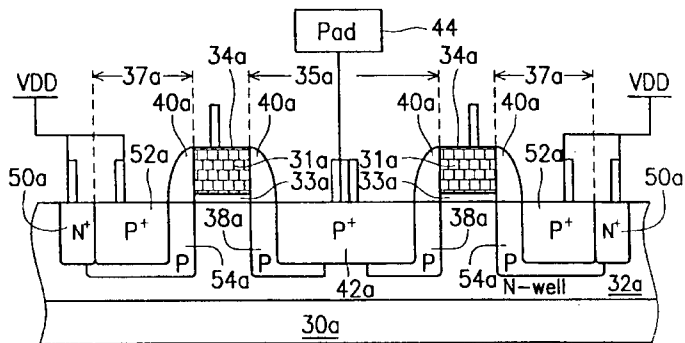
(10)



A

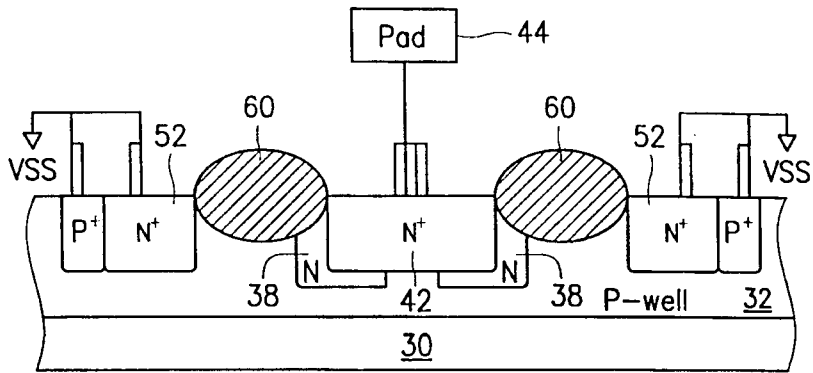


B

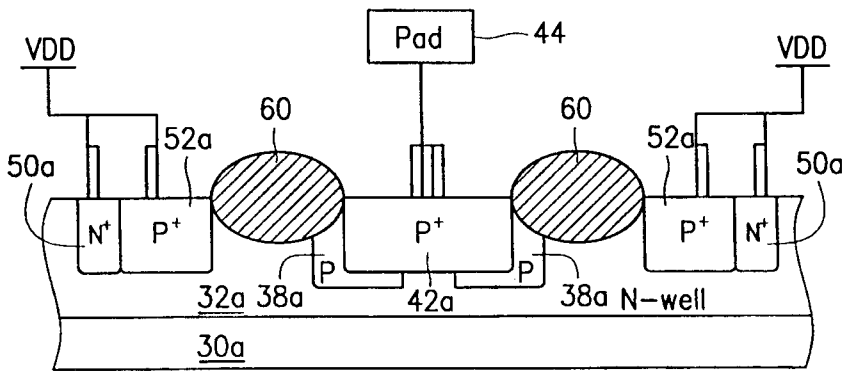


C

第六圖

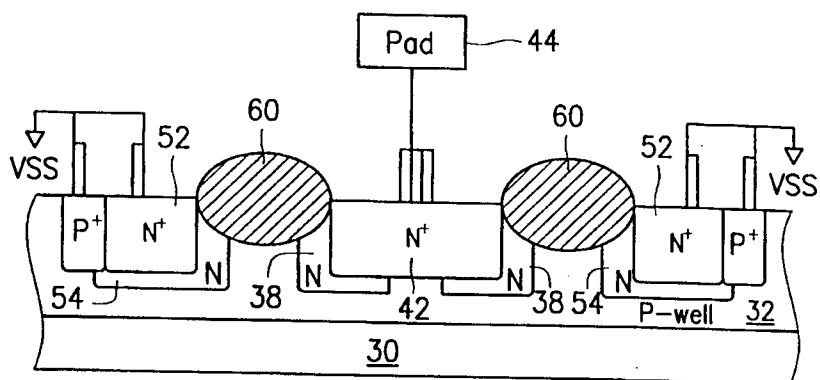


A

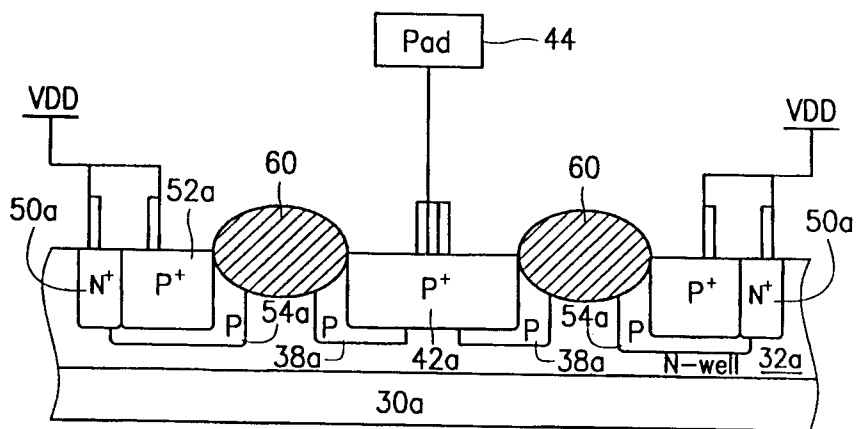


B

第七圖

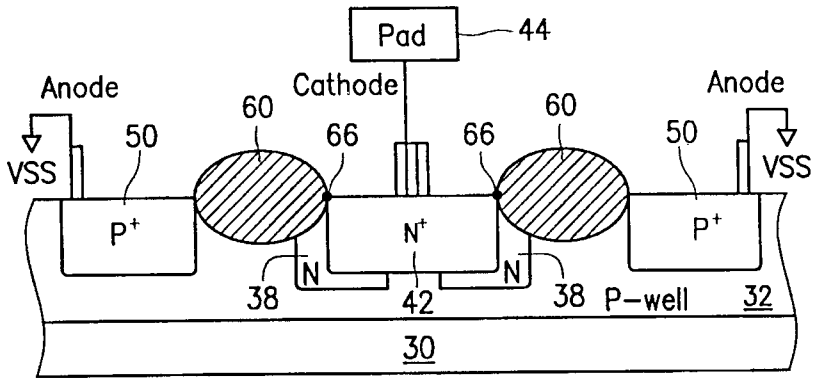


A

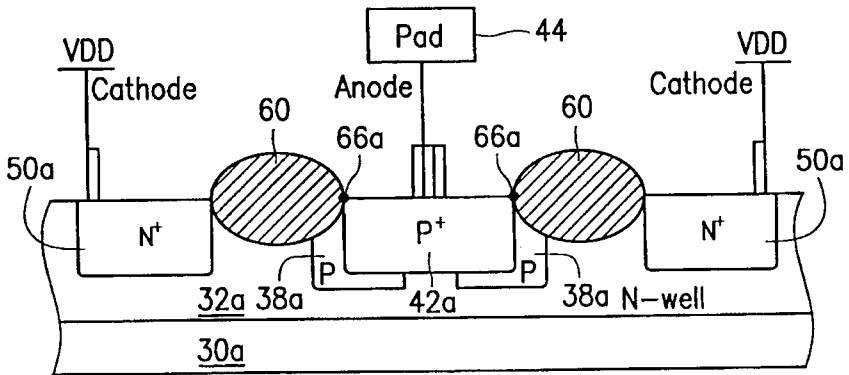


B

第八圖



A



B

第九圖

