

中華民國專利公報 [19] [12]

[11]公告編號：444385

[44]中華民國 90年 (2001) 07月 01日

發明

全 26 頁

[51] Int.Cl. 06: H01L27/10
H01L23/60

[54]名稱：疊接式低電壓觸發矽控整流器及其在積體電路之靜電放電防護上的應用

[21]申請案號：087106569

[22]申請日期：中華民國 87年 (1998) 04月 28日

[72]發明人：

柯明道

張恆祥

新竹市寶山路二〇〇巷三號四樓之三

台北縣汐止市大同路二段三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1. 一種疊接式低電壓觸發矽控整流器 (cascode low-voltage triggering silicon controlled rectifier; cascode LVTSCR)，該疊接式低電壓觸發矽控整流器至少包含：

第一矽控整流器，該第一矽控整流器具第一陽極、第一控制閘、及第一陰極；及

第二矽控整流器，該第二矽控整流器具第二陽極、第二控制閘、及第二陰極，該第二矽控整流器藉由連接該第二陽極及該第一陰極、並連接該第一控制閘及第二控制閘，以與該第一矽控整流器相疊接。

2. 如申請專利範圍第1項之疊接式低電壓觸發矽控整流器，其中上述之第一矽控整流器及上述之第二矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器(NMOS-controlled lateral SCRs)或 P 型金氧半導體元件所控制之

橫向矽控整流器(PMOS-controlled lateral SCRs)。

3. 一種疊接式低電壓觸發矽控整流器，該疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接。

4. 如申請專利範圍第3項之疊接式低電壓觸發矽控整流器，其中上述之該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

5. 一種靜電放電(electrostatic discharge; ESD)防護電路，該靜電放電防護電路

至少包含：

電流排放裝置，用以排放來自電源接點之靜電放電電流，以保護內部電路，該電流排放裝置至少包含疊接式低電壓觸發矽控整流器；及靜電放電偵測裝置，用以偵測來自該電源接點之靜電放電，以觸發該電流排放裝置以排除靜電放電電流。

6.如申請專利範圍第5項之靜電放電防護電路，其中上述之電源接點至少包含一電源及一接地點。

7.如申請專利範圍第5項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用N型金氧半導體元件所控制之橫向矽控整流器或P型金氧半導體元件所控制之橫向矽控整流器。

8.如申請專利範圍第7項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該N型金氧半導體元件所控制之橫向矽控整流器或該P型金氧半導體元件所控制之橫向矽控整流器之間。

9.如申請專利範圍第7項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該P型金氧半導體元件所控制之橫向矽控整流器之控制閘。

10.如申請專利範圍第5項之靜電放電防護電路，其中上述之靜電放電偵測裝置至少包含時基型(timing-based)靜電放電偵測電路。

11.如申請專利範圍第10項之靜電放電防

護電路，其中上述之時基型靜電放電偵測電路至少包含電阻—電容延遲電路。

12.如申請專利範圍第10項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含閘極耦合電路。

13.如申請專利範圍第5項之靜電放電防護電路，其中上述之靜電放電偵測裝置至少包含一電壓型偵測電路以達成分壓功能。

14.如申請專利範圍第13項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

15.如申請專利範圍第13項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

16.如申請專利範圍第13項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含N型金氧半場效電晶體(NMOS)。

17.如申請專利範圍第13項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含P型金氧半場效電晶體(PMOS)。

18.如申請專利範圍第13項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體(Zene diode)。

19.一種靜電放電防護電路，該靜電放電防護電路至少包含：

30. 第一電流排放裝置，用以排放來自輸出／入接點之負極性靜電放電電流，以保護內部電路，該第一電流排放裝置設置於一第一電壓源及該輸出／入接點之間，該第一電流排放裝置至少包含疊接式低電壓觸發矽控整流器；

35. 第二電流排放裝置，用以排放來自該輸出／入接點之正極性靜電放電電流，以保護該內部電路，該第二電流排放裝置設置於該輸出／入接點及一第二電壓源之間，該第二電流排放裝

置至少包含疊接式低電壓觸發矽控整流器；

第一靜電放電偵測裝置，用以偵測靜電放電，以觸發該第一電流排放裝置以排除靜電放電電流；及

第二靜電放電偵測裝置，用以偵測靜電放電，以觸發該第二電流排放裝置以排除靜電放電電流。

20.如申請專利範圍第 19 項之靜電放電防護電路，其中上述之第一電壓源為一正電壓源，上述之第二電壓源為一接地點。

21.如申請專利範圍第 19 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

22.如申請專利範圍第 21 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該 N 型金氧半導體元件所控制之橫向矽控整流器或該 P 型金氧半導體元件所控制之橫向矽控整流器之間。

23.如申請專利範圍第 21 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該 P 型金氧半導體元件所控制之橫向矽控整流器之控制閘。

24.如申請專利範圍第 19 項之靜電放電防護電路，其中上述之第一靜電放電偵測裝置及上述之第二靜電放電偵測裝置至少包含時基型靜電放電偵測電

路。

25.如申請專利範圍第 24 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻 - 電容延遲電路。

26.如申請專利範圍第 24 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含閘極耦合電路。

27.如申請專利範圍第 19 項之靜電放電防護電路，其中上述之第一靜電放電偵測裝置及上述之第二靜電放電偵測裝置至少包含一電壓型偵測電路以達成分壓功能。

28.如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

29.如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

30.如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 N 型金氧半場效電晶體 (NMOS)。

31.如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 P 型金氧半場效電晶體 (PMOS)。

32.如申請專利範圍第 27 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體 (Zener diode)。

33.一種靜電放電防護電路，該靜電放電防護電路至少包含：

疊接式低電壓觸發矽控整流器，該疊接式低電壓觸發矽控整流器以陽極及陰極連接於一組電源間；及

靜電放電偵測電路，該靜電放電偵測電路設置於該電源間，用以偵測靜電放電，以觸發該疊接式低電壓觸發矽控整流器用以排除靜電放電電流。

34.如申請專利範圍第 33 項之靜電放電防

護電路，其中上述之電源至少包含一電源及一接地點。

35.如申請專利範圍第33項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器至少包含：

至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用N型金氧半導體元件所控制之橫向矽控整流器或P型金氧半導體元件所控制之橫向矽控整流器。

36.如申請專利範圍第35項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該N型金氧半導體元件所控制之橫向矽控整流器或該P型金氧半導體元件所控制之橫向矽控整流器之間。

37.如申請專利範圍第35項之靜電放電防護電路，其中上述之疊接式低之壓觸發矽控整流器更包含使用一反相電路於該P型金氧半導體元件所控制之橫向矽控整流器之控制閘。

38.如申請專利範圍第33項之靜電放電防護電路，其中上述之靜電放電偵測電路至少包含時基型靜電放電偵測電路。

39.如申請專利範圍第38項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻-電容延遲電路。

40.如申請專利範圍第38項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含閘極耦合電路。

41.如申請專利範圍第33項之靜電放電防護電路，其中上述之靜電放電偵測電路至少包含一電壓型偵測電路以達成

分壓功能。

42.如申請專利範圍第41項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

5. 43.如申請專利範圍第41項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

44.如申請專利範圍第41項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含N型金氧半場效電晶體(NMOS)。

45.如申請專利範圍第41項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含P型金氧半場效電晶體(PMOS)。

46.如申請專利範圍第41項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體(Zener diode)。

47.一種靜電放電防護電路，該靜電放電防護電路至少包含：

第一疊接式低電壓觸發矽控整流器，用以排放來自輸出／入接點之負極性靜電放電電流，以保護內部電路，該第一疊接式低電壓觸發矽控整流器以陽極及陰極連接於一第一電壓源及該輸出／入接點之間；

第二疊接式低電壓觸發矽控整流器，用以排放來自輸出／入接點之正極性靜電放電電流，以保護內部電路，該第二疊接式低電壓觸發矽控整流器以陽極及陰極連接於該輸出／入接點及一第二電源之間；

第一靜電放電偵測電路，設置於該第一電壓源及該輸出／入接點之間，用以偵測負極性靜電放電，以觸發該第一疊接式低電壓觸發矽控整流器以排除負極性靜電放電電流；及

第二靜電放電偵測電路，設置於該輸出／入接點及該第二電壓源之間，用以偵測正極性靜電放電，以觸發該第

二疊接式低電壓觸發矽控整流器以排除正極性靜電放電電流。

48.如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一電壓源之電壓較上述之第二電壓源高。

49.如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一疊接式低電壓觸發矽控整流器及上述之第二疊接式低電壓觸發矽控整流器至少包含：至少二個矽控整流器，每一個該矽控整流器分別具有陽極、控制閘、及陰極，該矽控整流器藉由連接同型之該矽控整流器的控制閘、並藉由連接每一個該矽控整流器的陰極及下一個該矽控整流器之陽極、達成該矽控整流器之疊接，該至少二個矽控整流器係使用 N 型金氧半導體元件所控制之橫向矽控整流器或 P 型金氧半導體元件所控制之橫向矽控整流器。

50.如申請專利範圍第 49 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含二極體連接於該 N 型金氧半導體元件所控制之橫向矽控整流器或該 P 型金氧半導體元件所控制之橫向矽控整流器之間。

51.如申請專利範圍第 49 項之靜電放電防護電路，其中上述之疊接式低電壓觸發矽控整流器更包含使用一反相電路於該 P 型金氧半導體元件所控制之橫向矽控整流器之控制閘。

52.如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一靜電放電偵測電路及上述之第二靜電放電偵測電路至少包含時基型靜電放電偵測電路。

53.如申請專利範圍第 52 項之靜電放電防護電路，其中上述之時基型靜電放電偵測電路至少包含電阻—電容延遲電路。

54.如申請專利範圍第 52 項之靜電放電防

護電路，其中上述之時基型靜電放電偵測電路至少包含閘極耦合電路。

55.如申請專利範圍第 47 項之靜電放電防護電路，其中上述之第一靜電放電偵測電路及上述之第二靜電放電偵測電路至少包含一電壓型偵測電路以達成分壓功能。

56.如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含電阻。

57.如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含二極體。

58.如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 N 型金氧半場效電晶體 (NMOS)。

59.如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含 P 型金氧半場效電晶體 (PMOS)。

60.如申請專利範圍第 55 項之靜電放電防護電路，其中上述之電壓型偵測電路至少包含曾納二極體 (Zener diode)。

25. 圖式簡單說明：

第一圖 A 顯示傳統之低電壓觸發矽控整流器結構的示意圖。

第一圖 B 顯示傳統之低電壓觸發矽控整流器之電流 - 電壓特性曲線圖。

30. 第二圖 A 顯示傳統之靜電防護電路中，由輸入接點進入的雜訊觸發低電壓觸發矽控整流器之示意圖。

第二圖 B 顯示傳統之靜電防護電路中，由輸出接點進入的雜訊觸發低電壓觸發矽控整流器之示意圖。

35. 第三圖 A 顯示系統靜電放電／電磁相容性測試的示意圖。

第三圖 B 顯示系統靜電放電／電磁相容性測試中，在系統內之積體電路上的接點所耦合到的靜電放電電壓在時間

上的變化圖。

第四圖顯示本發明變化低電壓觸發矽控整流器之特性以提昇開啟維持電壓之電流 - 電壓特性曲線圖。

第五圖 A 顯示本發明中使用 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)的 N 型疊接式低電壓觸發矽控整流器之截面示意圖。

第五圖 B 顯示本發明中使用 P 型金氧半導體元件所控制之橫向矽控整流器(PCLSCR)的 P 型疊接式低電壓觸發矽控整流器之截面示意圖。

第五圖 C 顯示本發明中混合使用 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)及 P 型金氧半導體元件所控制之橫向矽控整流器(PCLSCR)的混合型疊接式低電壓觸發矽控整流器之截面示意圖。

第六圖顯示本發明中用以測量疊接式低電壓觸發矽控整流器之電流 - 電壓特性之示意圖。

第七圖顯示單一個 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)在不同閘極電壓下之電流 - 電壓特性圖。

第八圖 A 顯示本發明使用 N 型金氧半導體元件所控制之四個橫向矽控整流器(NCLSCR)所組成之 N 型疊接式低壓觸發矽控整流器，在不同閘極電壓下之電流 - 電壓特性圖。

第八圖 B 顯示本發明中使用 N 型金氧半導體元件所控制之六個橫向矽控整流器(NCLSCR)所組成之 N 型疊接式低電壓觸發矽控整流器，在不同閘極電壓下之電流 - 電壓特性圖。

第九圖顯示本發明中疊接式低電壓觸發矽控整流器之開啟維持電壓，與所使用的 N 型金氧半導體元件所控制之橫向矽控整流器(NCLSCR)數目之關係圖。

第十圖 A 顯示本發明中使用 N 型疊

接式低電壓觸發矽空整流器於電源接點之靜電放電防護電路的示意圖。

第十圖 B 顯示本發明中使用於電源接點之靜電放電防護電路，利用時基型靜電放電偵測電路的示意圖。

第十圖 C 顯示本發明中使用於電源接點之靜電放電防護電路，利用電壓型偵測電路的示意圖。

第十一圖顯示本發明中使用 P 型疊接式低電壓觸發矽控整流器於電源接點之靜電放電防護電路的示意圖。

第十二圖顯示本發明中使用混合型疊接式低電壓觸發矽控整流器於電源接點之靜電放電防護電路的示意圖。

第十三圖 A 顯示本發明中之靜電放電防護電路，使用電阻 - 電容延遲電路做為靜電放電偵測電路的示意圖。

第十三圖 B 顯示本發明中之靜電放電防護電路，使用閘極耦合電路做為靜電放電偵測電路的示意圖。

第十四圖 A 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用電阻串的示意圖。

第十四圖 B 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用二極體串的示意圖。

第十四圖 C 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 NMOS 串的示意圖。

第十四圖 D 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 PMOS 串的示意圖。

第十四圖 E 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用曾納二極體的示意圖。

第十五圖 A 顯示本發明中之靜電放電防護電路，使用電阻 - 電容延遲電路做為靜電放電偵測電路的示意圖。

第十五圖 B 顯示本發明中之靜電放電防護電路，使用閘極耦合電路做為靜

電放電偵測電路的示意圖。

第十六圖 A 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用電阻串的示意圖。

第十六圖 B 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用二極體串的示意圖。

第十六圖 C 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 NMOS 串的示意圖。

第十六圖 D 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用 PMOS 串的示意圖。

第十六圖 E 顯示本發明中之靜電放電防護電路，於靜電放電偵測電路中使用曾納二極體的示意圖。

第十七圖顯示本發明中使用於輸入接點之靜電放電防護電路的示意圖。

第十八圖顯示本發明中使用於輸入接點之靜電放電防護電路，使用閘極耦合電路做為靜電放電偵測電路的示意圖。

第十九圖顯示本發明中使用於輸出接點之靜電放電防護電路的示意圖。

第二十圖顯示本發明中使用於輸出

接點之靜電放電防護電路，使用閘極耦合電路做為靜電放電偵測電路的示意圖。

第二十一圖 A 顯示本發明中加入二極體於 N 型疊接式低電壓觸發矽控整流器之間的示意圖。

第二十一圖 B 顯示本發明中加入二極體於 P 型疊接式低電壓觸發矽控整流器之間的示意圖。

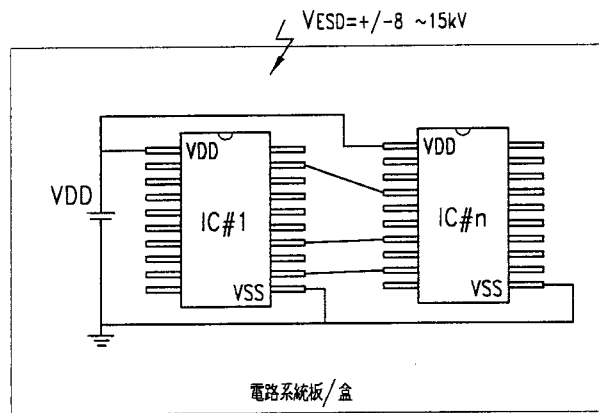
10. 第二十一圖 C 顯示本發明中加入二極體於混合型疊接式低電壓觸發矽控整流器之間的示意圖。

15. 第二十一圖 D 顯示本發明中加入二極體於混合型疊接式低電壓觸發矽控整流器之間，並改變連接順序的示意圖。

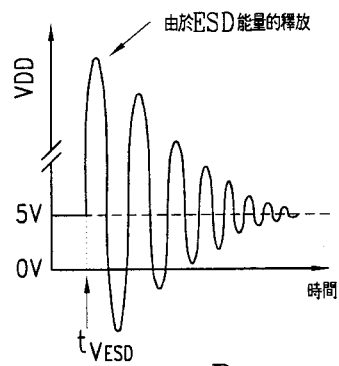
20. 第二十二圖顯示本發明中使用於輸入接點之靜電放電防護電路，加入二極體於 N 型疊接式低電壓觸發矽控整流器之間及 P 型疊接式低電壓觸發矽控整流器之間的示意圖。

25. 第二十三圖顯示本發明中使用於輸出接點之靜電放電防護電路，加入二極體於 N 型疊接式低電壓觸發矽控整流器之間及 P 型疊接式低電壓觸發矽控整流器之間的示意圖。

(9)



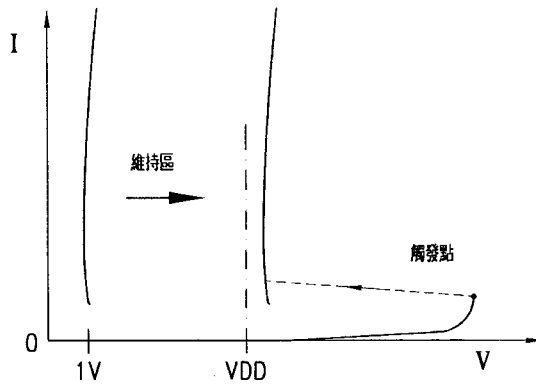
A



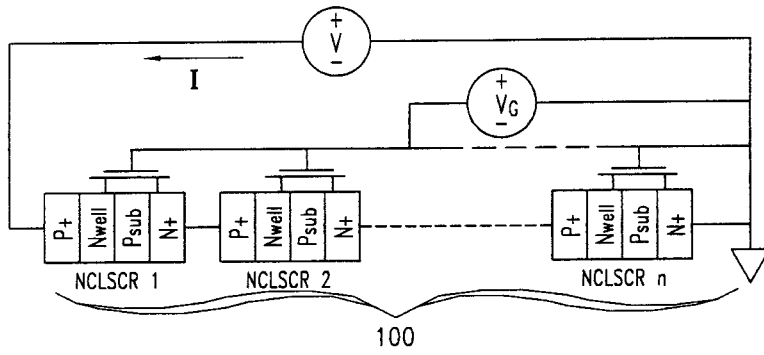
B

第三圖

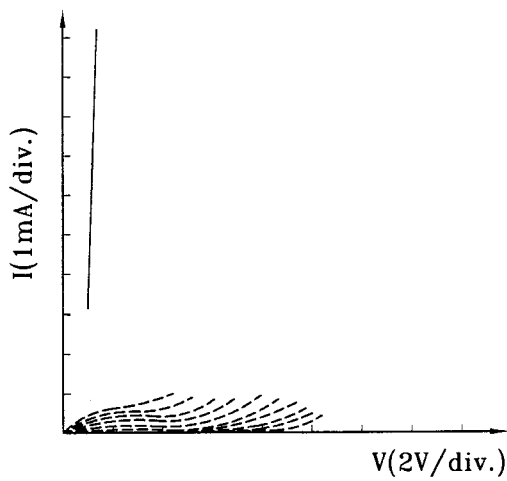
(10)



第四圖

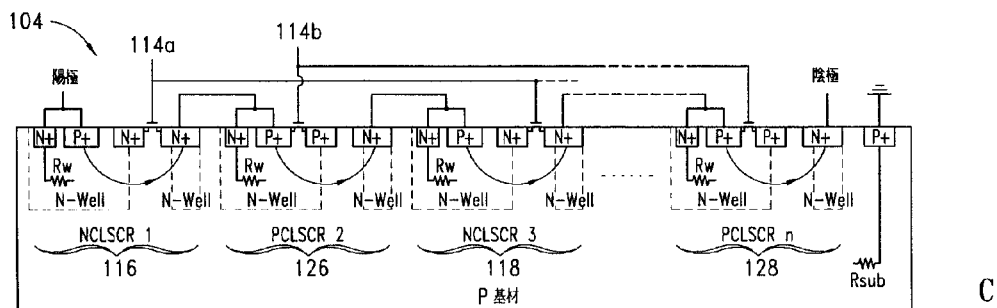
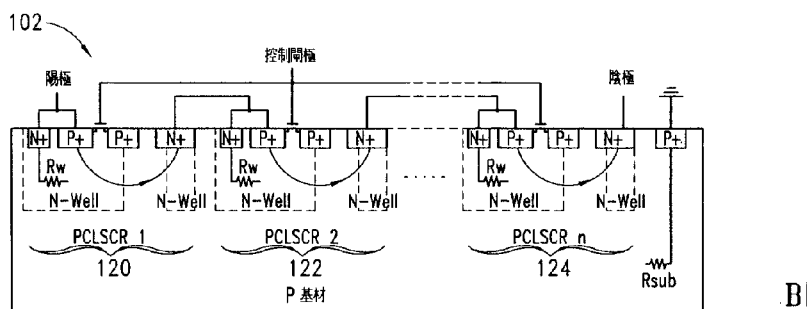
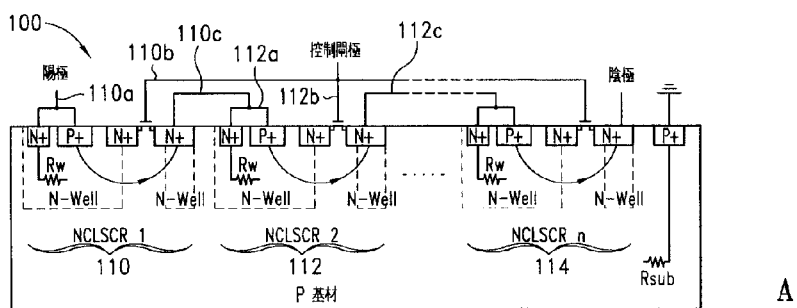


第六圖



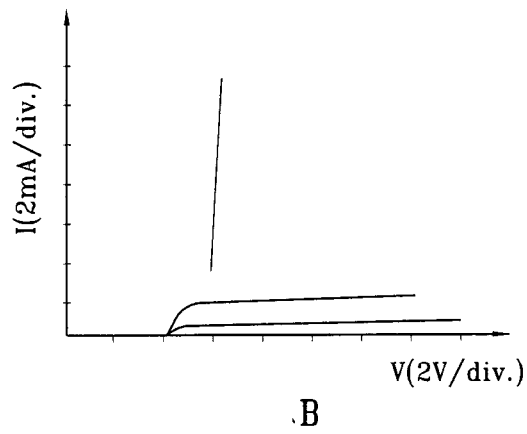
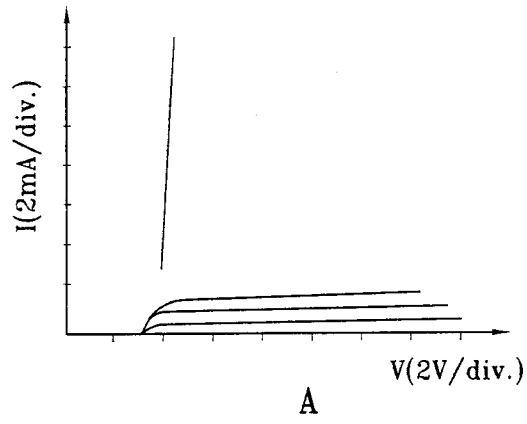
第七圖

(11)



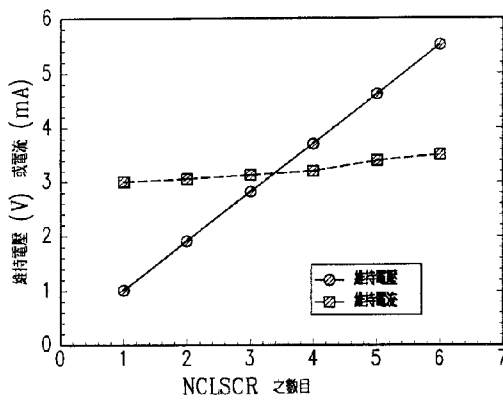
第五圖

(12)

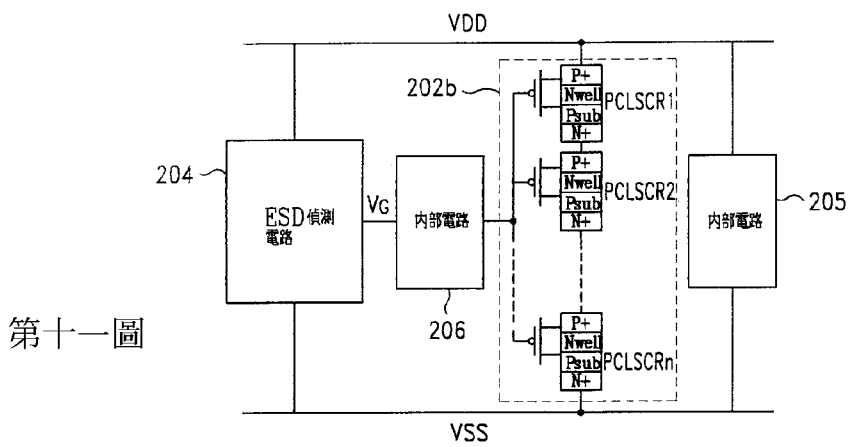


第八圖

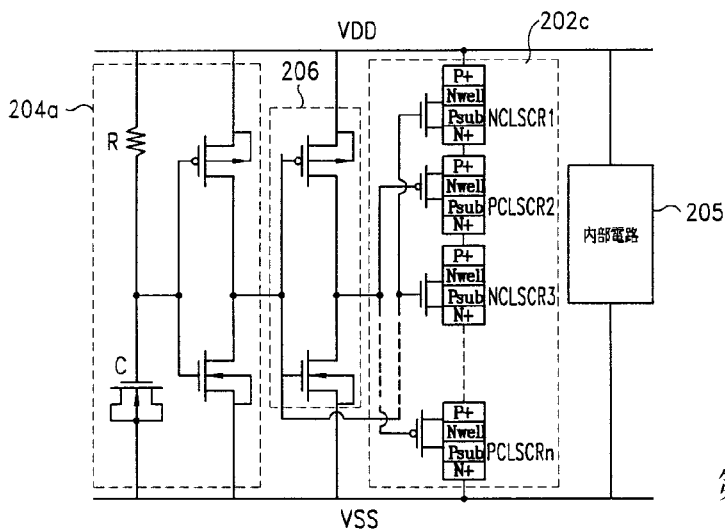
(13)



第九圖

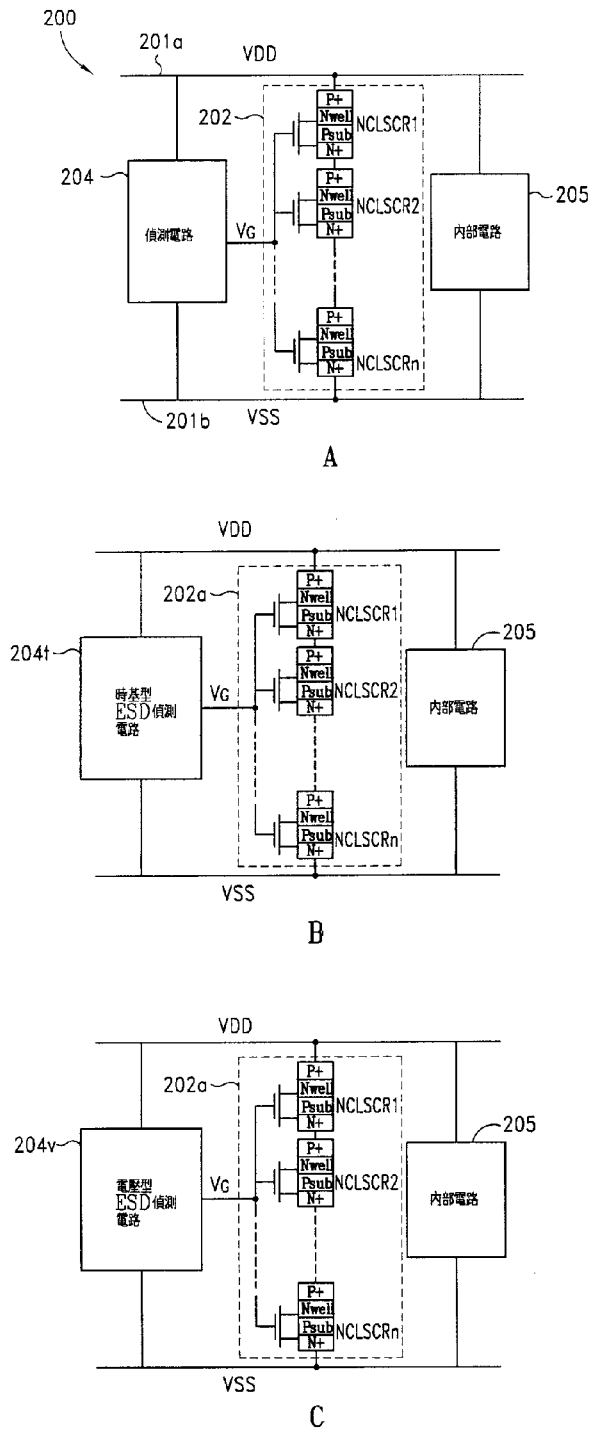


第十一圖



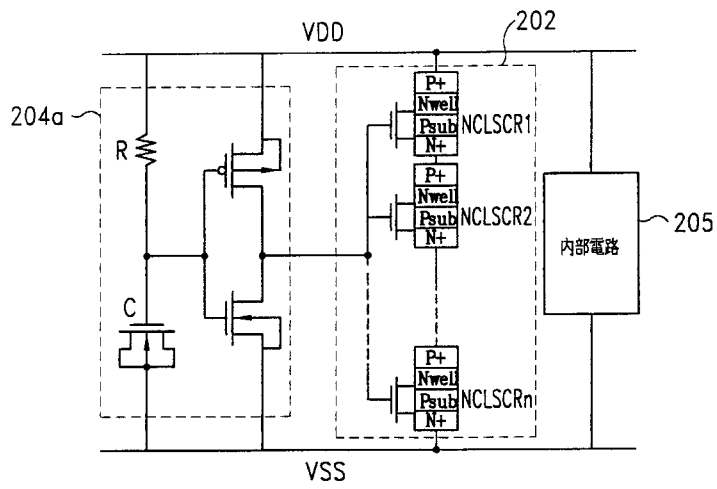
第十二圖

(14)

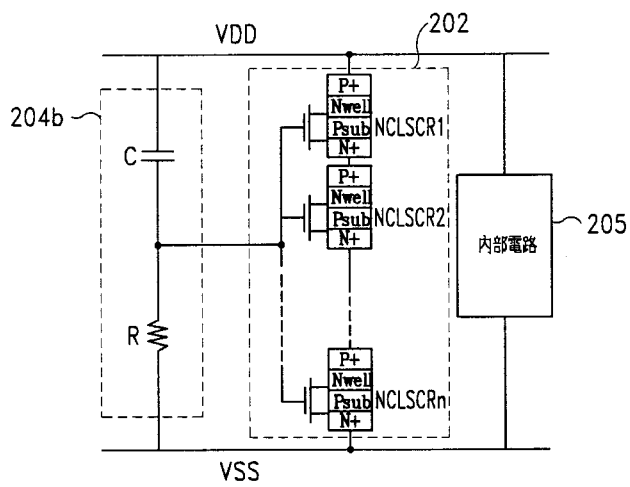


第十圖

(15)

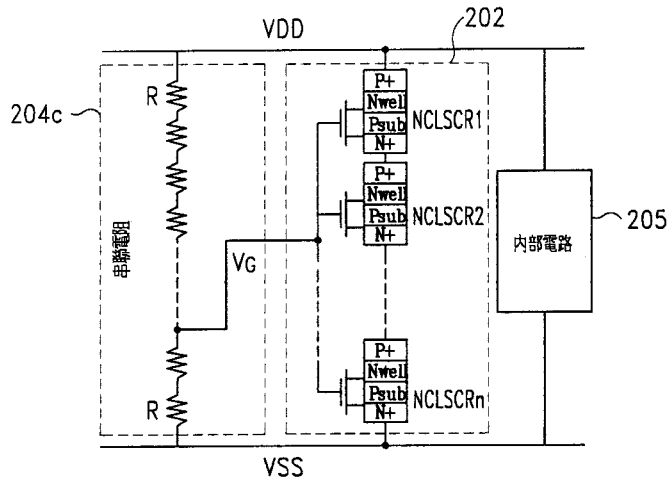


A

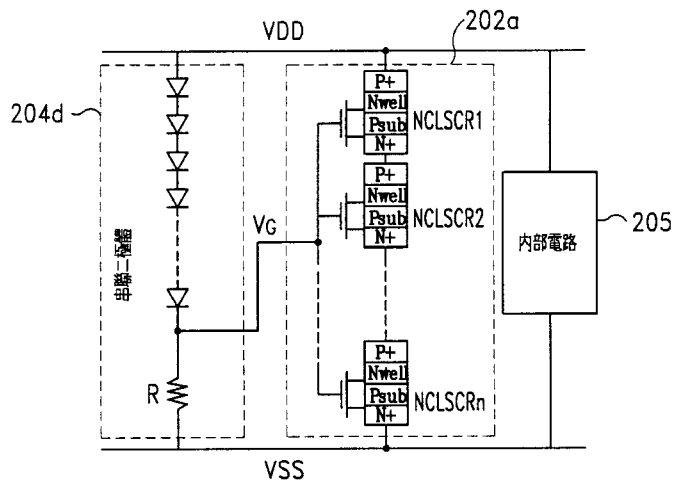


B

第十三圖



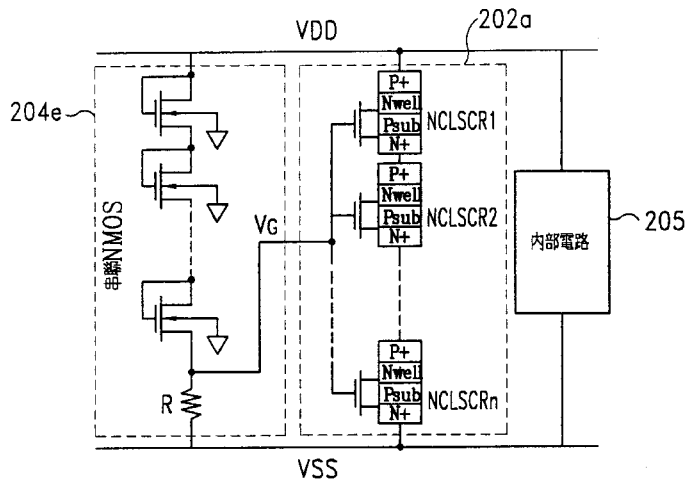
A



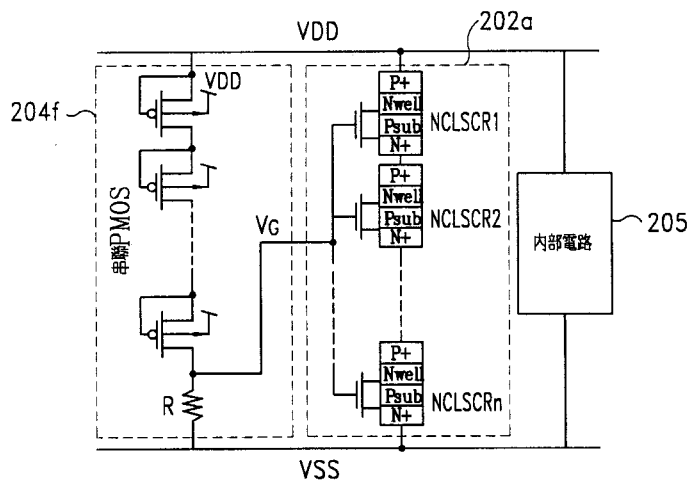
B

第十四圖

(17)



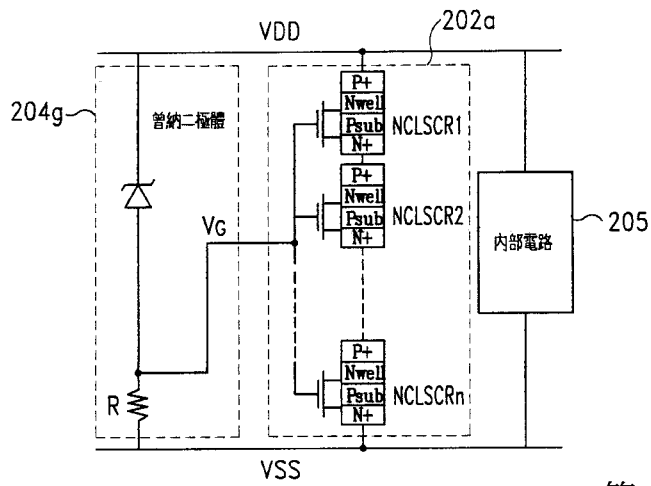
C



D

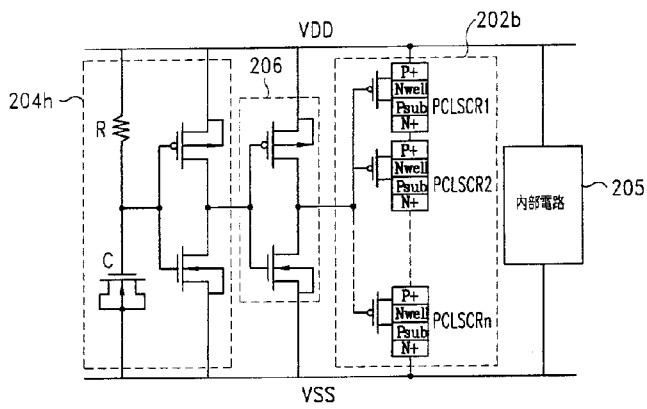
第十四圖

(18)

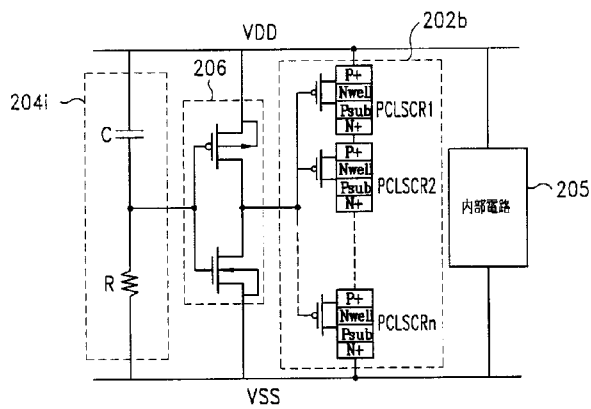


E

第十四圖

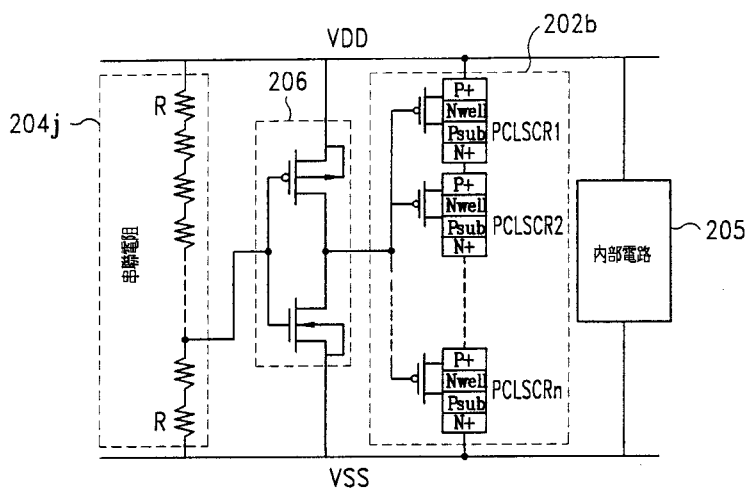


A

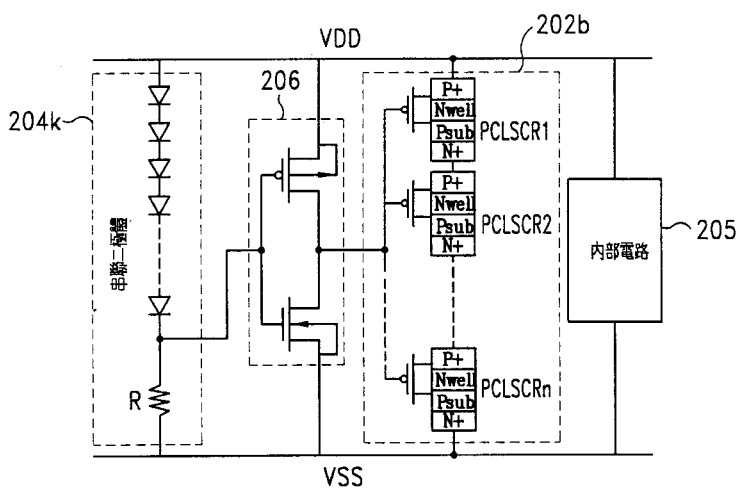


B

第十五圖



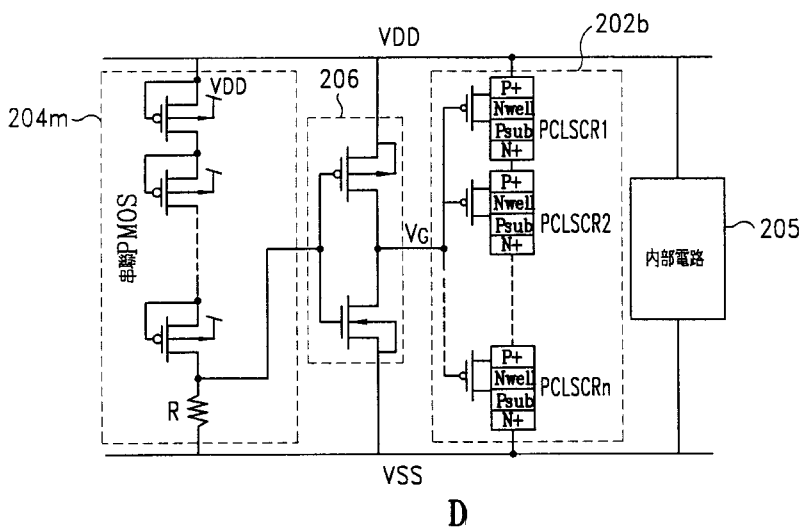
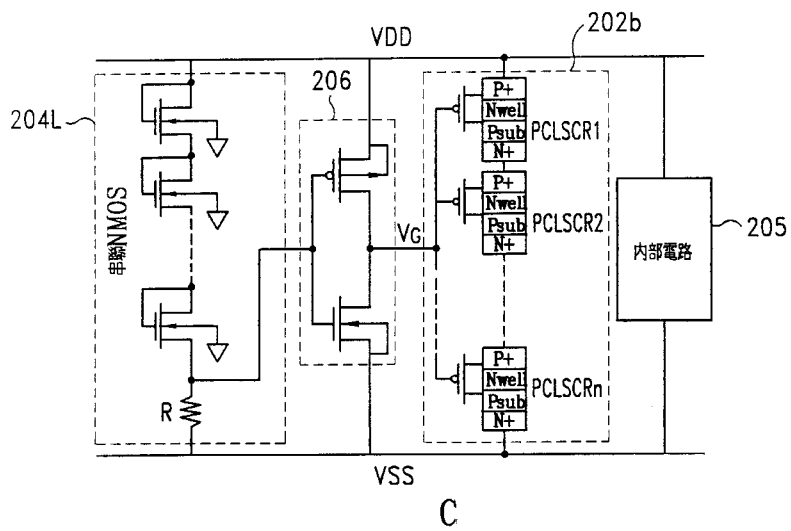
A



B

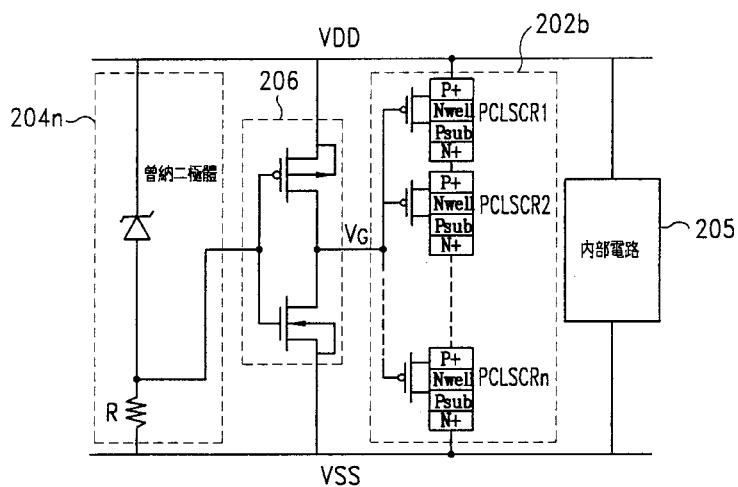
第十六圖

(20)

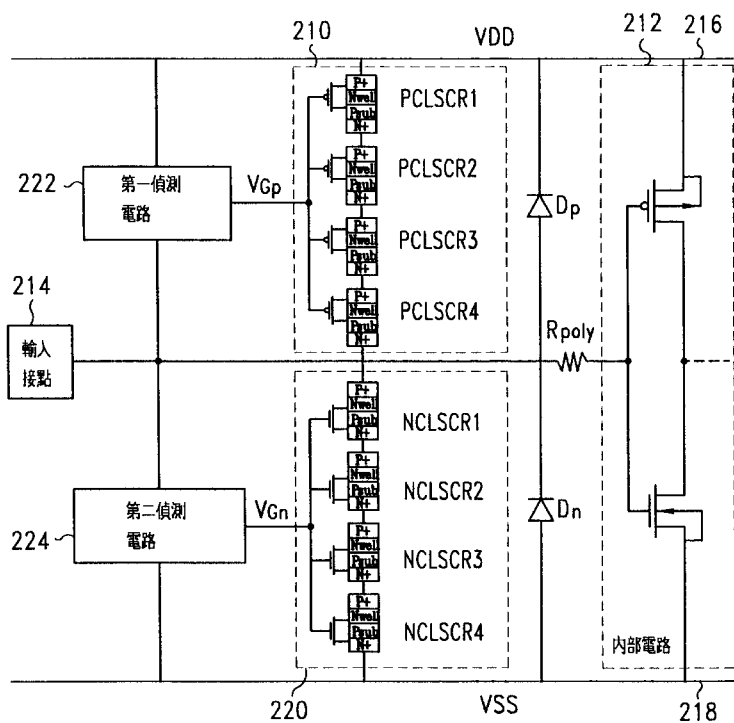


第十六圖

(21)

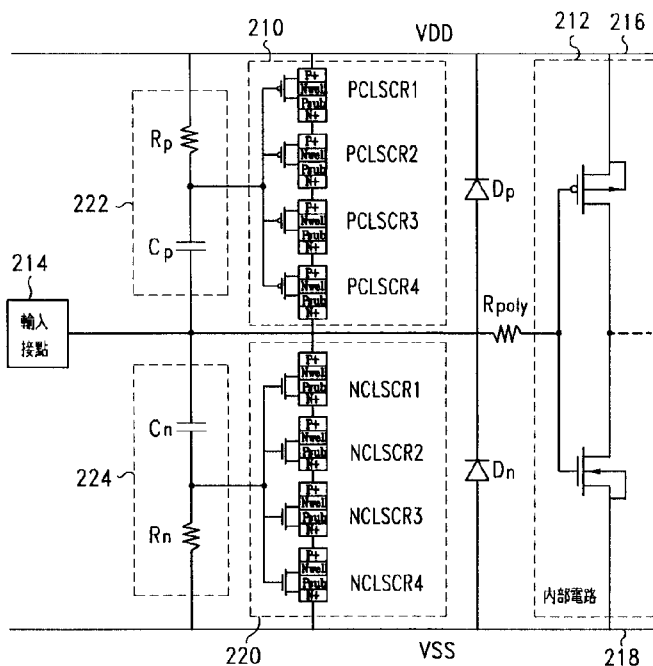


第十六圖 E

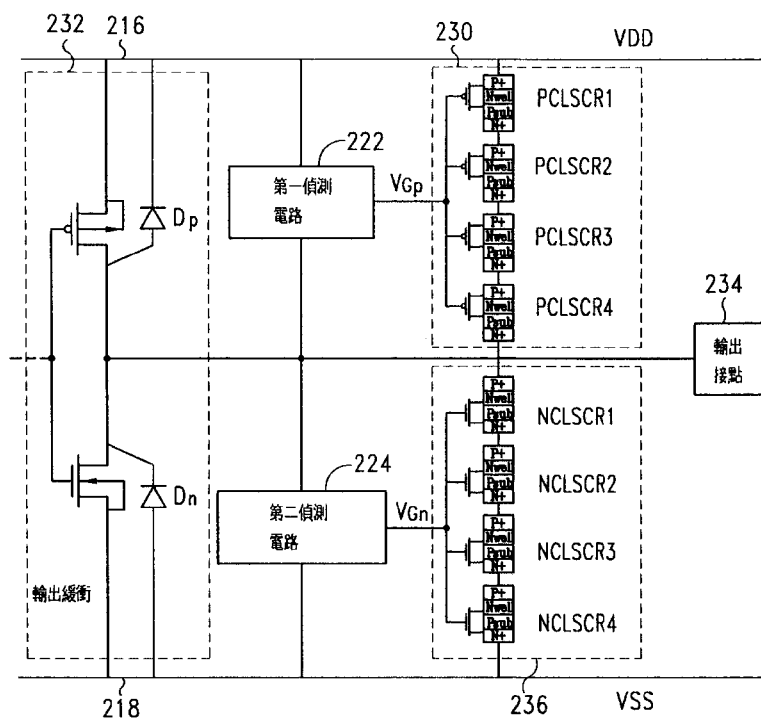


第十七圖

(22)

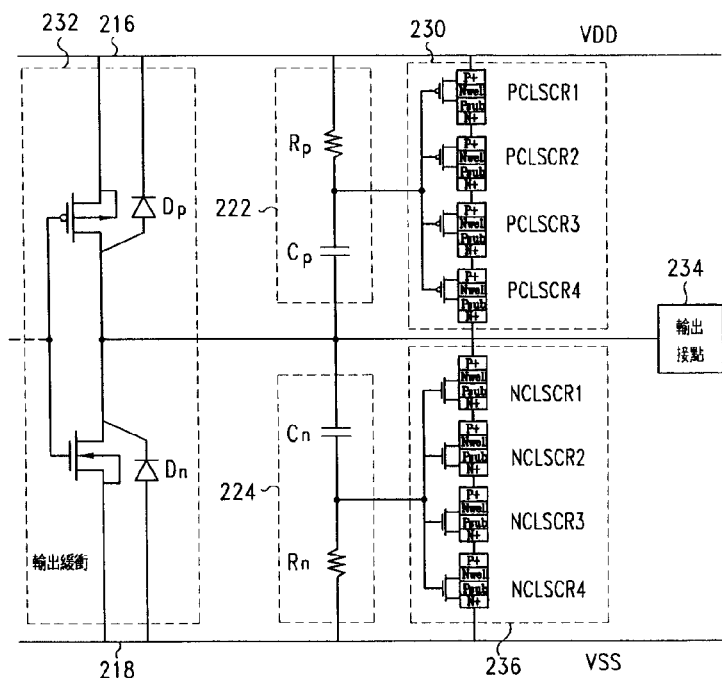


第十八圖

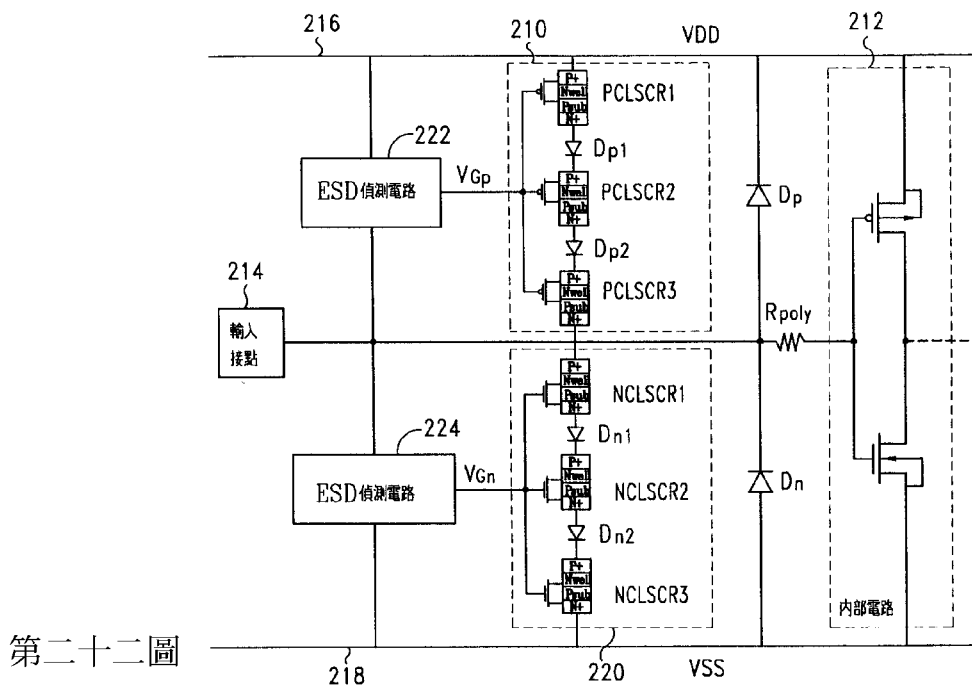


第十九圖

(23)

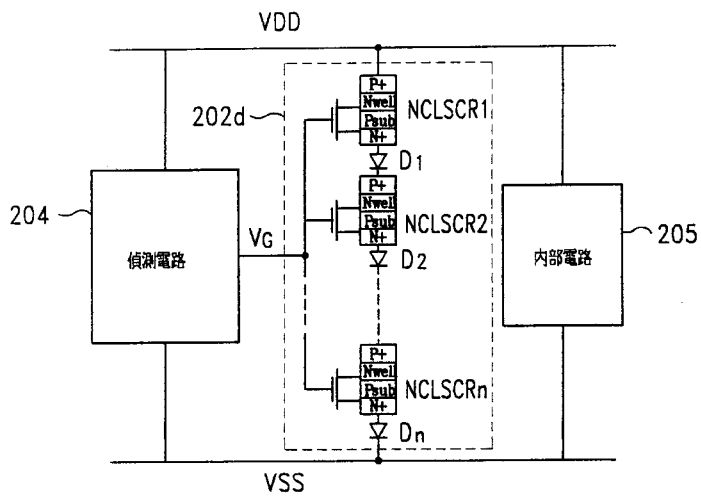


第二十圖

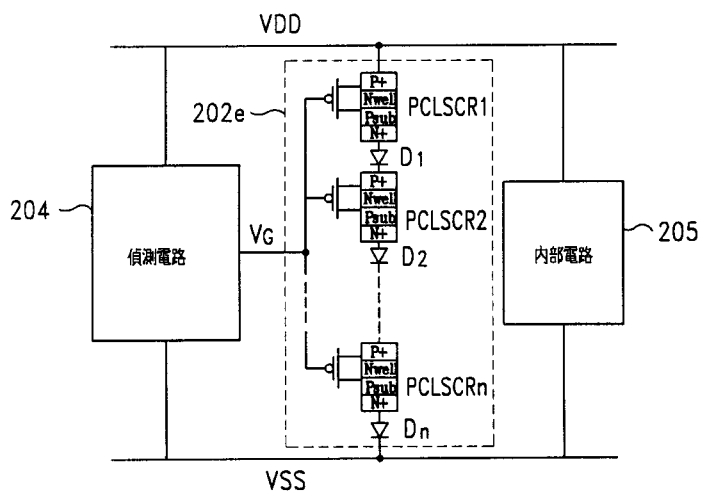


第二十二圖

(24)



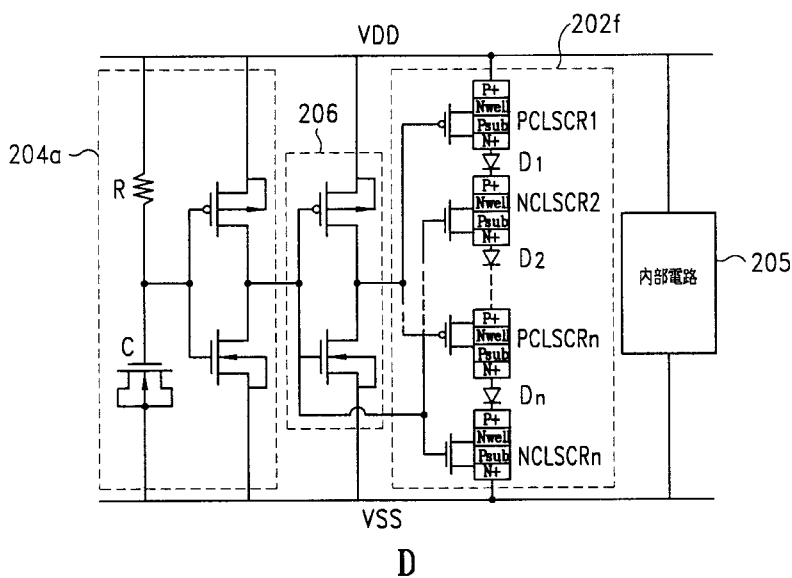
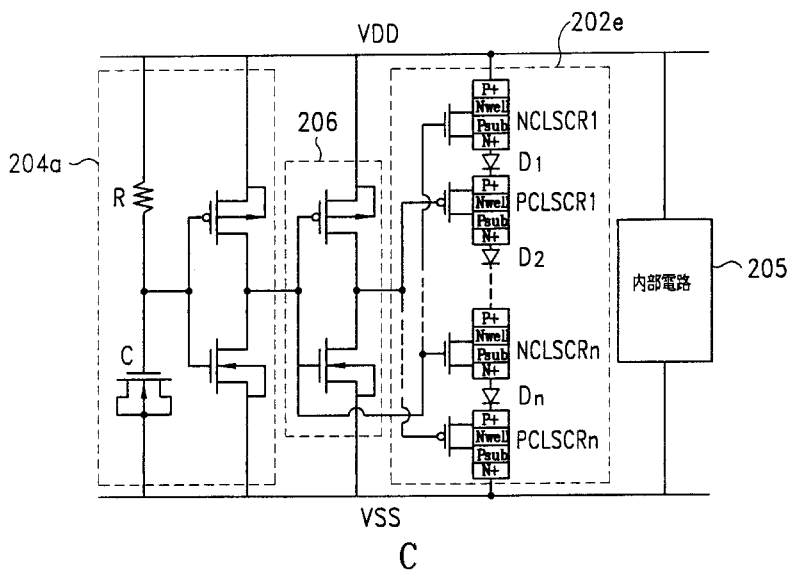
A



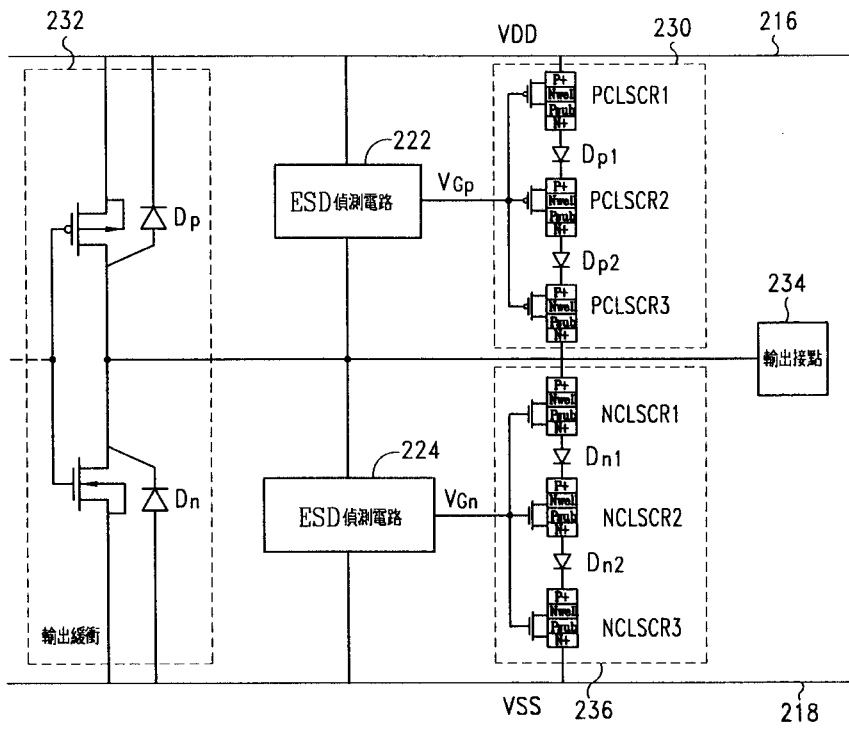
B

第二十一圖

(25)



第二十一圖



第二十三圖