

中華民國專利公報 [19] [12]

[11]公告編號：445628

[44]中華民國 90年 (2001) 07月11日

發明

全 5 頁

[51] Int.Cl⁰⁶: H01L23/60

[54]名稱：靜電放電保護電路

[21]申請案號：088118891

[22]申請日期：中華民國 88年 (1999) 10月30日

[72]發明人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

[71]申請人：

世界先進積體電路股份有限公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代理人：詹銘文 先生

1

2

[57]申請專利範圍：

1.一種靜電放電保護電路，包括：

一特殊場元件，跨接於一電壓源與一接地線之間，其閘極耦接至一第一節點；

一NMOS電晶體，跨接於該第一節點與該接地線之間，其閘極耦接至一第二節點；

一PMOS電晶體，跨接於該電壓源與該第一節點之間，其閘極耦接至該第二節點；

一電阻，串接於該電壓源與該第二節點之間；以及

一電容，串接於該第二節點與該接地線之間。

2.如申請專利範圍第1項所述之靜電放電保護電路，其中該特殊場元件架構於一基底上，其結構包括：

一隔離結構，位於該基底中；

一閘極，位於該隔離結構之上方，並以一閘氧化層與該基底相隔；

一汲極與一源極，位於該基底中，且分別位於該閘極之兩側；

一深N井區，位於該基底下；以及

一N井區，形成於該源極與該深N井區間之該基底中。

3.如申請專利範圍第2項所述之靜電放電保護電路，其中該隔離結構包括淺溝渠隔離結構。

4.如申請專利範圍第2項所述之靜電放電保護電路，其中該隔離結構的形成方法包括區域氧化法技術。

5.如申請專利範圍第2項所述之靜電放電保護電路，其中該隔離結構的形成方法包括淺溝渠隔離技術。

6.如申請專利範圍第1項所述之靜電放電保護電路，其中該特殊場元件架構於一基底上，其結構包括：

一隔離結構，位於該基底中；

一閘極，位於該隔離結構之上方，並以一閘氧化層與該基底相隔；

一汲極與一源極，位於該基底中，且分別位於該閘極之兩側；以及

一 N 井區，形成於該源極下之該基底中。

7.如申請專利範圍第 6 項所述之靜電放電保護電路，其中該隔離結構包括淺溝渠隔離結構。

8.如申請專利範圍第 6 項所述之靜電放電保護電路，其中該隔離結構的形成方法包括區域氧化法技術。

9.如申請專利範圍第 6 項所述之靜電放電保護電路，其中該隔離結構的形成方法包括淺溝渠隔離技術。

10.如申請專利範圍第 1 項所述之靜電放電保護電路，其中該特殊場元件之閘極更包括耦接至其基底，可藉以提昇基底電壓。

11.一種靜電放電保護電路，包括：
一特殊場元件，跨接於一電壓源與一接地線之間，其閘極耦接至該接地線，其基底耦接至一第一節點；

一 NMOS 電晶體，跨接於該第一節點與該接地線之間，其閘極耦接至一第二節點；

一 PMOS 電晶體，跨接於該電壓源與該第一節點之間，其閘極耦接至該第二節點；

一電阻，串接於該電壓源與該第二節點之間；以及

一電容，串接於該第二節點與該接地線之間。

12.如申請專利範圍第 11 項所述之靜電放電保護電路，其中該特殊場元件架構於一基底上，其結構包括：

一隔離結構，位於該基底中；

一閘極，位於該隔離結構之上方，並以一閘氧化層與該基底相隔；

一汲極與一源極，位於該基底中，且分別位於該閘極之兩側；

一深 N 井區，位於該基底下；以及

一 N 井區，形成於該源極與該深 N 井區間之該基底中。

13.如申請專利範圍第 12 項所述之靜電放電保護電路，其中該隔離結構包括淺溝渠隔離結構。

14.如申請專利範圍第 12 項所述之靜電放電保護電路，其中該隔離結構的形成方法包括區域氧化法技術。

15.如申請專利範圍第 12 項所述之靜電放電保護電路，其中該隔離結構的形成方法包括淺溝渠隔離技術。

16.如申請專利範圍第 11 項所述之靜電放電保護電路，其中該特殊場元件架構於一基底上，其結構包括：

一隔離結構，位於該基底中；

一閘極，位於該隔離結構之上方，並以一閘氧化層與該基底相隔；

一汲極與一源極，位於該基底中，且分別位於該閘極之兩側；以及

一 N 井區，形成於該源極下之該基底中。

17.如申請專利範圍第 16 項所述之靜電放電保護電路，其中該隔離結構包括淺溝渠隔離結構。

25. 18.如申請專利範圍第 16 項所述之靜電放電保護電路，其中該隔離結構的形成方法包括區域氧化法技術。

19.如申請專利範圍第 16 項所述之靜電放電保護電路，其中該隔離結構的形成方法包括淺溝渠隔離技術。

30. 圖式簡單說明：

第一圖 A 與第一圖 B 是繪示傳統之靜電放電保護電路示意圖；

35. 第二圖繪示的是習知一種靜電放電保護電路的示意圖；

第三圖 A ~ 第三圖 C 繪示的是依照本發明一較佳實施例的一種靜電放電保護電路的電路圖；

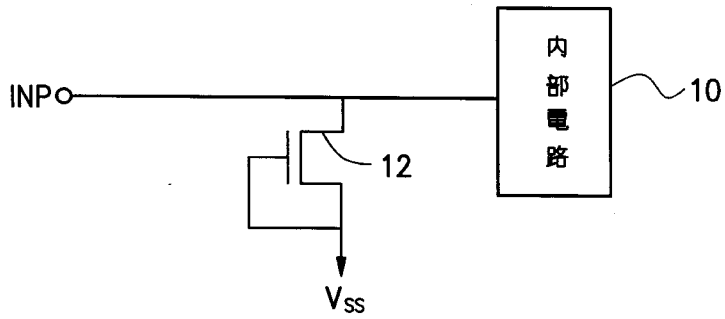
40. 第四圖繪示的是第三圖之特殊場元件的製造剖面圖；以及

5

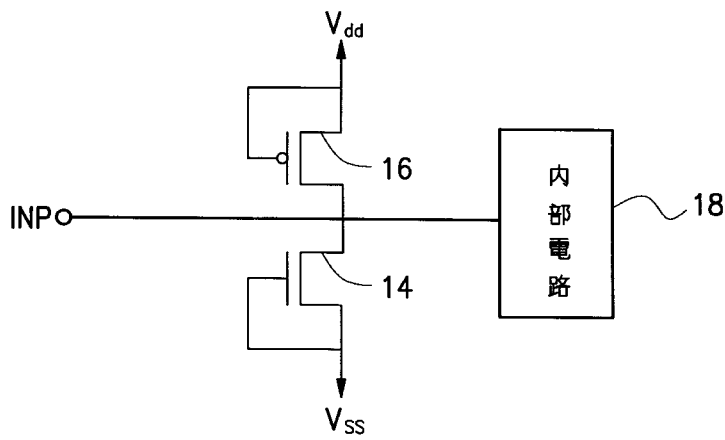
6

第五圖 A 與第五圖 B 分別繪示的是
本發明之靜電放電保護電路與輸入墊及

輸出入墊保護電路使用的實施例圖。



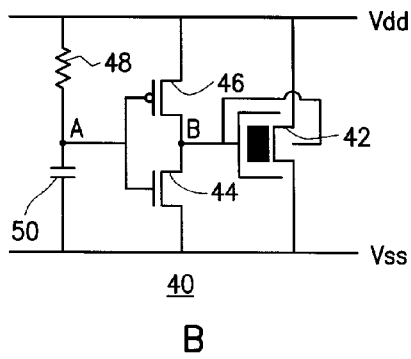
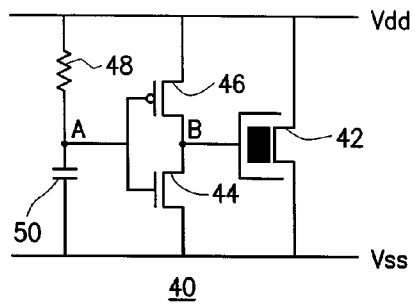
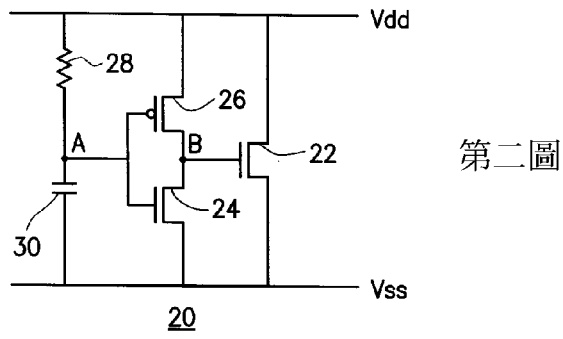
A



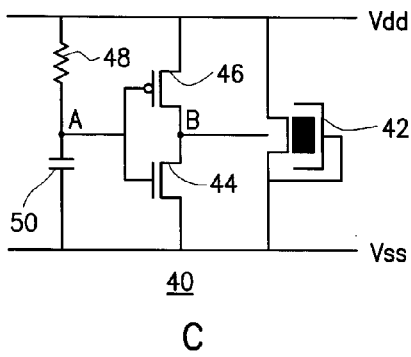
B

第一圖

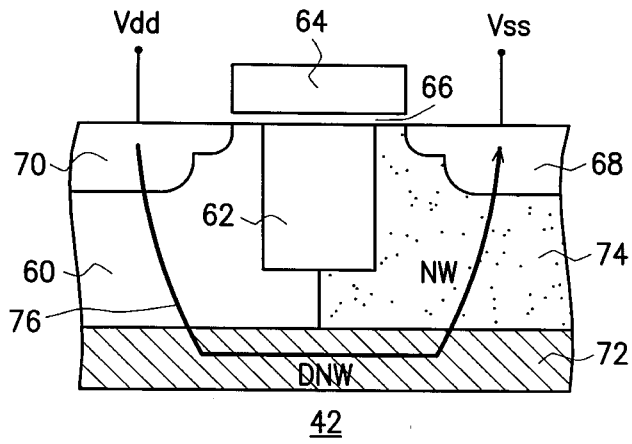
(4)



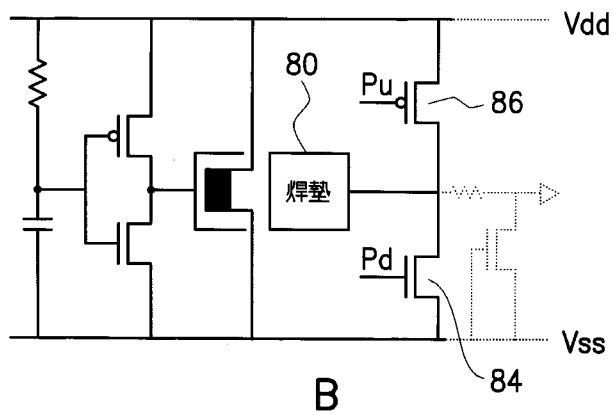
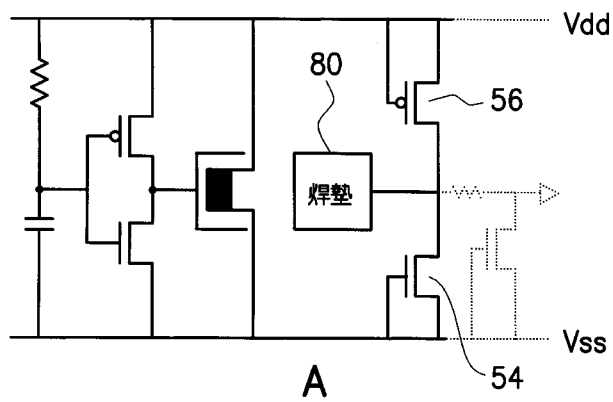
第三圖



(5)



第四圖



第五圖

