

中華民國專利公報 [19] [12]

[11]公告編號：448497

[44]中華民國 90年 (2001) 08月 01日

發明

全 9 頁

[51] Int.Cl⁰⁶: H01L21/28

H01L23/60

[54]名稱：提昇靜電放電耐受力的元件佈局方法

[21]申請案號：089109191

[22]申請日期：中華民國 89年 (2000) 05月 12日

[72]發明人：

柯明道

吳茂霖

新竹市東區寶山路二〇〇巷三號四樓之三

新竹市香山區經國路三段六十三號八樓之二

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區新竹縣園區三路一二一號

[74]代理人：李長銘 先生

1

2

[57]申請專利範圍：

1.一種形成於p型半導體基板之NMOS電晶體佈局，至少包含：

一p型(p-type)護環區形成於該p型半導體基板內，該p型護環區以一間隙圍繞該NMOS之n型擴散區；
一細長複晶閘極，形成於該NMOS之n型擴散區內，並且兩終端延伸至該間隙中；

複數個源極接觸區形成一縱列鄰接該複晶閘極的一側；及

複數個汲極接觸區形成一縱列鄰接該複晶閘極的另一側，該複晶閘極之兩終端處比中心寬，且該兩終端並延伸至該NMOS之n型擴散區之外的該半導體基板內，用以使寄生於該NMOS電晶體之複數個源、汲極接觸區的複數個橫向雙極性電晶體可以均勻開啟，避免尖端放電效應之發生，以提高該NMOS電晶體對ESD的耐受力。

2.如申請專利範圍第1項之NMOS電晶體

佈局，該複數個源極接觸區與一接地端連接，而該汲極接觸區與輸出入墊片相連接。

3.如申請專利範圍第1項之NMOS電晶體佈局，其中上述之橫向雙極性電晶體分別以該NMOS電晶體之源、汲極及複晶閘極下方之基底為射、集、及基極。

4.如申請專利範圍第1項之NMOS電晶體佈局，其中上述之複晶閘極之兩終端處比中心寬係包含向源、汲極接觸區擴大或者僅向汲極區擴大兩者其中之一。

5.如申請專利範圍第1項之NMOS電晶體佈局，更包含一n型護環形成於該p型護環之外圍。

6.一種形成於p型半導體基板n井之PMOS電晶體佈局，至少包含：

一n型(n-type)護環區形成於該p型半導體基板之n井內，該n型護環區以一間

隙圍繞該 PMOS 之 p 型擴散區；

一細長複晶閘極，形成於該 PMOS 之 p 型擴散區內，並且兩終端延伸至該間隙中；

複數個源極接觸區形成一縱列鄰接該複晶閘極的一側；及

複數個汲極接觸區形成一縱列鄰接該複晶閘極的另一側，該複晶閘極之兩終端處比中心寬，且該兩終端並延伸至該 PMOS 之 p 型擴散區之外的該半導體基板的 n 井內，用以使寄生於該 PMOS 電晶體之複數個源、汲極接觸區的複數個橫向雙極性電晶體可以均勻開啟，避免尖端放電效應之發生，以提高該 PMOS 電晶體對 ESD 的耐受力。

7.如申請專利範圍第 6 項之 PMOS 電晶體佈局，該複數個源極接觸區與一電源端連接，而該汲極接觸區與輸出入墊片相連接。

8.如申請專利範圍第 6 項之 PMOS 電晶體佈局，其中上述之橫向雙極性電晶體分別以該 PMOS 電晶體之源、汲極及複晶閘極下方之基底為射、集、及基極。

9.如申請專利範圍第 6 項之 PMOS 電晶體佈局，其中上述之複晶閘極之兩終端處比中心寬係包含向源、汲極接觸區擴大或者僅向汲極區擴大兩者其中之一。

10.如申請專利範圍第 6 項之 PMOS 電晶體佈局，更包含一 p 型護環形成於該 n 型護環之外圍。

11.一種形成於半導體基板之多指頭狀 ESD 防護電晶體佈局，至少包含：
複數個 NMOS 電晶體彼此並聯，並連接至第一參考電位及第二參考電位之間，每一該 NMOS 電晶體分別具有一閘極而形成上述之多指頭狀閘極，該每一閘極之兩終端處比中心寬，且該

兩終端並延伸至該 NMOS 電晶體之外的該半導體基板內，用以使複數個寄生 n-p-n 雙極性電晶體受 ESD 事件時將均勻開啟，避免尖端放電效應之發生，進而達到提高核 NMOS 電晶體之對 ESD 的耐受力；

複數個源極接觸區形成複數個縱列源極接觸區，並分別鄰接該每一閘極；及

10. 複數個汲極接觸區形成複數個縱列汲極接觸區，並分別鄰接該每一閘極。

12.如申請專利範圍第 11 項之多指頭狀 ESD 防護電晶體佈局，該第一參考電位係一接地端與該源極接觸區連接，第二參考電位係該輸出入墊片端並與該汲極接觸區相連接。

13.如申請專利範圍第 11 項之多指頭狀 ESD 防護電晶體佈局，該每一源、汲極接觸區與閘極分別形成一寄生的 n-p-n 橫向雙極性電晶體之射、集、及基極，因此有複數個寄生 n-p-n 雙極性電晶體，橫向排列，當受 ESD 事件時將均勻開啟而達到提高該 NMOS 電晶體之對 ESD 的耐受力。

25. 14.如申請專利範圍第 11 項之多指頭狀 ESD 防護電晶體佈局，其中上述之該每一閘極之兩終端處比中心寬係指閘極之兩終端向該鄰近之源、汲極接觸區擴大或僅向汲極接觸區擴大，兩者其中之一。

30. 15.如申請專利範圍第 11 項之多指頭狀 ESD 防護電晶體佈局，更包含一 p 型 (p-type) 護環區形成於半導體基板內，並以一間隙包圍該 n+ 擴散區，及一 n 型護環形成於該 p 型護環之外圍。

35. 16.一種形成於半導體基板 n+ 擴散區中之多指頭狀電晶體佈局，至少包含：
複數個第一 NMOS 電晶體之汲極彼此連接至一輸出入墊，及複數個第二 NMOS 電晶體之源極彼此連接，且每

一該第一 NMOS 電晶體之源極與每一該第二 NMOS 電晶體之汲極互相串聯，以形成一組指頭狀電晶體佈局，複數組多指指頭狀電晶體佈局係用以保護較低電壓源操作但有高電壓自該輸出入墊輸入的邏輯電路，其中每一該第一 NMOS 電晶體具有一第一閘極，該每一第二 NMOS 電晶體之源極接地，因此該複數個第一閘極及該複數個第二閘極構成複數組指頭狀閘極，其中上述之第一閘極之兩終端係向汲極區擴大或向兩側邊同時擴大其中之一種，並延伸至該 n+ 擴散區之外，以使兩終端寄生之雙極性電晶體的基極寬度較該第一閘極中心寄生之雙極性電晶體的基極寬度大；複數個源極接觸區形成複數個縱列源極接觸區，並分別鄰接每一第二閘極；及複數個汲極接觸區形成複數個縱列汲極接觸區，並分別鄰接每一第一閘極，該複數個第一閘極連接至一電源供應端。

17.如申請專利範圍第 16 項之多指頭狀電晶體佈局，更包含：
複數個 PMOS 電晶體互相並聯並分別連接該複數個第一 NMOS 電晶體，該複數個 PMOS 電晶體之本體(bulk)連接至一 n 井偏壓電路，該複數個 PMOS 電晶體之本體(bulk)連接至一閘極偏壓電路；及一輸出入墊連接至該複數個 PMOS 電晶體及該複數個第一 NMOS 電晶體之連接端。

18.如申請專利範圍第 16 項之多指頭狀閘極之 ESD 防護電晶體佈局，其中上述之複數個源極接觸區，該複數個汲極接觸區，共同形成複數個寄生的 n-p-n 雙極性電晶體，該複數個寄生的 n-p-n 雙極性電晶體的每一個分別以該源、

汲極接觸區為射、集極而該第一閘極及第二閘極為共同基極，該寄生 n-p-n 雙極性電晶體受 ESD 事件時將均勻開啟，避免尖端放電效應之發生，進而達到提高該 NMOS 電晶體之對 ESD 的耐受力。

5. 19.如申請專利範圍第 16 項之多指頭狀電晶體佈局，其中上述之較低電壓源操作及高電壓輸出入之電壓分別係指 1-3.3 伏及 2-5 伏範圍。

10. 20.一種形成於半導體基板的一 p+ 擴散區中之多指頭狀電晶體佈局，至少包含：
複數個第一 PMOS 電晶體之汲極彼此連接至一輸出入墊，及複數個第二 PMOS 電晶體之源極彼此連接，且每一該第一 PMOS 電晶體之源極與每一該第二 PMOS 電晶體之汲極互相串聯以形成一組指頭狀電晶體佈局，複數組多指頭狀電晶體佈局，係用以保護較低電壓源操作但有高電壓自輸出入墊輸入的邏輯電路，其中每一該第一 PMOS 電晶體具有一第一閘極，該每一第二 PMOS 電晶體之源極接一電源供應端，因此該複數個第一閘極及該複數個第二閘極構成複數組指頭狀閘極，其中上述之第一閘極之兩終端係向汲極區擴大或向兩側邊同時擴大其中之一種，以使兩終端寄生之雙極性電晶體的基極寬度較該第一閘極中心寄生之雙極性電晶體的基極寬度大；複數個源極接觸區形成複數個縱列源極接觸區，並分別鄰接每一第二閘極；及複數個汲極接觸區形成複數個縱列汲極接觸區，並分別鄰接每一第一閘極，該複數個第一閘極之兩終端處比中心寬，該複數個第一閘極及該複數個第二閘極之終端並延伸至該 n+ 擴散區之外。

15. 25. 30. 35. 40.

21.如申請專利範圍第20項之多指頭狀電晶體佈局，其中上述第一 PMOS 電晶體及第二 PMOS 電晶體之本體(bulk)連接至一 n 井偏壓電路，該第一閘極及該第二閘極連接至一閘極偏壓電路。

22.如申請專利範圍第20項之多指頭狀電晶體佈局，更包含一 n+ 護環形成於該半導體基板上並以一間隙包圍該 p+ 擴散區。

23.如申請專利範圍第20項之多指頭狀電晶體佈局，更包含：互相串連之兩個為一組的 NMOS 電晶體連接該第一 PMOS 電晶體之汲極端及一接地端，該連接端並連接該輸出入墊及上述之較低電壓源操作但有高電壓自該輸出入墊輸出的邏輯電路。

圖式簡單說明：

第一圖顯示一般習知技術所設計連接於輸出入墊(I/O pad)的 ESD 防護電路。

第二圖顯示依據習知技術所設計之 NMOS 電晶體之佈局圖，具有多指頭狀的元件結構。

第三圖顯示依據習知技術所設計之 NMOS 電晶體之佈局圖，一 p+ 擴散區加入於兩個源極接觸區之中以使得左右的多指頭狀的元件結構更具有對稱性。

第四圖顯示依據第二圖之 A-A' 線所繪的 NMOS 電晶體之橫截面示意圖。

第五圖顯示依據第二圖之 B-B' 線所繪的 NMOS 電晶體之橫截面示意圖。

第六圖顯示依據習知技術所呈現之 NMOS 電晶體的方形佈局圖。

第七圖顯示依據習知技術所設計之 NMOS 電晶體之佈局圖，包含一 p+ 擴散區加入於兩個源極接觸區之中，並且每一縱列都有複數個寄生的 n-p-n 雙極性電晶體。

第八圖顯示 ESD 電流在第七圖所示

之電晶體元件佈局下的電流流向示意圖。

5. 第九圖顯示依據本發明技術所設計之 NMOS 電晶體之佈局圖，其中閘極的兩端點作了適當的擴大，用以使得當遭受 ESD 電流衝擊時各個寄生的雙極性電晶體可以均勻開啟，不會因尖端放電效應而在指端先開啟。

10. 第十圖顯示依據本發明技術所設計之具有兩個串接的 NMOS 電晶體及一 PMOS 電晶體於輸出入端，以達到高低電壓共容性的輸出入電路與 ESD 防護電路圖。

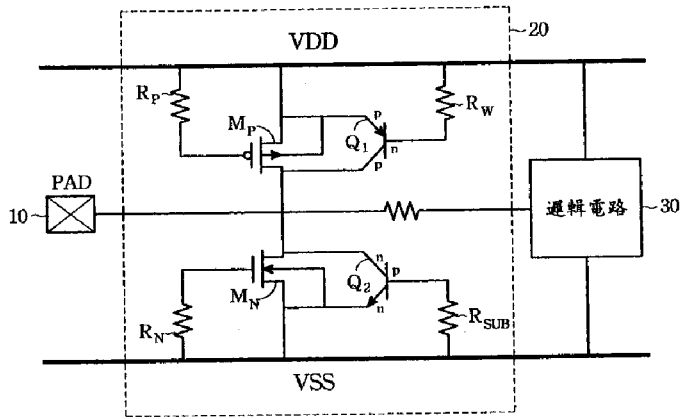
15. 第十一圖顯示依據第十圖電路之 NMOS 電晶體部分所實施之佈局圖，其中疊在上方之電晶體的閘極端點作了適當的擴大，用以使得當遭受 ESD 電流衝擊時各個寄生的雙極性電晶體可以均勻開啟，不會因尖端效應而於指端先開啟。

20. 第十二圖顯示依據第十圖之電路之 NMOS 電晶體部分所實施之佈局圖，用以使得當遭受 ESD 電流衝擊時各個寄生的雙極性電晶體可以均勻開啟，不會因尖端效應而於指端先開啟，其中疊在上方之電晶體的閘極端點僅在靠近汲極端那一側擴大，靠近源極端不變以進一步縮小佈局面積。

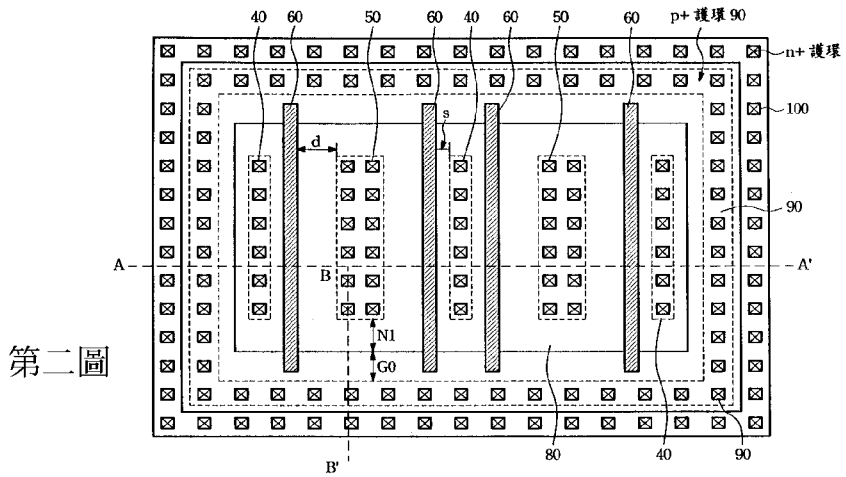
30. 第十三圖顯示依據本發明技術所設計之具有兩個串接的 NMOS 電晶體及兩個串接的 PMOS 電晶體於輸出入端，以達到高低電壓共容性的輸出入電路圖。

35. 第十四圖顯示依據第十三圖之電路之串接 PMOS 電晶體部分所實施之佈局圖，其中疊在下方之 PMOS 電晶體的閘極端點往汲極端那一側擴大，用以使得當遭受 ESD 電流衝擊時各個寄生的雙極性電晶體可以均勻開啟，不會因尖端效應而於指端先開啟。

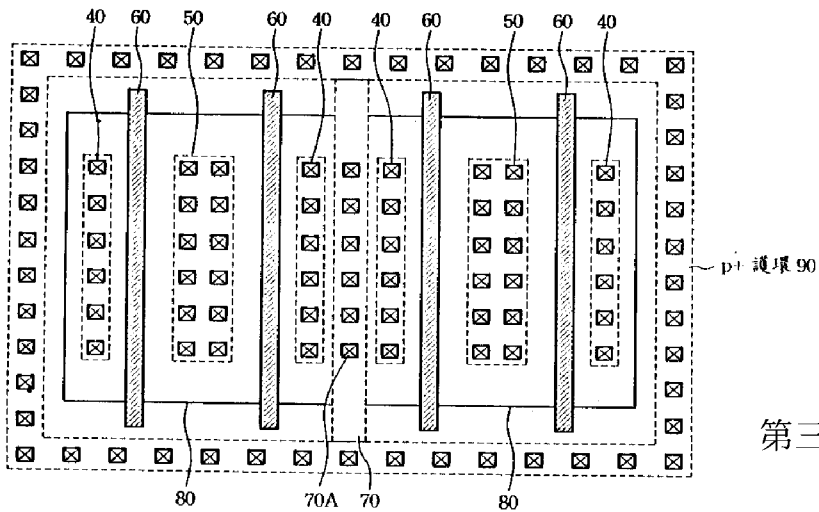
(5)



第一圖

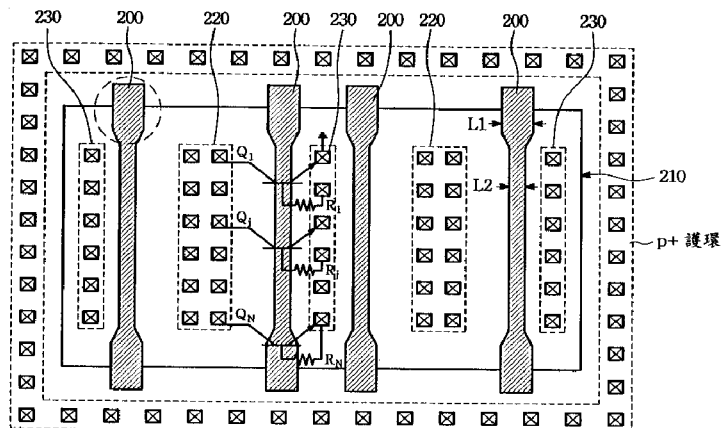
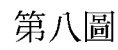
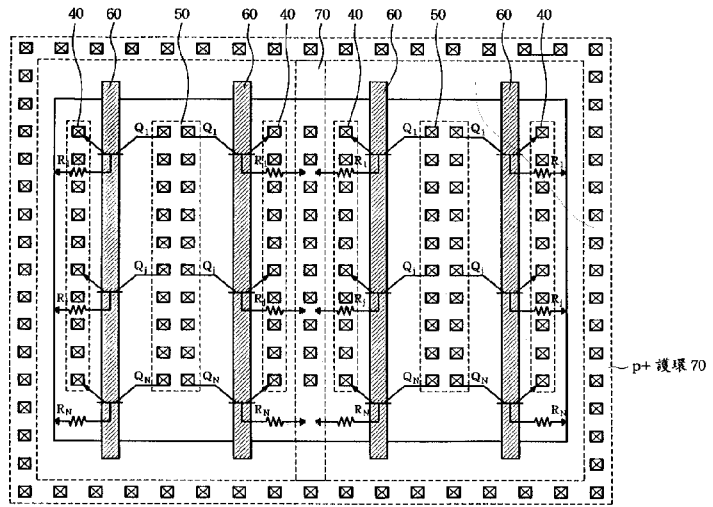


第二圖

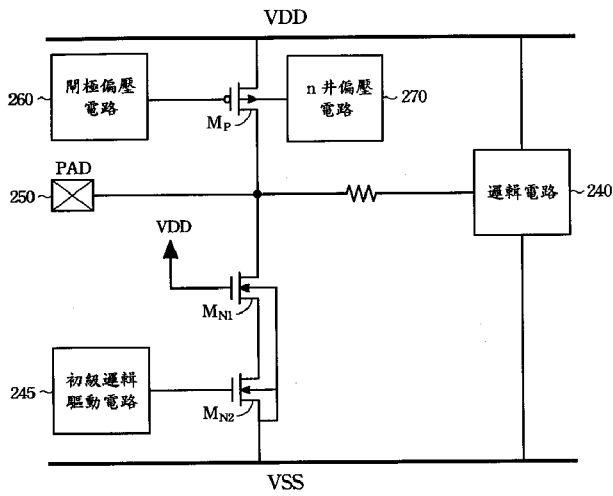


第三圖

(7)

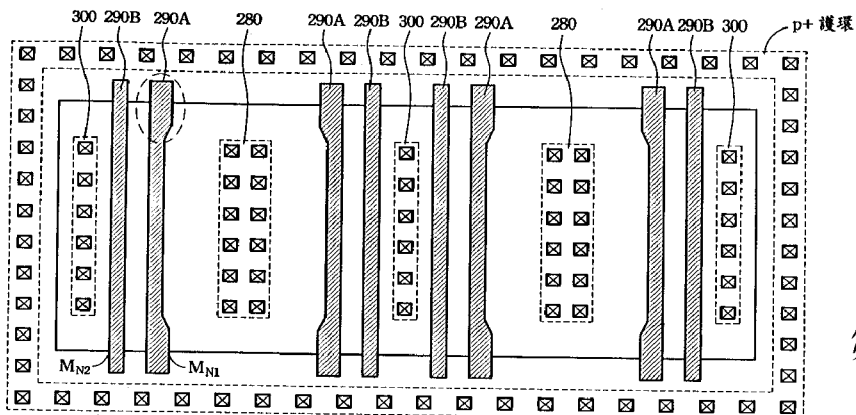
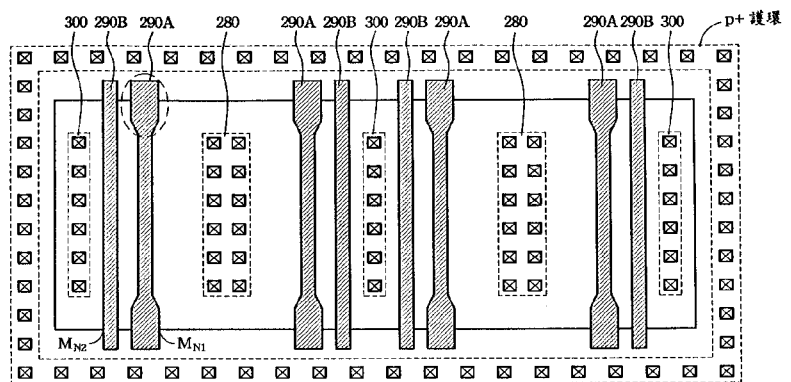


(8)



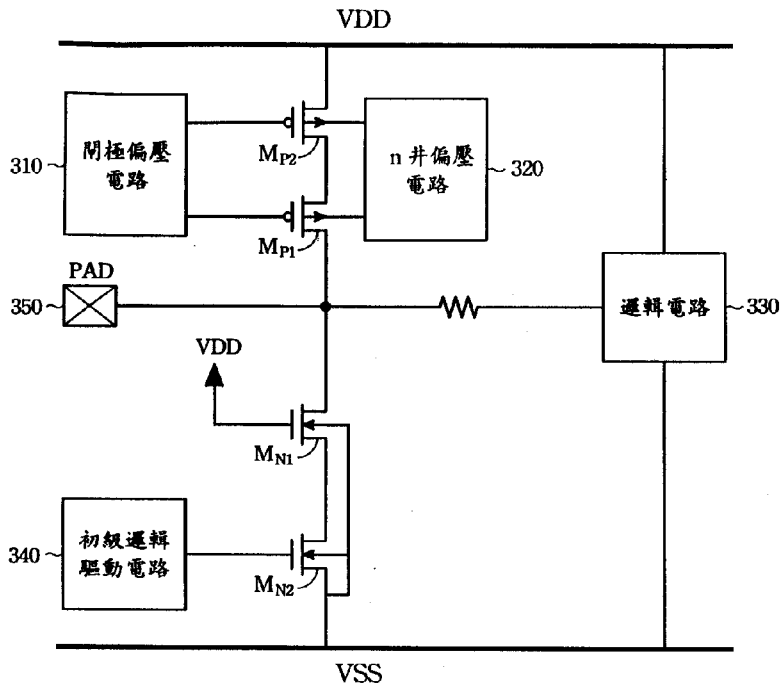
第十圖

第十一圖

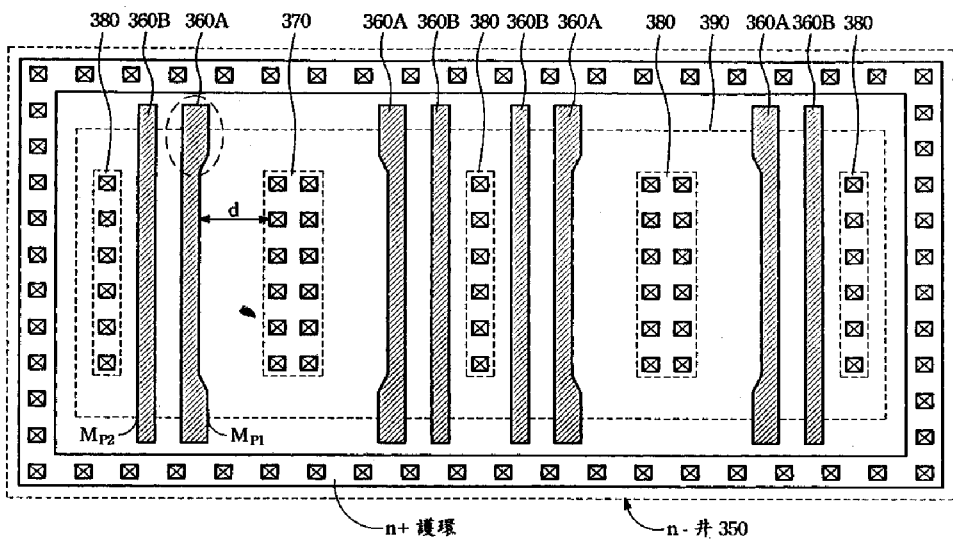


第十二圖

(9)



第十三圖



第十四圖

