

中華民國專利公報 [19] [12]

[11]公告編號：451423

[44]中華民國 90年 (2001) 08月 21日

發明

全 9 頁

[51] Int.Cl⁰⁶: H01L21/8238

[54]名稱：使用門鎖離子佈植改善CMOS製程之門鎖效應的結構及其製造方法

[21]申請案號：089101682

[22]申請日期：中華民國 89年 (2000) 02月 01日

[72]發明人：

柯明道

張智毅

姜信欽

彭政傑

新竹市寶山路二〇〇巷三號四樓之三

台北縣新莊市中和街一二五巷二十號九樓

台北市信安街十號六樓

桃園縣觀音鄉大潭村四鄰二十七號

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種使用門鎖離子佈植改善CMOS製程之門鎖效應的結構，包括：

一基底，該基底具有一第一導電型；

一井區，位於該基底中，該井區具有一第二導電型；

一第一電晶體，位於該井區上，該第一電晶體係由一第一源極、一第一汲極與一第一閘極所組成，該第一源極與該第一汲極具有高濃度之該第一導電型；

一第二電晶體，位於該基底上，該第二電晶體係由一第二源極、一第二汲極與一第二閘極所組成，該第二源極與該第二汲極具有高濃度之該第二導電型；

一濃度比高濃度之該第一導電型低的低濃度第一導電型離子摻雜區，位於該第一源極底部與該井區間之介面中；

一濃度比高濃度之該第二導電型低的

低濃度第二導電型離子摻雜區，位於該第二源極底部與該基底間之介面中；

一高濃度第一導電型離子摻雜區，位於該基底中，並鄰近該第二源極；以及

一高濃度第二導電型離子摻雜區，位於該井區中，並鄰近該第一源極。

2.如申請專利範圍第1項所述之使用門鎖離子佈植改善CMOS製程之門鎖效應的結構，其中當該第一導電型是N型時，該第二導電型是P型。

3.如申請專利範圍第1項所述之使用門鎖離子佈植改善CMOS製程之門鎖效應的結構，其中當該第一導電型是P型時，該第二導電型是N型。

4.一種使用門鎖離子佈植改善CMOS製程之門鎖效應的結構，包括：

一基底，該基底具有一第一導電型；

一井區，位於該基底中，該井區具有

一第二導電型；

一第一電晶體，位於該井區上，該第一電晶體係由一第一源極、一第一汲極與一第一閘極所組成，該第一源極與該第一汲極具有高濃度之該第一導電型；

一第二電晶體，位於該基底上，該第二電晶體係由一第二源極、一第二汲極與一第二閘極所組成，該第二源極與該第二汲極具有高濃度之該第二導電型；

一濃度比高濃度之該第一導電型低的低濃度第一導電型離子摻雜區，位於該第一源極底部與該井區間之介面中；

一高濃度第一導電型離子摻雜區，位於該基底中，並鄰近該第二源極；以及

一高濃度第二導電型離子摻雜區，位於該井區中，並鄰近該第一源極。

5.如申請專利範圍第4項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

6.如申請專利範圍第4項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

7.一種使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構，包括：

一基底，該基底具有一第一導電型；
一井區，位於該基底中，該井區具有一第二導電型；

一第一電晶體，位於該井區上，該第一電晶體係由一第一源極、一第一汲極與一第一閘極所組成，該第一源極與該第一汲極具有高濃度之該第一導電型；

一第二電晶體，位於該基底上，該第二電晶體係由一第二源極、一第二汲

極與一第二閘極所組成，該第二源極與該第二汲極具有高濃度之該第二導電型；

一濃度比高濃度之該第二導電型低的低濃度第二導電型離子摻雜區，位於該第二源極底部與該基底間之介面中；

一高濃度第一導電型離子摻雜區，位於該基底中，並鄰近該第二源極；以及

一高濃度第二導電型離子摻雜區，位於該井區中，並鄰近該第一源極。

8.如申請專利範圍第7項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

9.如申請專利範圍第7項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應的結構，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

10.一種使用門鎖離子佈植改善 CMOS 製程之門鎖效應之結構的製造方法，包括：

在一第一導電型基底中形成一第二導電型井區；

分別在該第一導電型基底與該第二導電型井區上，形成已定義之一第一多晶矽閘極與一第二多晶矽閘極；

進行一第一導電型離子植入製程，藉以在該第一多晶矽閘極兩側之該第二導電型井區中，分別形成一高濃度第一導電型源極與一高濃度第一導電型汲極，並在該第一導電型基底中形成一高濃度第一導電型離子摻雜區；

進行一第二導電型離子植入製程，藉以在該第二多晶矽閘極兩側之該第一導電型基底中，分別形成一高濃度第二導電型源極與一高濃度第二導電型汲極，並在鄰近該高濃度第一導電型源極之該第二導電型井區中形成一高

濃度第二導電型離子摻雜區，其中該高濃度第一導電型源極鄰近該高濃度第二導電型離子摻雜區；

進行一第一導電型門鎖離子佈植製程，藉以在該高濃度第一導電型源極底部與該第二導電型井區間之介面中，形成一低濃度第一導電型離子摻雜區；以及

進行一第二導電型門鎖離子佈植製程，藉以在該高濃度第二導電型源極底部與該第一導電型基底間之介面中，形成一低濃度第二導電型離子摻雜區。

11.如申請專利範圍第10項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應之結構的製造方法，其中進行該第一導電型離子植入製程的步驟可與進行該第二導電型離子植入製程的步驟互換。

12.如申請專利範圍第10項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應之結構的製造方法，其中進行該第一導電型門鎖離子佈植製程的步驟可與進行該第二導電型門鎖離子佈植製程的步驟互換。

13.如申請專利範圍第10項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效應之結構的製造方法，其中當該第一導電型是 N 型時，該第二導電型是 P 型。

14.如申請專利範圍第10項所述之使用門鎖離子佈植改善 CMOS 製程之門鎖效

應之結構的製造方法，其中當該第一導電型是 P 型時，該第二導電型是 N 型。

圖式簡單說明：

5. 第一圖繪示的是寄生在 CMOS 製程下之傳統 SCR 的剖面結構圖；

第二圖繪示的是第一圖之 SCR 的等效電路圖；

10. 第三圖繪示的是繪示的是使用磊晶晶圓來避免門鎖的方法；

第四圖繪示的是利用防護環來防止門鎖的方法；

第五圖繪示的是加了防護環的輸入／輸出(I/O)緩衝埠佈局圖；

15. 第六圖係顯示本發明的佈局示意圖；

第七圖 A ～第七圖 E 繪示的是本發明的關鍵製程流程圖；

20. 第八圖 A 繪示的是傳統 CMOS 製程完成後的剖面示意圖；

第八圖 B 繪示的是本發明 CMOS 製程完成後的剖面示意圖；

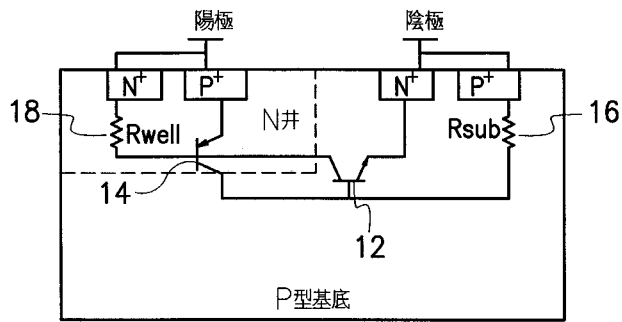
第九圖繪示的是第八圖 A 之傳統 CMOS 製程寄生電路的示意圖；

25. 第十圖繪示的是第八圖 B 之本發明 CMOS 製程寄生電路的示意圖；

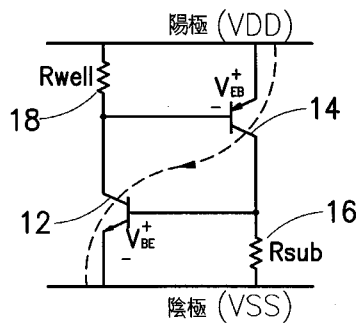
第十一圖 A 繪示的是本發明另一較佳實施例之 CMOS 製程寄生電路的示意圖；以及

30. 第十一圖 B 繪示的是本發明再一較佳實施例之 CMOS 製程寄生電路的示意圖。

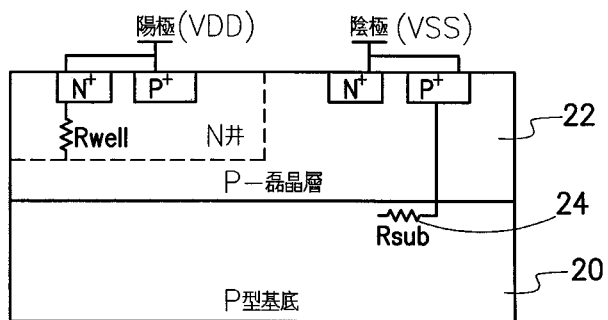
(4)



第一圖

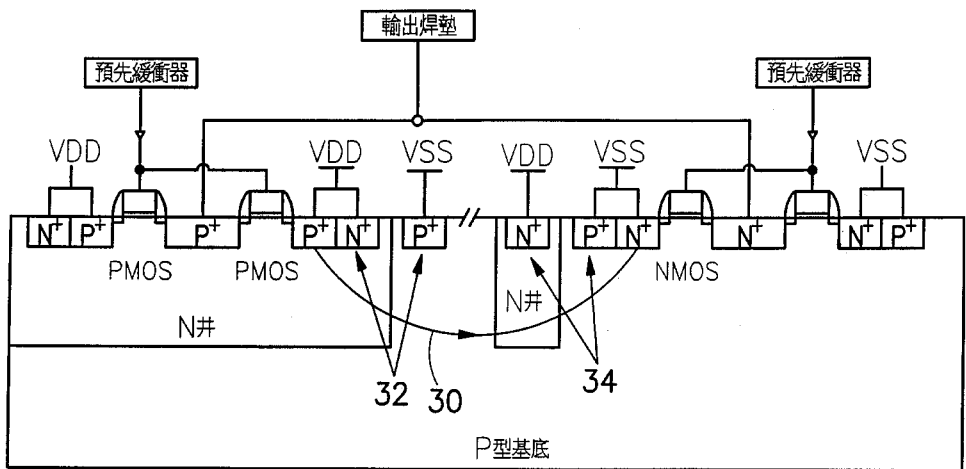


第二圖

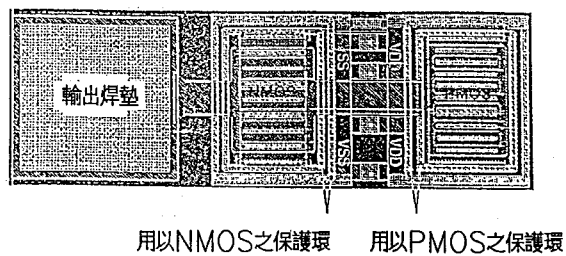


第三圖

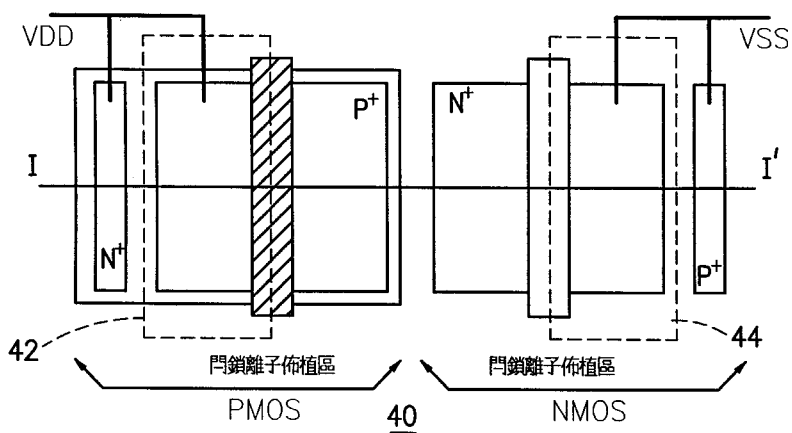
(5)



第四圖

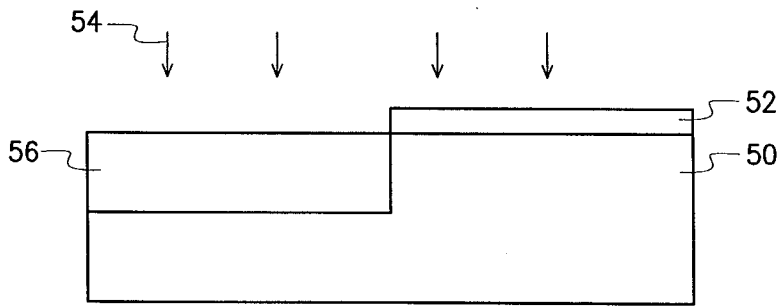


第五圖

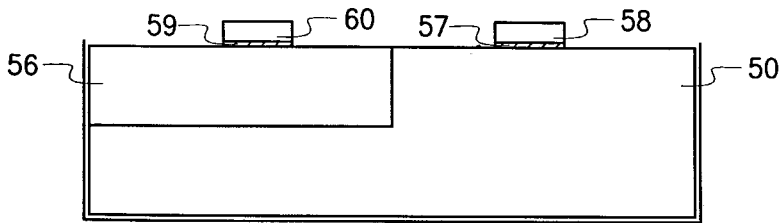


第六圖

(6)

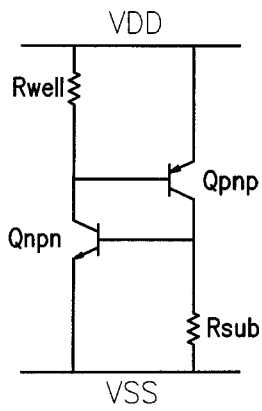


A



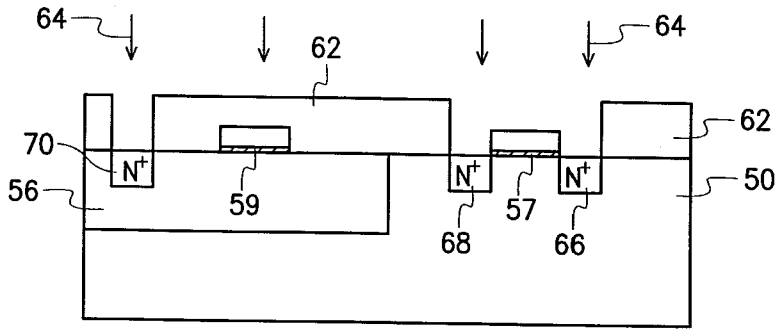
B

第七圖

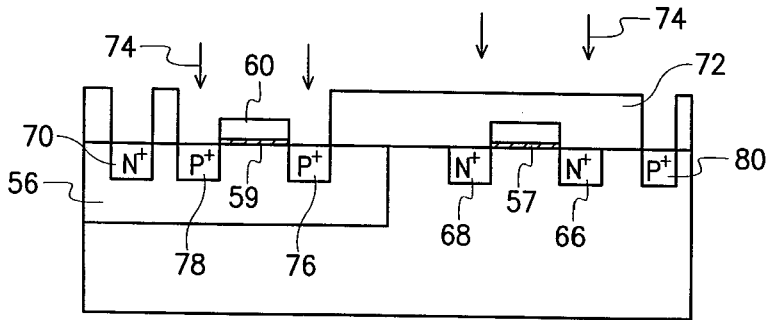


第九圖

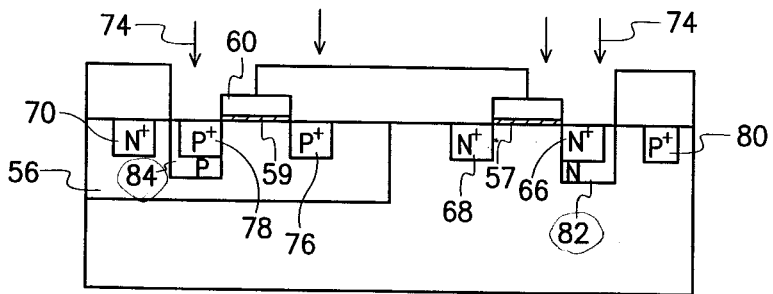
(7)



C



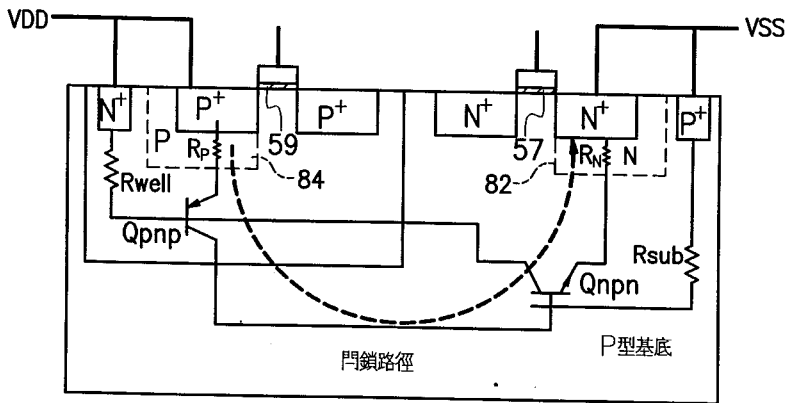
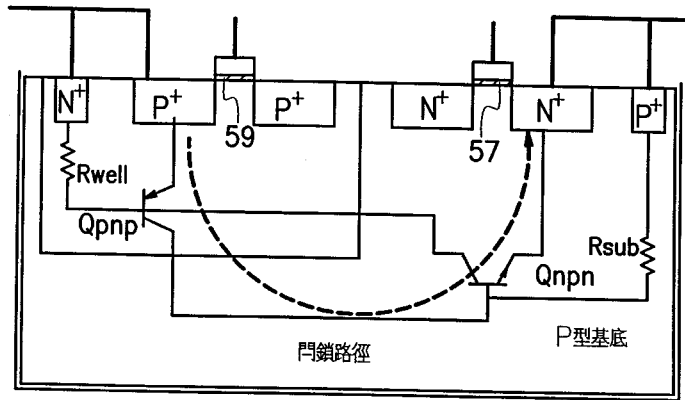
D



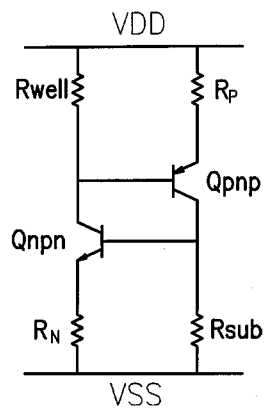
E

第七圖

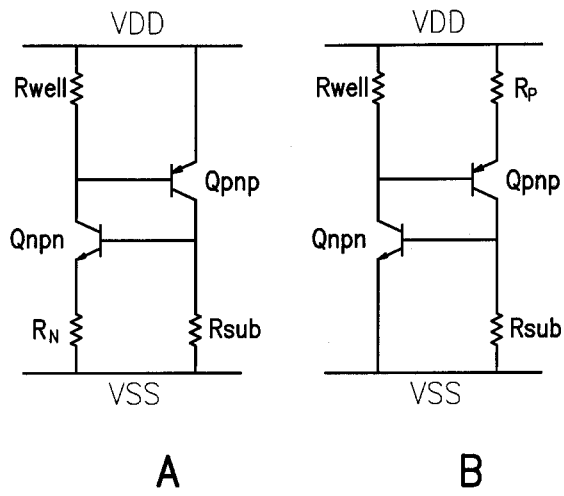
(8)



第八圖



(9)



第十一圖

