

中華民國專利公報 [19] [12]

[11]公告編號：454326

[44]中華民國 90年 (2001) 09月 11日

發明

全 3 頁

[51] Int.Cl⁰⁶: H01L23/60

[54]名稱：具深層靜電放電電流路徑的互補式金氧半電晶體元件及其製造方法

[21]申請案號：088122677

[22]申請日期：中華民國 88年 (1999) 12月 22日

[72]發明人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

新竹市寶山路二〇〇巷三號四樓之三

[71]申請人：

世界先進積體電路股份有限公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代理人：蔡坤財 先生

1

2

[57]申請專利範圍：

1.一種具靜電放電防護設計的互補式金氧半場效(CMOS)電晶體，該電晶體至少包含：

一P型基材，包含一N型通道電晶體，該電晶體具有閘極、汲極和源極；

一N型井擴散區，位於該P型基材上該電晶體的該汲極之下方；及

一P型離子植入區，該P型離子植入區在該電晶體的該汲極內，該P型離子植入區對靠近半導體元件表面部份的電流形成一阻塊，該阻塊使得該電晶體元件具有較深層的電流路徑，以達提升該電晶體靜電放電的能力。

2.如申請專利範圍第1項所述之電晶體，其中上述之N型井擴散區包含在該汲極的長度範圍內，且橫跨在整個該汲極的寬度上。

3.如申請專利範圍第1項所述之電晶體，其中上述之P型離子植入區包含經由該汲極至該N型井，該N型井位於該

汲極下方的該P型基材上。

4.如申請專利範圍第1項所述之電晶體，其中上述之P型離子植入區延伸在整個該汲極之範圍上，且該P型離子植入區位於該閘極和接觸墊之間，用以改變汲極電流路徑。

5.如申請專利範圍第1項所述之電晶體，其中N型離子植入區可以形成在P型汲極區上，且經由該P型汲極區再進入N型基材上的該P型汲極下方的P型井內，以提升P型通道電晶體的靜電放電耐受能力。

10.

15.

20.

6.一種製造具深層靜電放電電流路徑的互補式金氧半電晶體之方法，該方法至少包含以下步驟：

形成一N型井在半導體基材內；

形成一主動區在場氧化層內，且包圍該N型井；

形成一閘極結構在該主動區內；

利用該閘極結構及該場氧化層當作遮

罩，將離子植入該半導體基材以形成輕摻雜區；

形成側壁間隙在該閘極的側壁之上；
塗佈光阻及對 NMOS 的源極和汲極區曝光；

利用該具有側壁間隙的該閘極結構及該場氧化層當作遮罩，以形成 N 型汲極和源極區；

塗佈光阻液且對該 NMOS 的汲極區內部的 P 型該高阻抗區塊曝光；且

將 P 型離子植入該 NMOS 的汲極區的開口處，其中該 NMOS 的汲極區自該汲極區延伸進入該 N 型井，該 P 型離子所佈植之區域位於該閘極結構及汲極接觸區之間，用以形成該高阻抗區塊。

7.如申請專利範圍第 6 項所述之方法，其中上述該高阻抗區塊是用來改變靜電放電電流在該電晶體元件內的電流路徑，使熱消散至該半導體基材上。

8.如申請專利範圍第 6 項所述之方法，其中上述該高阻抗區塊是形成在該汲極的整個範圍上，用以改變靜電放電電流之路徑，使之流經較深層的井區，

並將因靜電放電所產生之熱能消散至該半導體基材上。

9.如申請專利範圍第 6 項所述之方法，其中上述該高阻抗區塊改變了電流路徑，係用以提升該電晶體元件對靜電放電的耐受能力，且不影響到該電晶體元件尺寸的縮小。

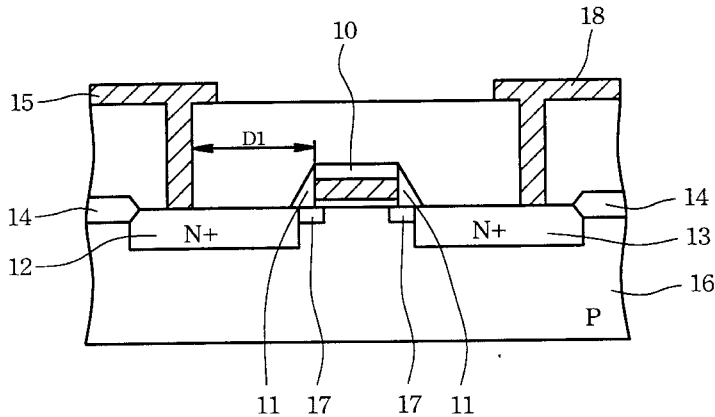
10.如申請專利範圍第 6 項所述之方法，其中使用 N 型離子植入 P 型汲極，且經由該 P 型汲極再進入 N 型基材上的該 P 型汲極下方的 P 型井以形成阻塊，用以提升對 P 型通道電晶體的靜電放電的耐受能力。

圖式簡單說明：

第一圖為一種習知技術的電晶體結構切面圖，該結構利用汲極接觸區到閘極結構間的汲極空間來抗受靜電放電所產生的放電電流；

第二圖為本發明之電晶體結構切面圖，該電晶體結構能夠改變靜電放電電流的消散路徑，因而大幅提升該電晶體對靜電放電的耐受能力；且

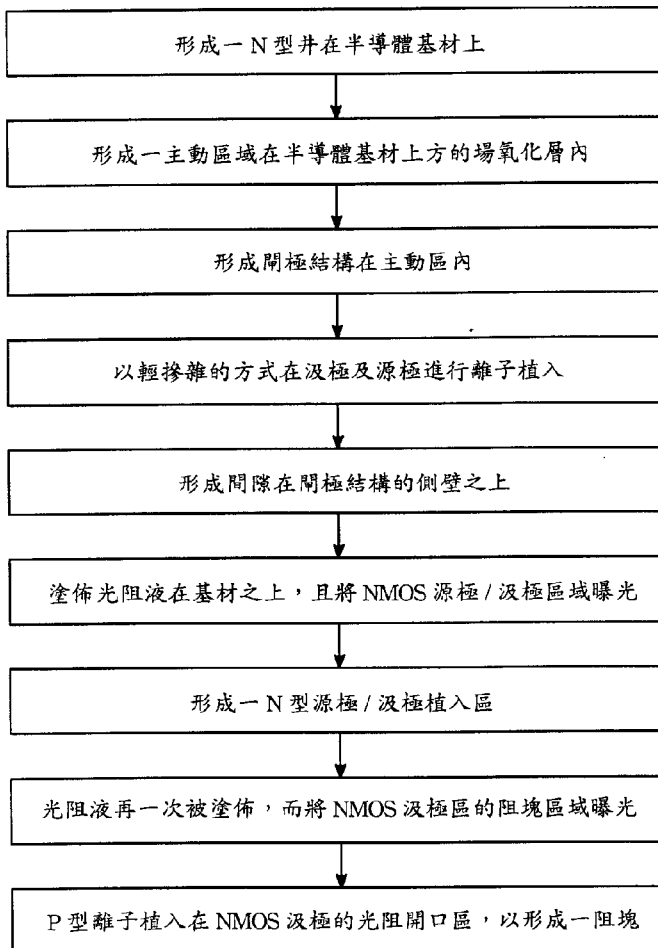
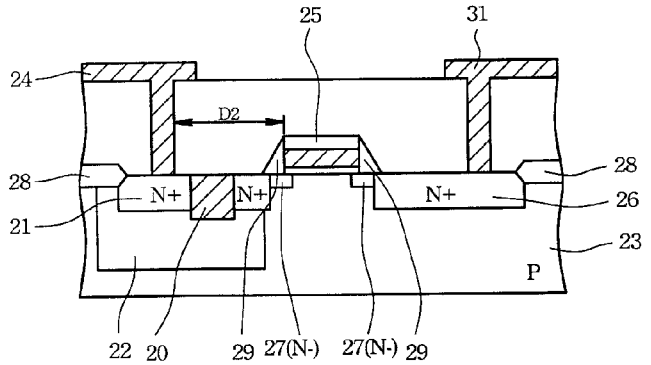
第三圖為本發明為實現該電晶體結構所提出之半導體製作流程圖。



第一圖

(3)

第二圖



第三圖

