

中華民國專利公報 [19] [12]

[11]公告編號：454327

[44]中華民國 90年 (2001) 09月 11日

發明

全 12 頁

[51] Int.Cl 06: H01L23/60

[54]名稱：基體觸發之靜電放電防護電路

[21]申請案號：089115917

[22]申請日期：中華民國 89年 (2000) 08月 08日

[72]發明人：

柯明道

陳東暘

張恆祥

新竹市東區寶山路二〇〇巷三號四樓之三

新竹市光復路一段八十九巷一三一號十二樓之二

台北縣汐止市大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種基體觸發之靜電放電防護電路，包含有：一第一導電型之第一 MOS 電晶體(transistor)，包含有：

一基極(substrate)；

一閘極，設於該基極上；

一源極(source)，耦合至一第一電源線；以及

一汲極(drain)，耦合至一接合墊；

其中，該源極、該基極以及該汲極構成一雙接面電晶體(bipolar transistor)；

以及

一 ESD 偵測電路(ESD detection circuit)，耦合於該第一電源線與該接合墊之間，當於正常操作時，使該基極耦合至該第一電源線，而當一靜電放電事件於該接合墊發生時，用以偏壓該基極以觸發該雙接面電晶體而釋放一靜電放電電流。

2. 如專利申請範圍第 1 項之靜電放電防護電路，其中，該 SD 偵測電路包含有一

基極電阻，耦合於該基極與該第一電源線(power rail)之間。

3. 如專利申請範圍第 2 項之靜電放電防護電路，其中，該第一 MOS 電晶體係設於一半導體基體上之一井區中，其中，該基極電阻係為該井區之一展阻(spread resistor)。

4. 如專利申請範圍第 1 項之靜電放電防護電路，其中，該第一 MOS 電晶體為一指狀(finger type)MOS 電晶體。

5. 如專利申請範圍第 1 項之靜電放電防護電路，其中，該極係耦合至該第一電源線。

6. 如專利申請範圍第 1 項之靜電放電防護電路，其中，該閘極係透過一閘電阻(gate resistor)耦合至該第一電源線。

7. 如專利申請範圍第 1 項之靜電放電防護電路，其中，該靜電放電防護電路係用於一輸出埠，且該第一 MOS 電晶體係為該輸出埠之一驅動電晶體。

- 8.如專利申請範圍第7項之靜電放電防護電路，其中，且該閘極係受該輸出埠中之一緩衝驅動電路所驅動。
- 9.如專利申請範圍第1項之靜電放電防護電路，其中，該第一導電型係為N型。
- 10.如專利申請範圍第1項之靜電放電防護電路，其中，該第一導電型係為P型。
- 11.如專利申請範圍第1項之靜電放電防護電路，其中，該ESD偵測電路包含有：
 - 一基極電阻，耦合於該基體與該第一電源線(power rail)之間；
 - 一第二導電型之第二MOS電晶體，用以觸發該雙接面電晶體，包含有：
 - 一源極，耦合至該接合墊；以及
 - 一汲極，耦合至該第一MOS電晶體之基極；以及
 - 一RC電路，耦合於一第二電源線以及該第一電源線之間，用以偵測一ESD事件的發生，以啟動該第二MOS電晶體。
- 12.如專利申請範圍第11項之靜電放電防護電路，其中，該第二MOS電晶體另包含有一基極，耦合至該第二電源線。
- 13.如專利申請範圍第11項之靜電放電防護電路，其中，該RC電路包含有：
 - 一偵測電阻，耦合於該第二MOS電晶體之閘極與該第二電源線之間；以及
 - 一偵測電容，耦合於該第二MOS電晶體之閘極與該第一電源線之間。
- 14.如專利申請範圍第13項之靜電放電防護電路，其中，該偵測電容之電容值與該偵測電阻之電阻值的乘積大約在微秒的等級。
- 15.如專利申請範圍第1項之靜電放電防護電路，其中，該接合墊係用於一輸入埠。

- 16.如專利申請範圍第1項之靜電放電防護電路，其中，該接合墊係耦合至一第二電源線。
- 17.一種具有良好靜電放電防護效能之MOS電晶體，包含有：
 - 一第一導電型之第一井區；
 - 一控制閘，絕緣的設於該井區之上，作為該MOS電晶體之閘極；
 - 第二導電型之一第一以及一第二源／汲摻雜區，設於該井區中，並鄰接於該閘極之兩側，分別作為該MOS電晶體之一汲極以及一源極；以及
 - 一第一導電型之井接觸區，設於該井區表面且鄰近於該第一源／汲摻雜區，以作為該MOS電晶體之一基極；
15. 其中，該源極、該基極以及該汲極構成一雙接面電晶體；
 - 其中，該汲極與該源極係耦合至一接合墊以及一第一電源線，該基極係耦合至一ESD偵測電路(ESD detection circuit)；
 - 其中，當一靜電放電事件於該接合墊發生時，該ESD偵測電路偏壓該基極以觸發該雙接面電晶體而釋放一靜電放電電流，當於一正常操作時，該ESD偵測電路使得該基極偶合至該電源線。
20. 18.如專利申請範圍第17項之MOS電晶體，其中，該MOS電晶體另包含有一第二導電型之第二井區，設於該第二源／汲摻雜區之下且與該第二源／汲摻雜區相耦合。
30. 19.如專利申請範圍第17項之MOS電晶體，其中，該MOS電晶體另包含一隔絕物(isolation object)，設於該第一源／汲摻雜區與該井接觸區之間。
35. 20.如專利申請範圍第17項之MOS電晶體，其中，該第一井區係設於一第一導電型之基體上，且該基體係偶合至該第一電源線。
- 40.

- 21.一種增進一 MOS 電晶體的靜電放電防護之耐受力(ESD robustness)的方法，該 MOS 電晶體包含有：
- 一基極(substrate)，於正常操作時，耦合至一第一電源線；
 - 一閘極，設於該基極上；
 - 一源極(source)，耦合至該第一電源線；以及
 - 一汲極(drain)，耦合至一接合墊；
- 其中，該源極、該基極以及該汲極構成一雙接面電晶體(bipolar transistor)；該方法包含有：
- 偵測該接合墊與該第一電源線是否發生一靜電放電事件；以及
 - 當偵測到該靜電放電事件時，偏壓該基極以觸發該雙接面電晶體而釋放一靜電放電電流。
- 22.如專利申請範圍第 21 項之方法，其中，該基極係透過一基極電阻耦合至該第一電源線。
- 23.如專利申請範圍第 22 項之方法，其中，該基極電阻係為一井區之一展阻(spread resistor)。
- 24.如專利申請範圍第 21 項之方法，其中，該接合墊係用於一輸入埠。
- 25.如專利申請範圍第 21 項之方法，其中，該閘極係耦合至該第一電源線。
- 26.如專利申請範圍第 21 項之方法，其中，該閘極係透過一閘極電阻耦合至該第一電源線。
- 27.如專利申請範圍第 21 項之方法，其中，該接合墊係用於一輸出埠。
- 28.如專利申請範圍第 27 項之方法，其中，該閘極係受該輸出埠之一緩衝驅動電路所驅動。
- 29.如專利申請範圍第 21 項之方法，其中，該接合墊係耦合至一第二電源線。
- 30.如專利申請範圍第 21 項之方法，其中，該 MOS 電晶體係為一 N 型 MOS 電

- 晶體。
- 31.如專利申請範圍第 21 項之方法，其中，該 MOS 電晶體係為一 P 型 MOS 電晶體。
5. 圖式簡單說明：
- 第一圖 A 為一習知的指狀 NMOS 的佈局圖；
 - 第一圖 B 為第一圖 A 中延著 A-A' 線的晶片剖面示意圖；
 - 第二圖為習知的閘極耦合技術之設計概念示意圖；
 - 第三圖為第二圖中的 NMOS 經過傳導線脈波產生器所量測到的電壓電流關係圖；
 - 第四圖為兩個不同大小的 NMOS 之 I_{t2} 與閘極偏壓的關係圖；
 - 第五圖 A 為依據本發明之基體觸發之 NMOS 的佈局示意圖；
 - 第五圖 B 為延著第五圖 A 中的 B-B' 線之半導體晶片剖面圖；
 - 第六圖為本發明的基體觸發之設計概念電路示意圖；
 - 第七圖為第六圖中的 NMOS 經過傳導線脈波產生器所量測到的電壓電流關係圖；
 - 第八圖為依據本發明之兩個不同大小的 NMOS 之 I_{t2} 與基體偏壓電流的關係圖；
 - 第九圖為本發明之基體觸發的 NMOS 運用於輸入埠的 ESD 防護電路之電路示意圖；
 - 第十圖為本發明的基體觸發之 ESD 防護電路與習知的閘極耦合之 ESD 防護電路於 ESD 耐受力上的比較圖；
 - 第十一圖為一應用本發明之輸出埠示意圖；
 - 第十二圖為本發明之 ESD 防護電路應用於兩電源線間的示意圖；
 - 第十三圖為一同時運用本發明於輸入埠之 NMOS 與 PMOS 的電路示意圖；

(4)

7

8

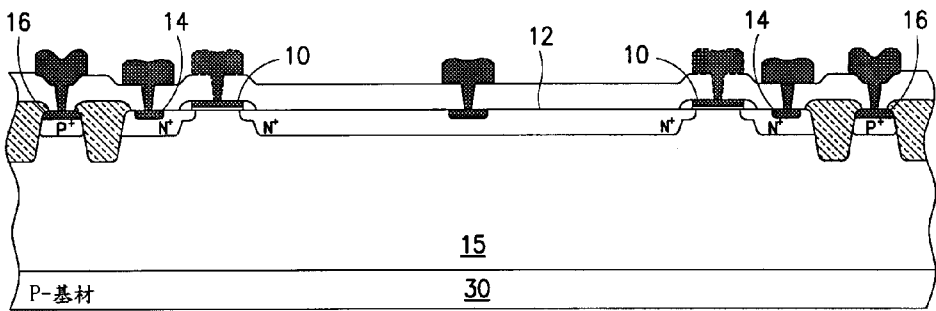
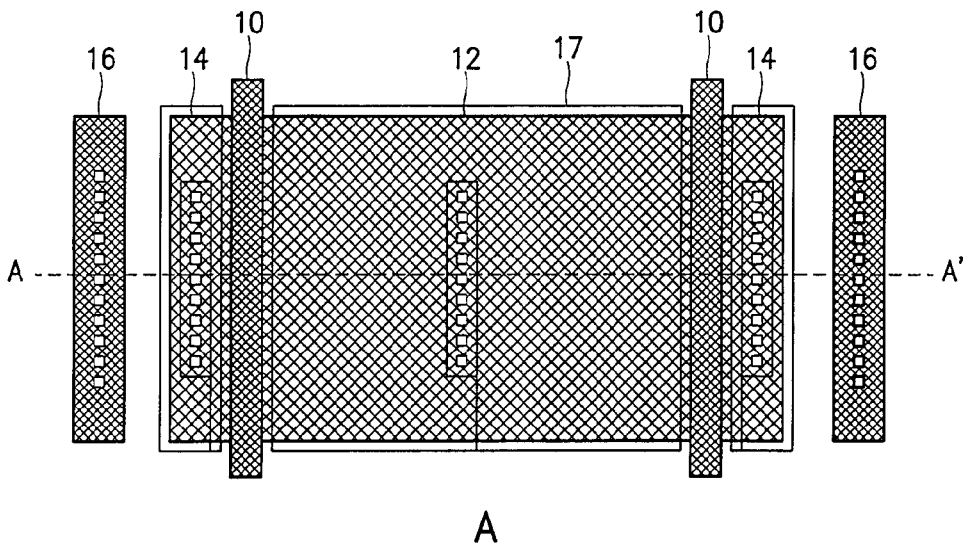
第十四圖為第十三圖的一種實施例；

以及

第十六圖為第十五圖的一種實施例；

例；

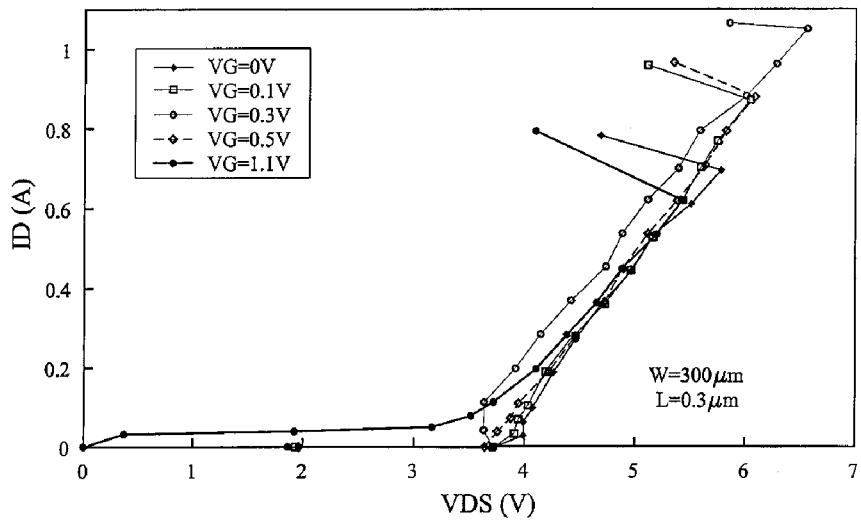
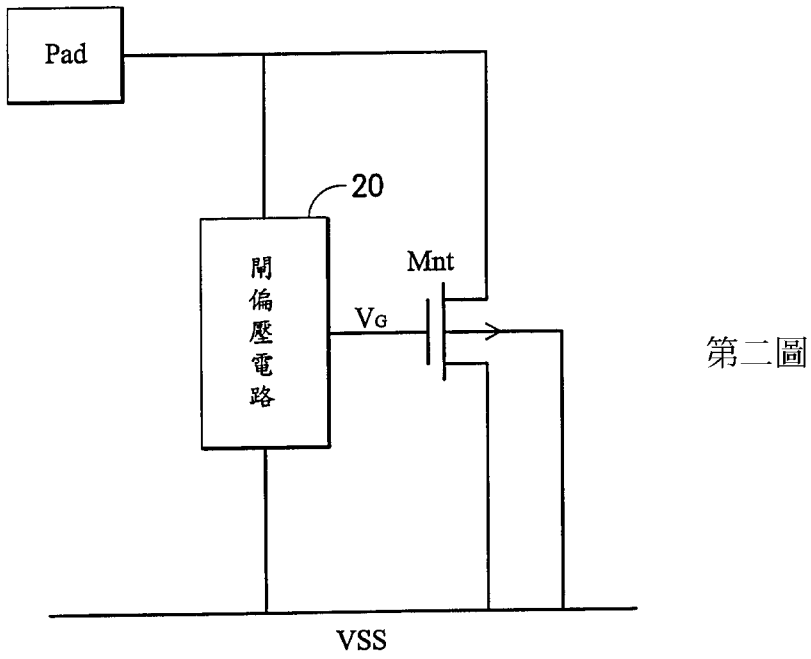
第十五圖為一同時運用本發明於輸出埠之 NMOS 與 PMOS 的電路示意圖；



B

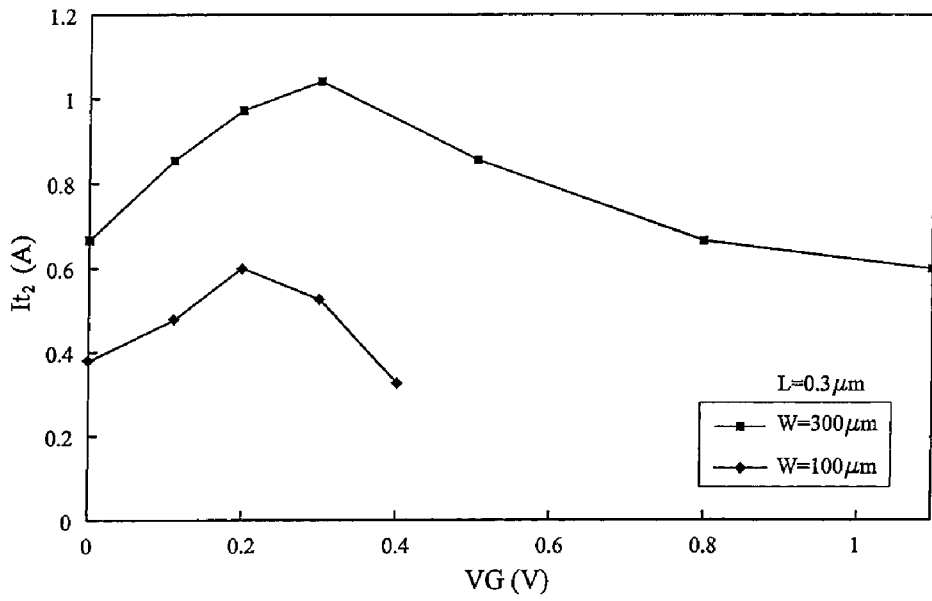
第一圖

(5)

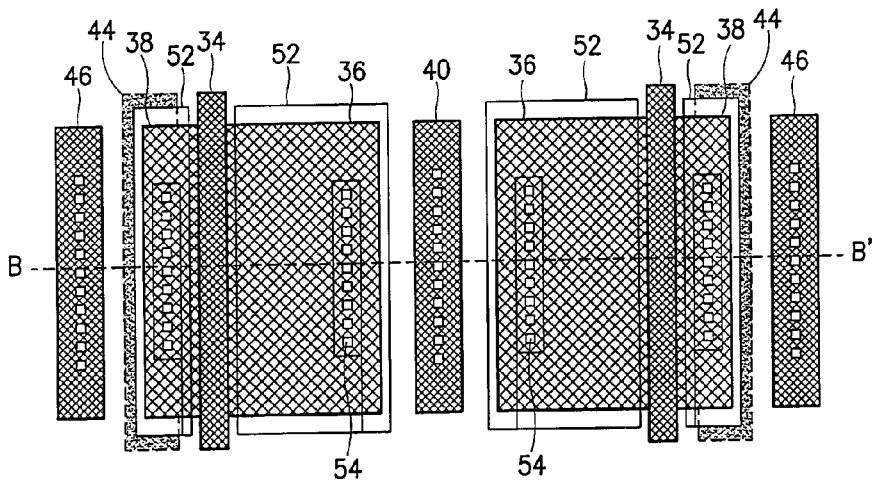


第三圖

(6)

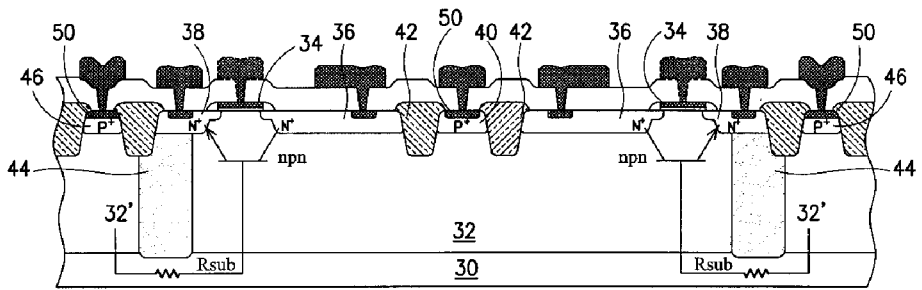


第四圖

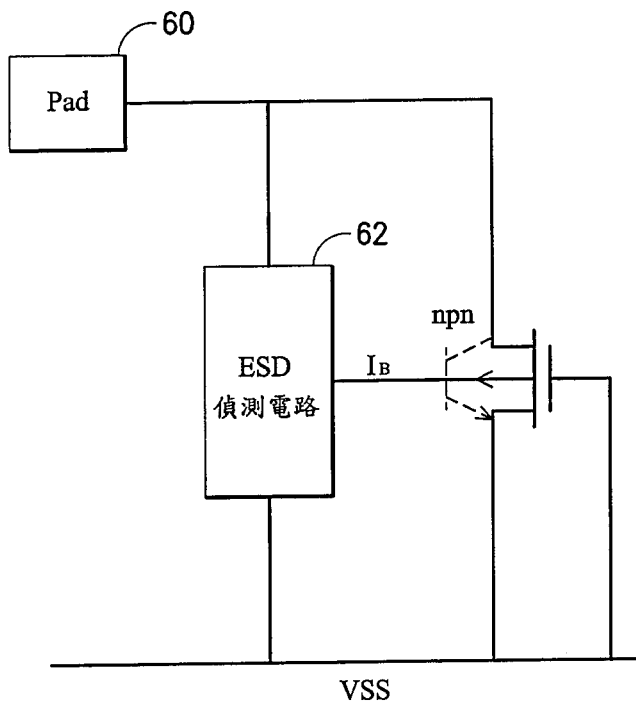


第五圖 A

(7)

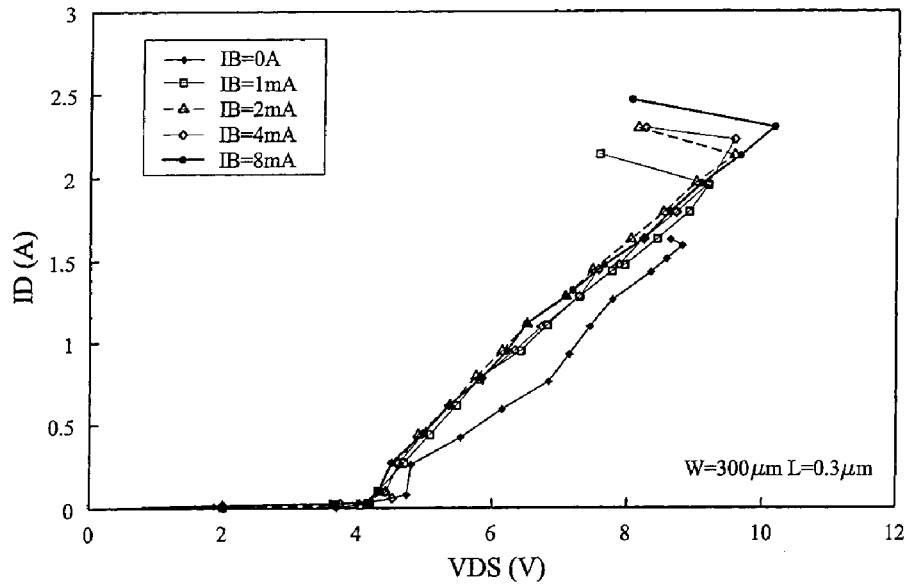


第五圖 B

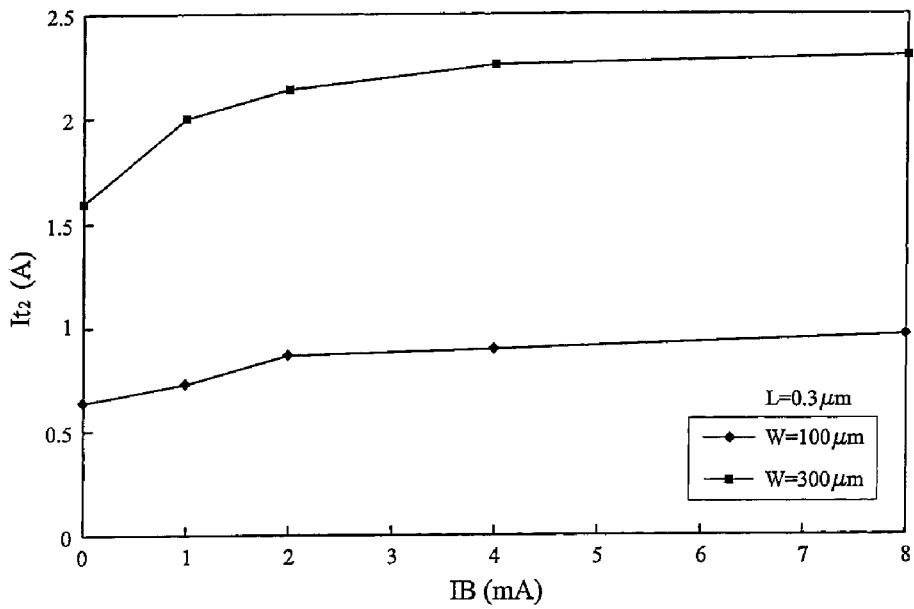


第六圖

(8)

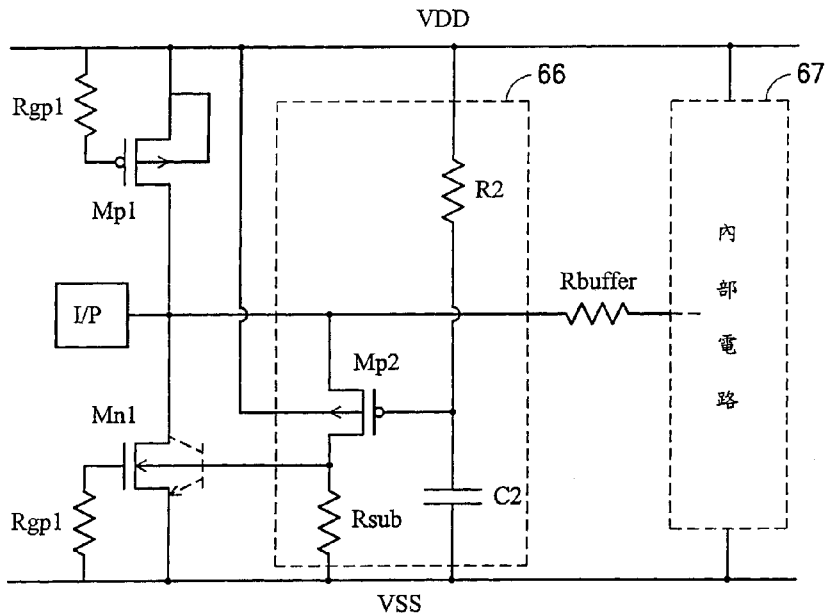


第七圖

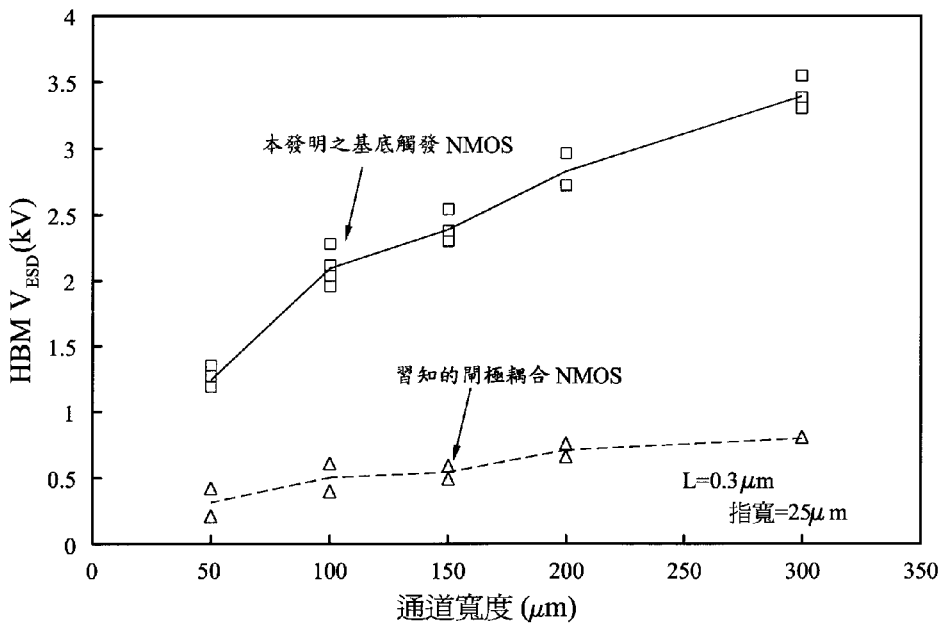


第八圖

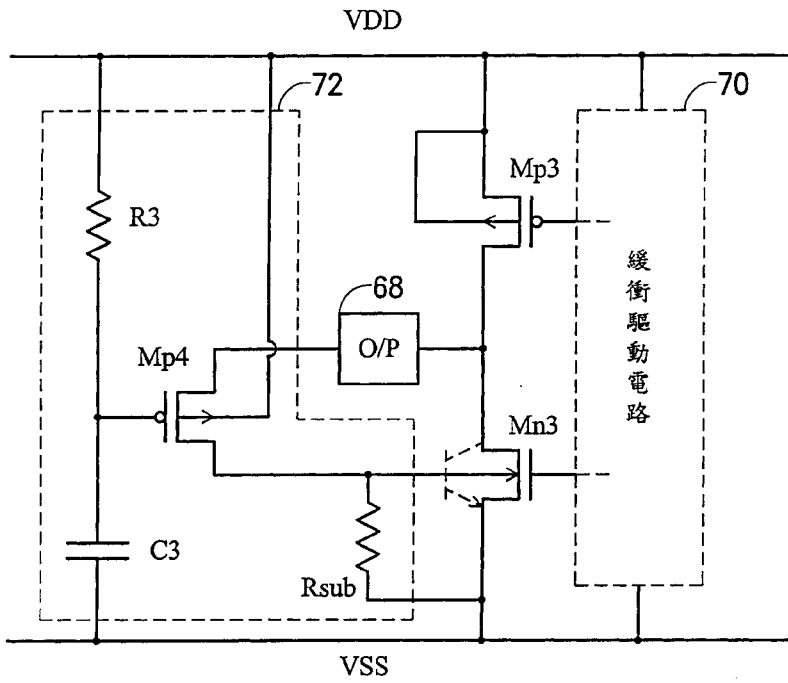
(9)



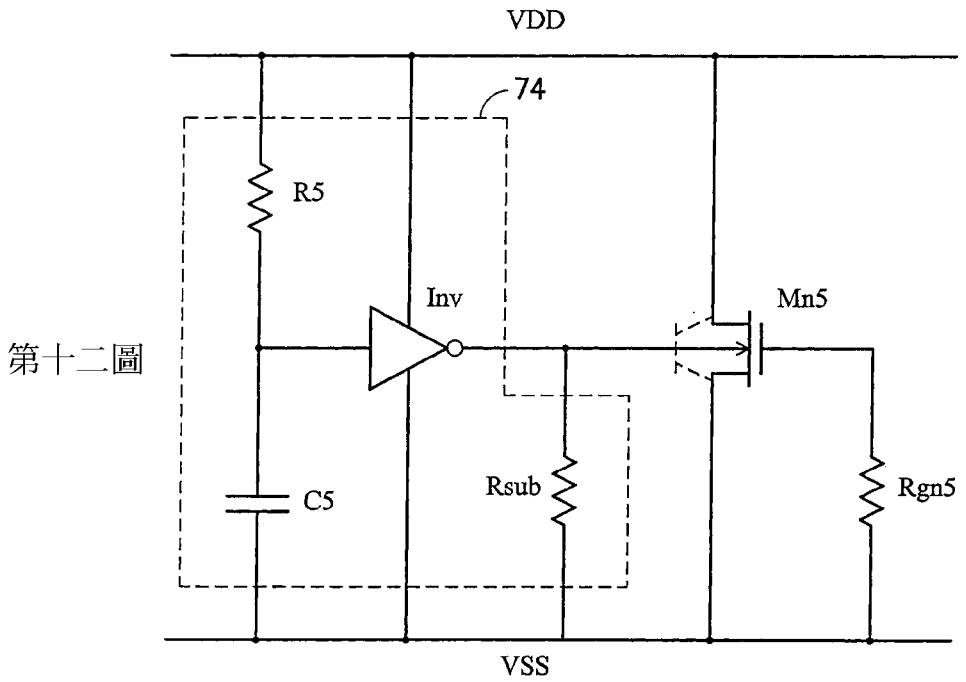
第九圖



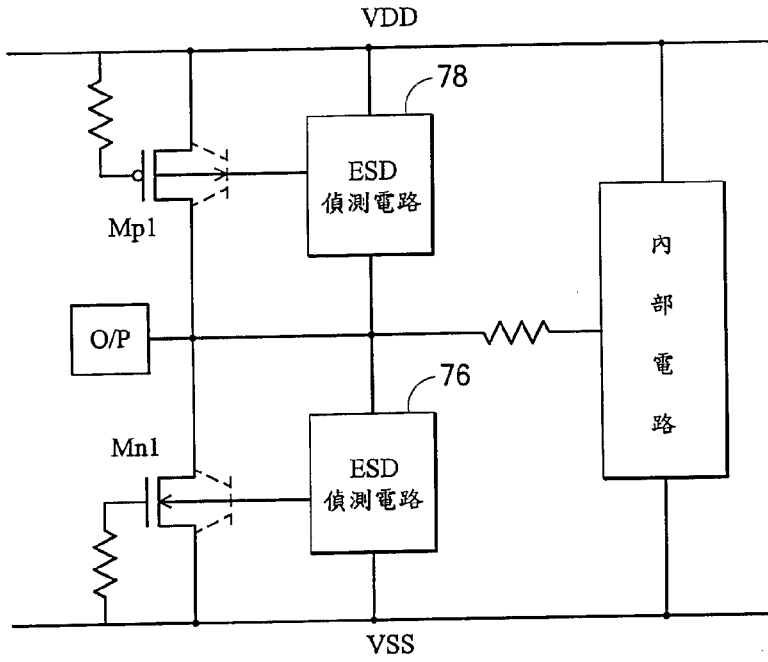
第十圖



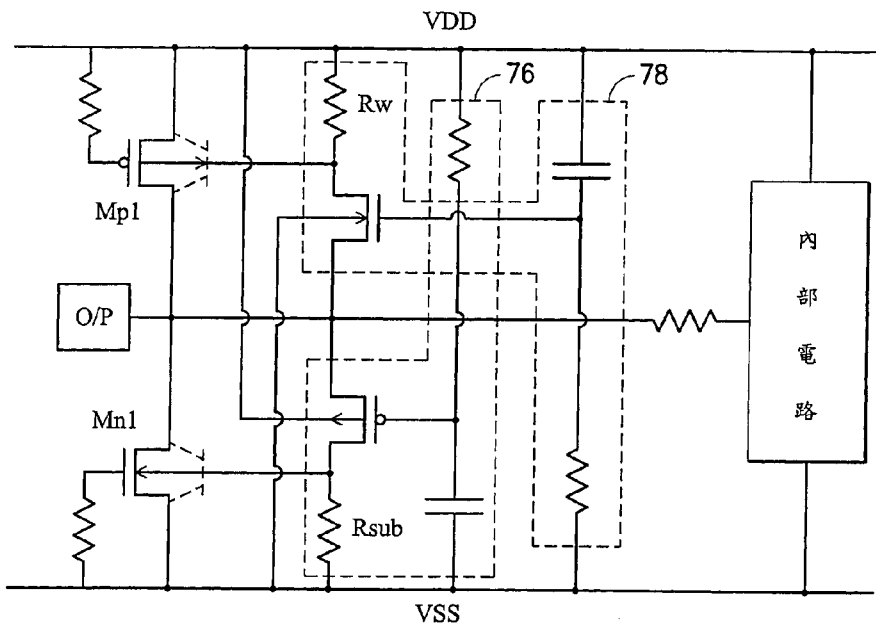
第十一圖



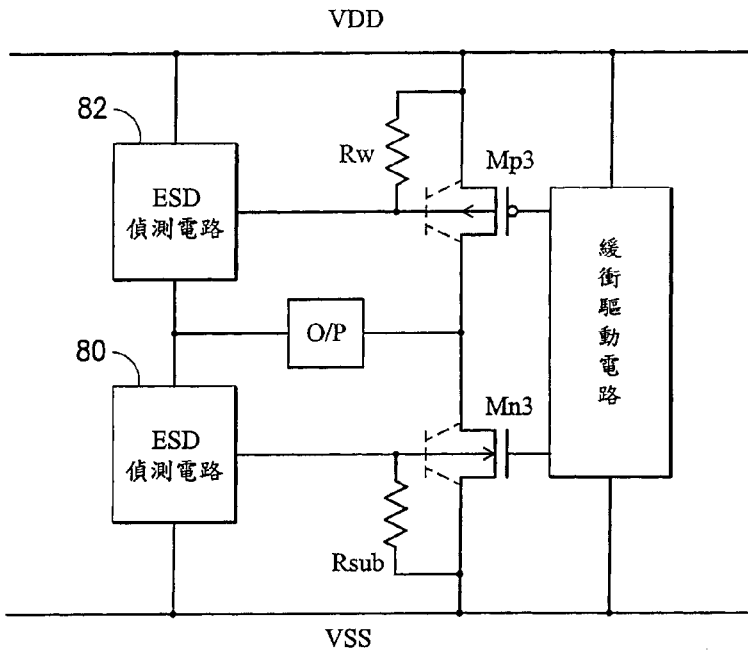
第十二圖



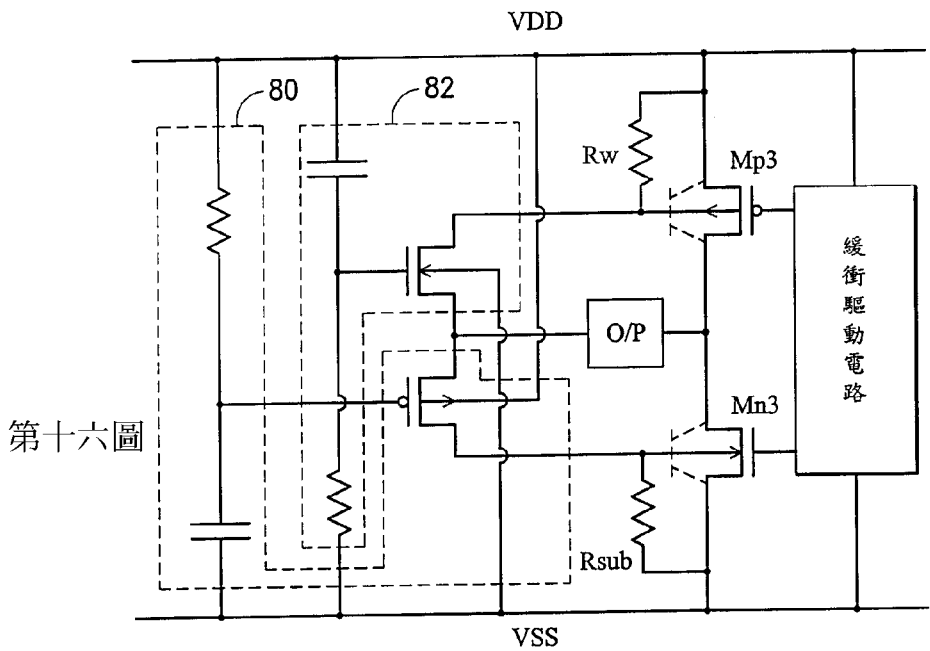
第十三圖



第十四圖



第十五圖



第十六圖