

【11】證書號數：I469308

【45】公告日：中華民國 104 (2015) 年 01 月 11 日

【51】Int. Cl.：H01L23/60 (2006.01)

發明

全 14 頁

【54】名稱：電源箝制靜電放電防護電路

POWER-RAIL ESD CLAMP CIRCUIT

【21】申請案號：101133779

【22】申請日：中華民國 101 (2012) 年 09 月 14 日

【11】公開編號：201409654

【43】公開日期：中華民國 103 (2014) 年 03 月 01 日

【30】優先權：2012/08/29

美國

13/598,194

【72】發明人：艾 飛 (AR) ALTOLAGUIRRE, FEDERICO AGUSTIN；柯明道 (TW) KER, MING DOU；姜信欽 (TW) JIANG, RYAN HSIN CHIN

【71】申請人：晶焱科技股份有限公司

AMAZING MICROELECTRONIC
CORP.

新北市中和區中正路 736 號 6 樓之 6

【74】代理人：林火泉

【56】參考文獻：

TW 201108392A

CN 100481667C

DE 102009035953A1

US 7586721B2

Chang-Tzu Wang, Ming-Dou Ker, Tien-Hao Tang, and Kuan-Cheng Su, Low-Leakage Electrostatic Discharge Protection Circuit in 65-nm Fully-Silicided CMOS Technology, IC Design and Technology, IEEE, 2009. ICICDT '09. IEEE International Conferenc, 2009 年 5 月 20 日, pp. 21-24

審查人員：陳俊宏

[57]申請專利範圍

1. 一種電源箝制靜電放電防護電路，包括：一矽控整流器，其係連接於一高電壓準位與一低電壓準位之間，並用以承載一電流路徑，其中該矽控整流器係為一 P 型基底觸發矽控整流器；以及一控制模組，並聯於該矽控整流器，該控制模組係電性連接於該矽控整流器之一觸發節點、該高電壓準位與該低電壓準位，該控制模組包括：一 P 型金氧半場效電晶體，其係連接於該高電壓準位；一 N 型金氧半場效電晶體，其係連接於該低電壓準位；至少一輸出二極體，其係連接於該 P 型金氧半場效電晶體與該 N 型金氧半場效電晶體之間，其中該 P 型基底觸發矽控整流器之該觸發節點係連接該至少一輸出二極體，且該至少一輸出二極體係串聯於該 P 型金氧半場效電晶體與該 N 型金氧半場效電晶體；一電阻，係並聯於該 P 型基底觸發矽控整流器、該 P 型金氧半場效電晶體與該 N 型金氧半場效電晶體，該電阻之一端係連接該高電壓準位；以及一導通串列，包括至少一連接於該 N 型金氧半場效電晶體之導通元件，其中該導通串列係連接於該電阻之另一端、該 P 型金氧半場效電晶體與該低電壓準位之間。
2. 如請求項 1 所述之電源箝制靜電放電防護電路，其中該至少一導通元件係為二極體。
3. 如請求項 1 所述之電源箝制靜電放電防護電路，其中該至少一導通元件係為 PMOS。
4. 如請求項 1 所述之電源箝制靜電放電防護電路，其中該至少一導通元件係為 NMOS。

5. 如請求項 1 所述之電源箝制靜電放電防護電路，其中該 P 型基底觸發矽控整流器包括：一 P 型重摻雜區，係連接該高電壓準位；一 N 型井，係相鄰設置於該 P 型重摻雜區；一 P 型井，係相鄰設置於該 N 型井，該 P 型基底觸發矽控整流器之該觸發節點係位於該 P 型井之內；以及一 N 型重摻雜區，係相鄰設置於該 P 型井，並連接該低電壓準位。
6. 如請求項 5 所述之電源箝制靜電放電防護電路，其中該 P 型基底觸發矽控整流器之該觸發節點係為 P 型重摻雜部分。
7. 一種電源箝制靜電放電防護電路，包括：一矽控整流器，其係連接於一高電壓準位與一低電壓準位之間，並用以承載一電流路徑，其中該矽控整流器係為一 N 型基底觸發矽控整流器；以及一控制模組，並聯於該矽控整流器，該控制模組係電性連接於該矽控整流器之一觸發節點、該高電壓準位與該低電壓準位，該控制模組包括：一 P 型金氧半場效電晶體，其係連接於該高電壓準位，一 N 型金氧半場效電晶體，其係連接於該低電壓準位；至少一輸出二極體，其係連接於該 P 型金氧半場效電晶體與該 N 型金氧半場效電晶體之間，其中該 N 型基底觸發矽控整流器之該觸發節點係連接該至少一輸出二極體，且該至少一輸出二極體係串聯於該 P 型金氧半場效電晶體與該 N 型金氧半場效電晶體；一電阻，係並聯於該 N 型基底觸發矽控整流器、該 P 型金氧半場效電晶體與該 N 型金氧半場效電晶體，該電阻之一端係連接該低電壓準位；以及一導通串列，包括至少一連接於該 P 型金氧半場效電晶體之導通元件，其中該導通串列係連接於該電阻之另一端、該 N 型金氧半場效電晶體與該高電壓準位之間。
8. 如請求項 7 所述之電源箝制靜電放電防護電路，其中該至少一導通元件係為二極體。
9. 如請求項 7 所述之電源箝制靜電放電防護電路，其中該至少一導通元件係為 PMOS。
10. 如請求項 7 所述之電源箝制靜電放電防護電路，其中該至少一導通元件係為 NMOS。
11. 如請求項 7 所述之電源箝制靜電放電防護電路，其中該 N 型基底觸發矽控整流器包括：一 P 型重摻雜區，係連接該高電壓準位；一 N 型井，係相鄰設置於該 P 型重摻雜區，該 N 型基底觸發矽控整流器之該觸發節點係位於該 N 型井之內；一 P 型井，係相鄰設置於該 N 型井；以及一 N 型重摻雜區，係相鄰設置於該 P 型井，並連接該低電壓準位。
12. 如請求項 11 所述之電源箝制靜電放電防護電路，其中該 N 型基底觸發矽控整流器之該觸發節點係為 N 型重摻雜部分。

圖式簡單說明

第 1 圖係為尺寸為 $1\mu\text{m}/1\mu\text{m}$ 之 N 型金氧半場效電晶體與 P 型金氧半場效電晶體分別在偏壓為 1 伏特、環境溫度為 $T=25^\circ\text{C}$ 下之閘極漏電流模擬結果數據圖。

第 2 圖係為習知技術採用複數個開關元件作為主要箝制靜電防護電路之結構示意圖。

第 3 圖係為習知技術採用複數個順向導通連結之二極體與電阻作為主要箝制靜電防護電路之結構示意圖。

第 4 圖係為習知技術採用矽控整流器作為主要箝制靜電防護電路之結構示意圖。

第 5 圖係為根據本發明實施例之電源箝制靜電放電防護電路的電路結構示意圖。

第 6 圖係為根據本發明一實施例使用串接之 NMOS 作為導通串列之電源箝制靜電放電防護電路的電路結構示意圖。

第 7 圖係為根據本發明另一實施例使用串接之 PMOS 作為導通串列之電源箝制靜電放電防護電路的電路結構示意圖。

第 8 圖係為根據本發明實施例具有複數個輸出二極體之電源箝制靜電放電防護電路的電路結構示意圖。

第 9 圖係為根據本發明實施例具有複數個輸出二極體之電源箝制靜電放電防護電路的電路結構示意圖。

(3)

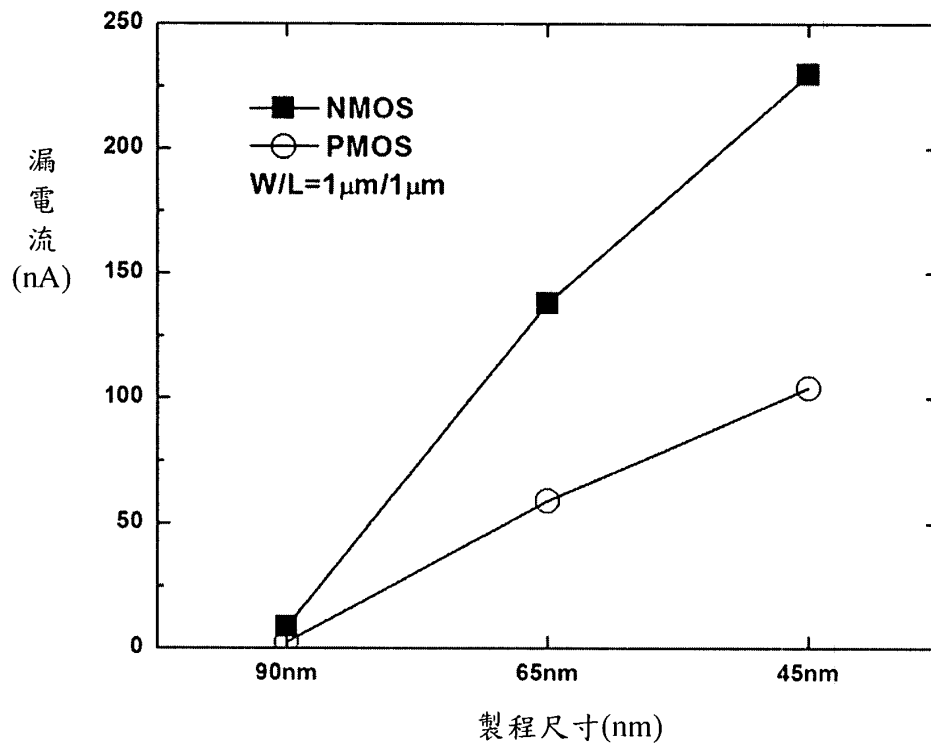
第 10 圖係為根據本發明另一實施例之電源箝制靜電放電防護電路的電路結構示意圖。

第 11A 圖係為以 40 奈米之 CMOS 製程技術製成之傳統式電源箝制靜電放電防護電路的電路結構示意圖。

第 11B 圖係為以 40 奈米之 CMOS 製程技術製成之本發明電源箝制靜電放電防護電路的電路結構示意圖。

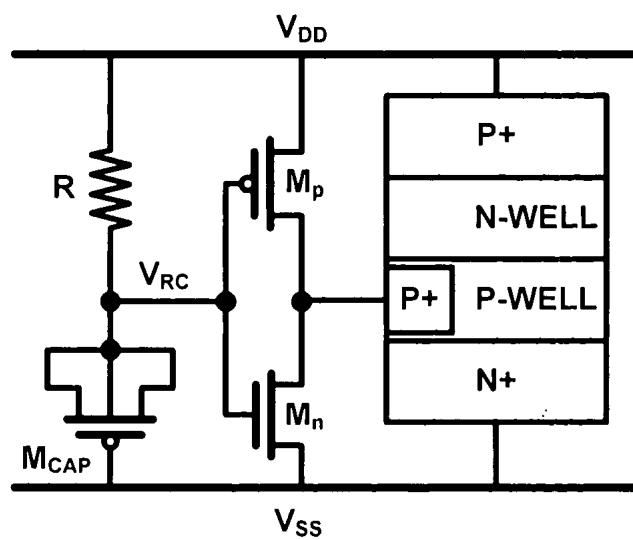
第 12 圖係為第 11A 圖之習知技術的元件佈局結構示意圖。

第 13 圖係為第 11B 圖之本發明提出的電源箝制靜電放電防護電路之元件佈局結構示意圖。



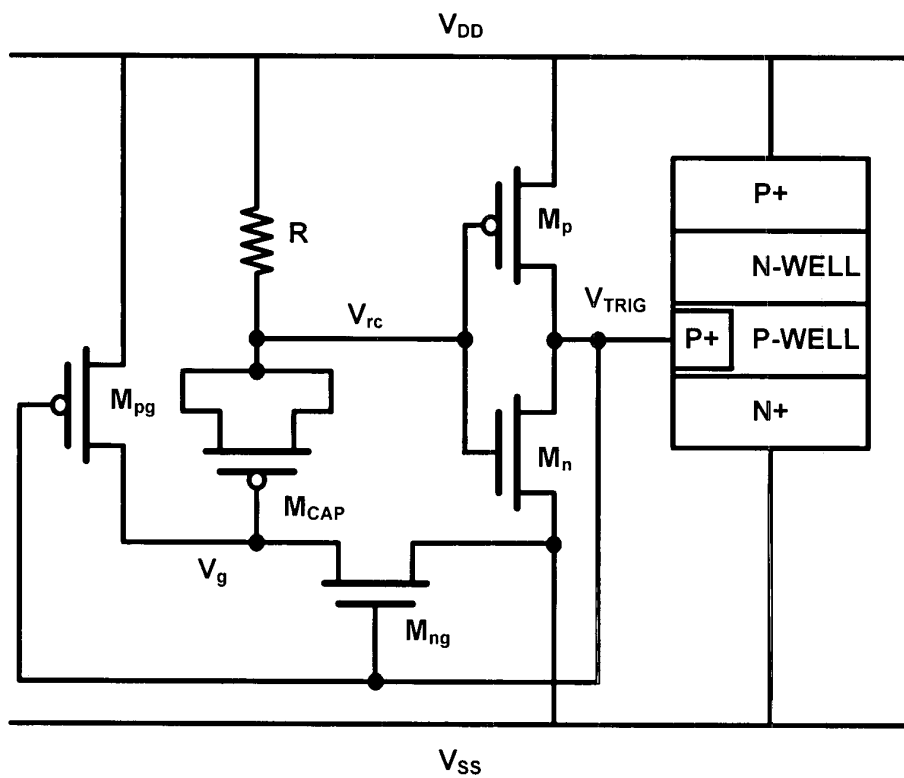
第 1 圖

(4)

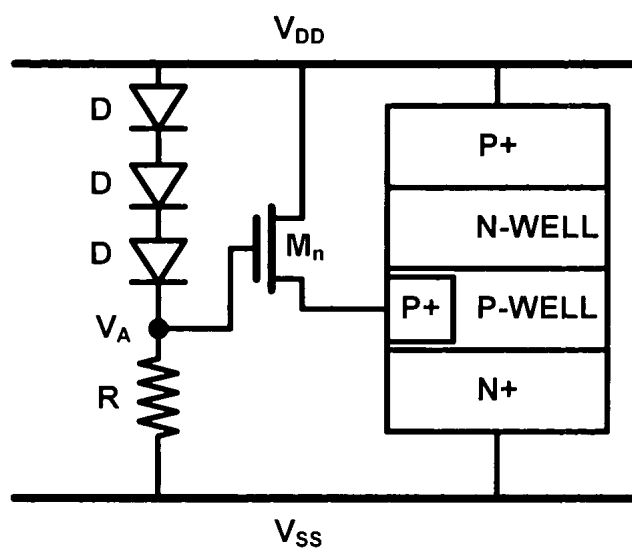


第 2 圖

(5)

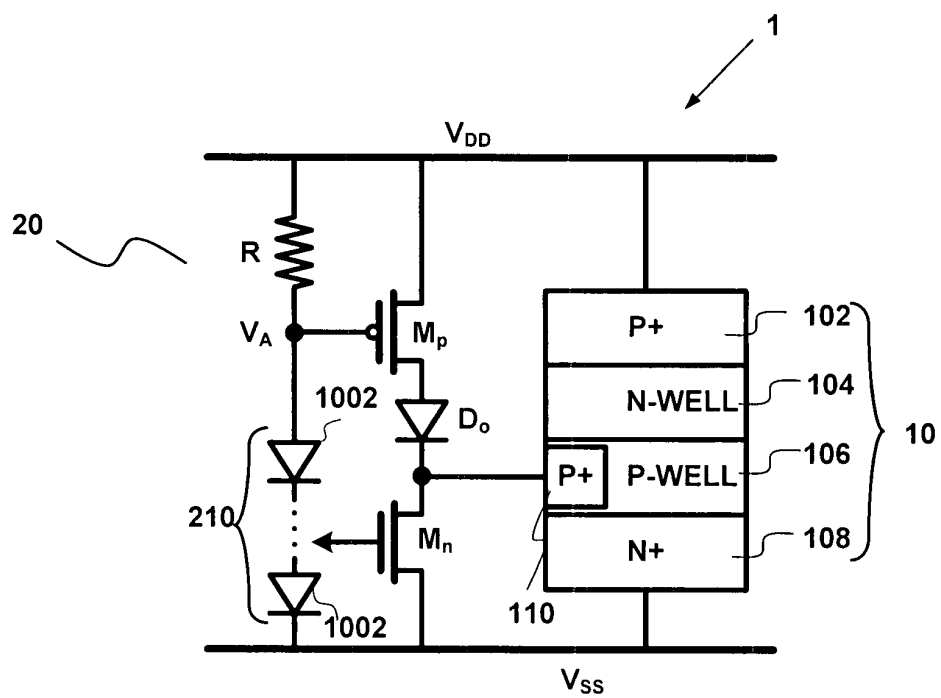


第 3 圖



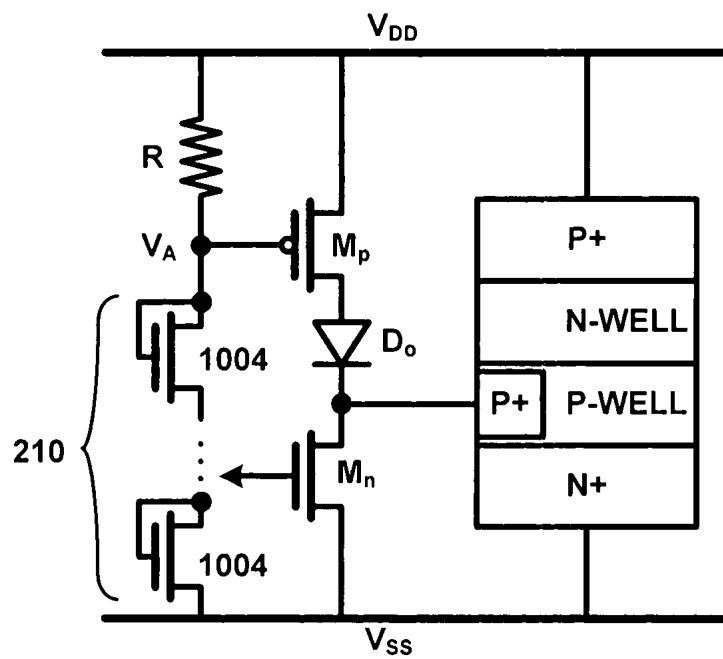
第 4 圖

(6)



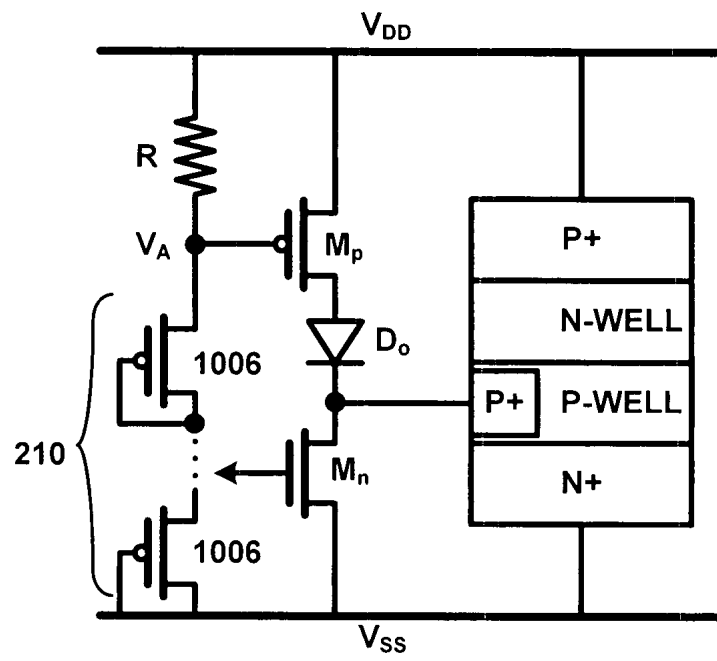
第 5 圖

(7)



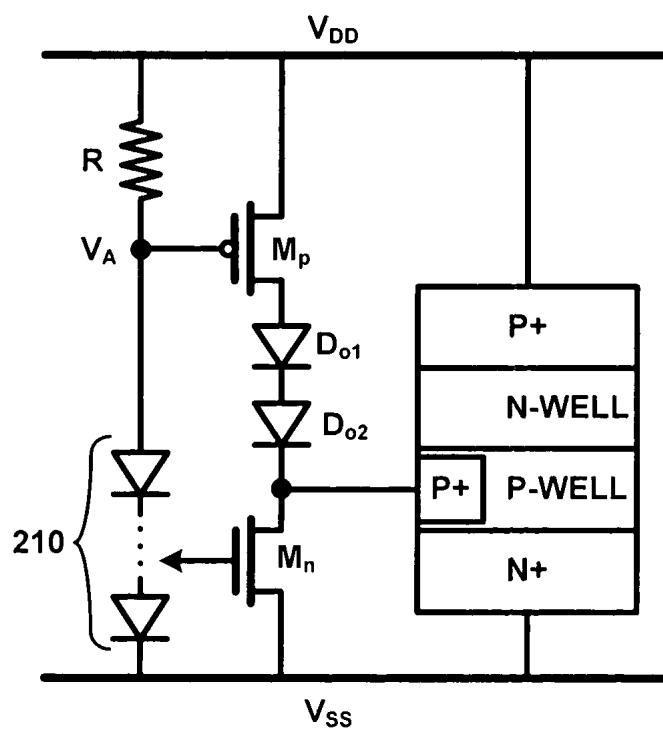
第 6 圖

(8)



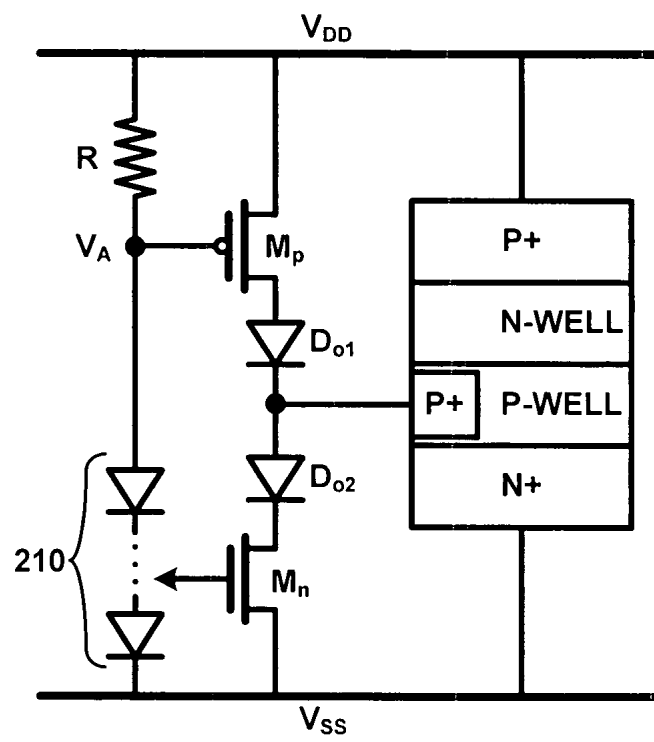
第 7 圖

(9)



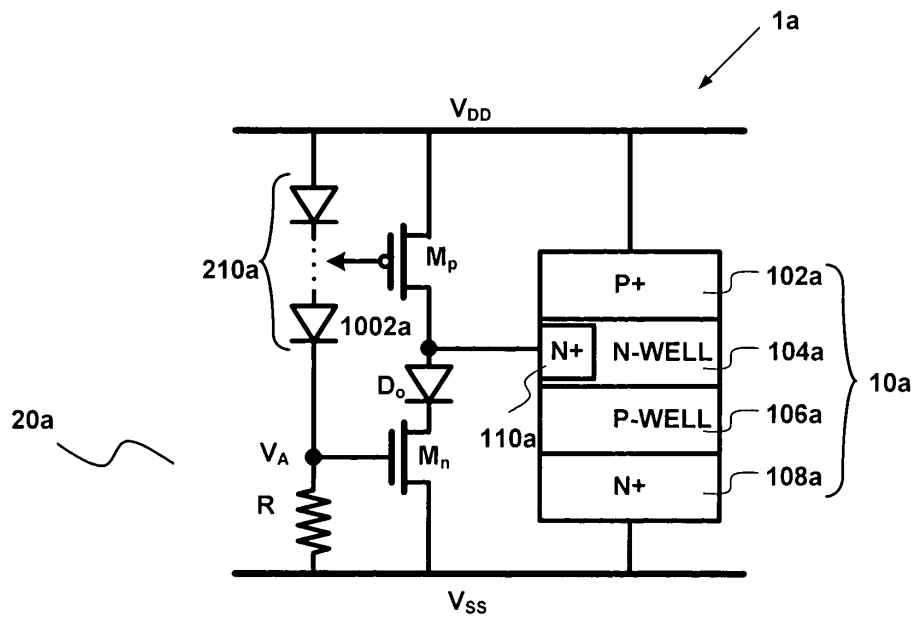
第 8 圖

(10)

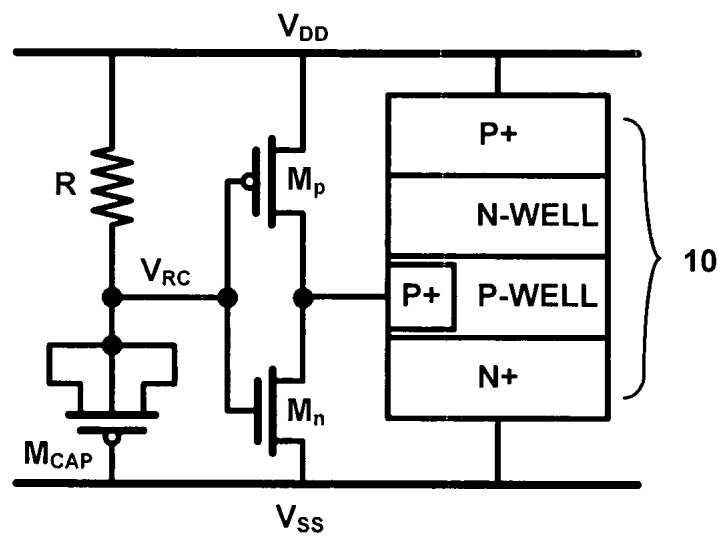


第 9 圖

(11)

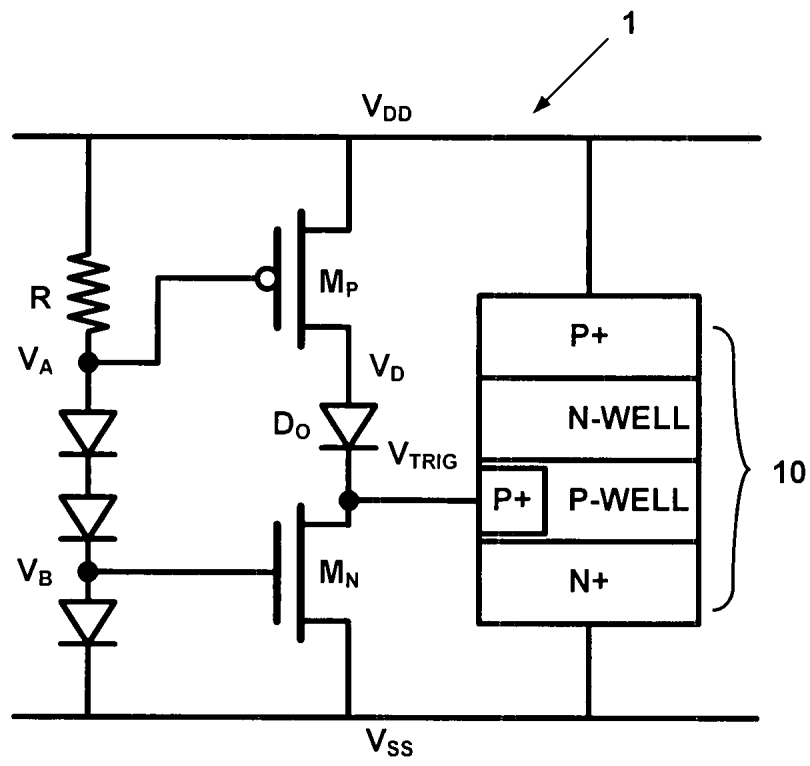


第 10 圖



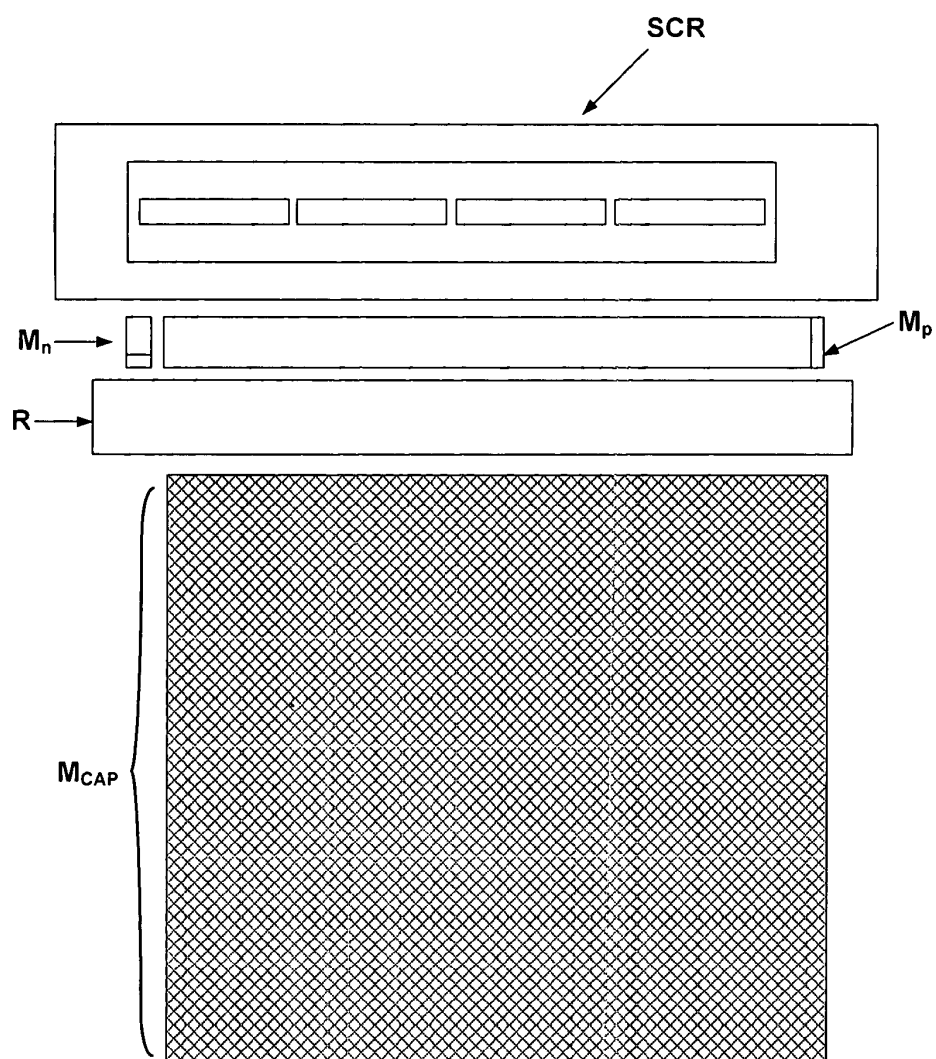
第 11A 圖

(12)



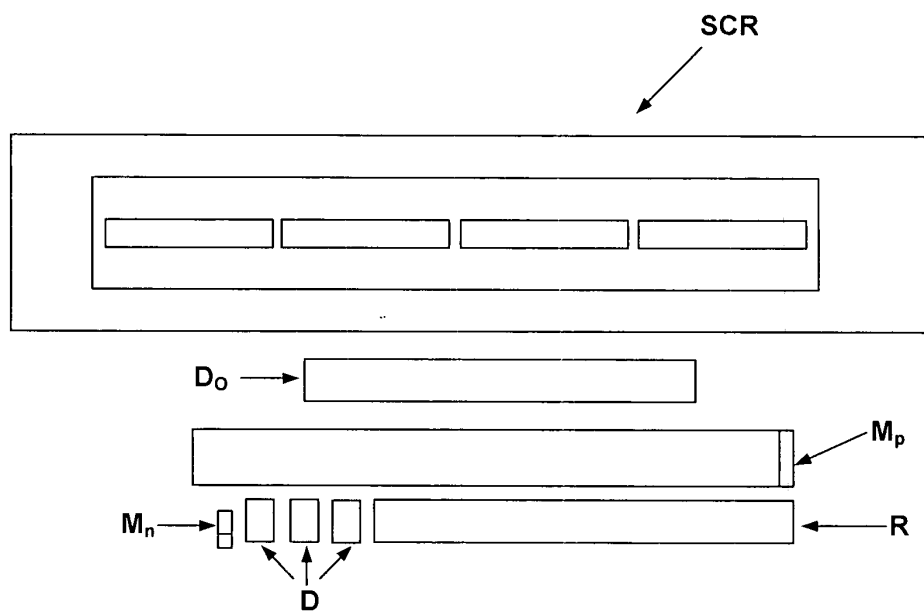
第 11B 圖

(13)



第 12 圖

(14)



第 13 圖