

中華民國專利公報 [19] [12]

[11]公告編號：473977

[44]中華民國 91 年 (2002) 01 月 21 日

發明

全 8 頁

[51] Int.Cl⁰⁷ : H01L23/60

[54]名稱：低電壓觸發之靜電防護元件以及相關之電路

[21]申請案號：089122666

[22]申請日期：中華民國 89 年 (2000) 10 月 27 日

[72]發明人：

柯明道

林耿立

新竹市東區寶山路二〇〇巷三號四樓之三

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之

[71]申請人：

世界先進積體電路股份有限
公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1.一種靜電放電防護元件，包含有：

一第一導電型之第一井區；

一第二導電型之第二井區，鄰接於該第一井區，與該第一井區形成一接面；

一第一導電型之金氧半電晶體，包含有：

一控制閘，設於該第二井區上；

一第一導電型之第一汲／源極區，形成於該接面上；以及

一第一導電型之第二汲／源極區，形成於該第二井區表面，耦合於一第一接合墊；

一第二導電型之第一摻雜區，耦合於一第二接合墊，形成於該第一井區之表面，與該第一井區、該第二井區以及該第二汲／源極構成一側向半導體控制整流器；

一第一導電型之第二摻雜區，形成於該第一摻雜區與該第一汲／源極區之

間的第一井區表面；以及

一冗餘閘，設於該第二摻雜區與該第一汲／源極區之間的第一井區上。

2.如專利申請範圍第1項之靜電放電防護元件，其中，該第一井區與該第二井區係形成於一基底上。

3.如專利申請範圍第2項之靜電放電防護元件，其中，該基底係為第一導電型半導體、第二導電型半導體或是絕緣體。

4.如專利申請範圍第1項之靜電放電防護元件，其中，該元件另包含有一第一導電型之第一接觸區，形成於該第一井區表面，耦合於該第二接合墊。

5.如專利申請範圍第4項之靜電放電防護元件，其中，該第一接觸區與該第二摻雜區之間的第一井區表面設有一淺溝隔離區，以使該第一接觸區與該第二摻雜區相隔絕。

6.如專利申請範圍第1項之靜電放電防護

元件，其中，該元件另包含有一第二導電型之第二接觸區，形成於該第二井區表面，耦合於該第一接合墊。

7.如專利申請範圍第6項之靜電放電防護元件，其中，該第二接觸區與該第二汲／源極區之間的第二井區表面設有一淺溝隔離區，以使該第二接觸區與該第二汲／源極區相隔絕。

8.如專利申請範圍第1項之靜電放電防護元件，其中，該冗餘閘係為電浮動、耦合於該第一接合墊、或是耦合於該第二接合墊。

9.如專利申請範圍第1項之靜電放電防護元件，其中，當一靜電放電事件於該第一以及第二接合墊發生時，一靜電放電偵測電路控制該控制閘，以觸發該側向半導體控制整流器，並釋放靜電應力。

10.如專利申請範圍第1項之靜電放電防護元件，其中，該第一導電型係為P型，該第二導電型係為N型。

11.如專利申請範圍第1項之靜電放電防護元件，其中，該第一導電型係為N型，該第二導電型係為P型。

12.一種靜電放電防護電路，耦合於一第一接合墊以及一第二接合墊之間，包含有：

一低電壓觸發之半導體控制整流器，包含有：

一第一導電型之第一井區；

一第二導電型之第二井區，鄰接於該第一井區，與該第一井區形成一接面；

一第一導電型之金氧半電晶體，包含有：

一控制閘，設於該第二井區上；

一第一導電型之第一汲／源極區，形成於該接面上；

一第一導電型之第二汲／源極區，形成於該第二井區表面，作為一第一電

極，耦合至該第一接合墊；

一第二導電型之第一摻雜區，形成於該第一井區之表面，作為一第二電極，耦合至該第二接合墊，且與該第一井區、該第二井區以及該第二汲／源極構成一側向半導體控制整流器；

一第一導電型之第二摻雜區，形成於該第一摻雜區與該第一汲／源極區之間的第一井區表面；以及

5. 一冗餘閘，設於該第二摻雜區與該第一汲／源極區之間的第一井區上；以及

15. 一靜電放電偵測電路，用以偵測發生於該第一接合墊以及該第二接合墊之間的一靜電放電事件，以控制該控制閘，並觸發該低電壓觸發之半導體控制整流器釋放靜電放電應力。

13.如專利申請範圍第12項之靜電放電防護電路，其中，該第一導電型係為N型，該第二導電型係為P型。

14.如專利申請範圍第13項之靜電放電防護電路，其中，該第二接合墊係為一輸出入接合墊(input/output pad)，該第一接合墊係為一低電源接合墊(low voltage power pad)。

15.如專利申請範圍第13項之靜電放電防護電路，其中，該第二接合墊係為一高電源接合墊(high voltage power pad)，該第一接合墊係為一低電源接合墊(low voltage power pad)。

16.如專利申請範圍第15項之靜電放電防護電路，其中，該靜電放電偵測電路包含有：

35. 一電阻電容電路，耦合於該第一接合墊與該第二接合墊之間，包含有串接之一電阻以及一電容；以及

一反向器，包含有一輸入耦合至該電阻與電容之串接點，以及一輸出耦合至該控制閘。

40. 17.如專利申請範圍第12項之靜電放電防

護電路，其中，該靜電放電偵測電路包含有一電阻電容電路，包含有串接之一電阻以及一電容，且該電阻電容電路耦合於該第一接合墊與該第二接合墊。

- 18.如專利申請範圍第 17 項之靜電放電防護電路，其中，該控制閘係耦合至該電阻與該電容之間的接點。
- 19.如專利申請範圍第 12 項之靜電放電防護電路，其中，該冗餘閘係為電浮動、耦合於該第一接合墊、或是耦合於該第二接合墊。
- 20.如專利申請範圍第 12 項之靜電放電防護電路，其中，該第一導電型係為 P 型，該第二導電型係為 N 型。
- 21.如專利申請範圍第 20 項之靜電放電防護電路，其中，該第一接合墊係為一高電源接合墊(high voltage power pad)，該第二接合墊係為一輸出入接合墊(input/output pad)。
- 22.如專利申請範圍第 20 項之靜電放電防護電路，其中，該第一接合墊係為一高電源接合墊(high voltage power pad)，該第二接合墊係為一低電源接合墊(low voltage power pad)。
- 23.如專利申請範圍第 22 項之靜電放電防護電路，其中，該靜電放電偵測電路包含有：
 - 一電阻電容電路，耦合於該第一接合墊與該第二接合墊之間，包含有串接之一電阻以及一電容；以及

一驅動器，用以偵測該電阻與電容之串接點的電壓，並驅動該控制閘。

- 24.如專利申請範圍第 23 項之靜電放電防護電路，其中，該驅動器係以兩個串接之反向器所構成。

5.

圖式簡單說明：

第 1 圖為一傳統製程之 LVTSCR 的剖面圖；

第 2 圖為第 1 圖中的 FOX 層以 STI 層

10. 取代後的結構示意圖；

第 3a 圖為依據本發明之一個 NMOS 觸發之 LVTSCR；

第 3b 圖為第 3a 圖的電路代表符號；

第 4a 圖為依據本發明之一個 PMOS

15. 觸發之 LVTSCR；

第 4b 圖為第 4a 圖的電路代表符號；

第 5a 圖為一依據本發明實施之 ESD 防護電路示意圖；

第 5b 圖為第 5a 圖的一個實施例；

20. 第 6a 圖為一同時運用本發明於 I/O 接合墊與 VSS 之間以及 I/O 接合墊與 VDD 之間的 ESD 防護電路的示意圖；

第 6b 圖為第 6a 圖的一個實施例；

第 7a 圖為運用本發明之 nSCR 作成

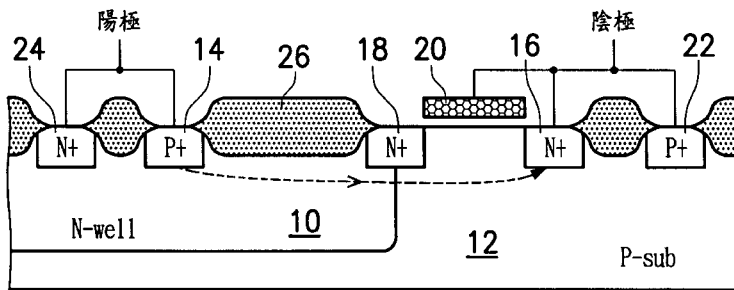
25. 的電源線間 ESD 防護電路之示意圖；

第 7b 圖為第 7a 圖的一種實施例；

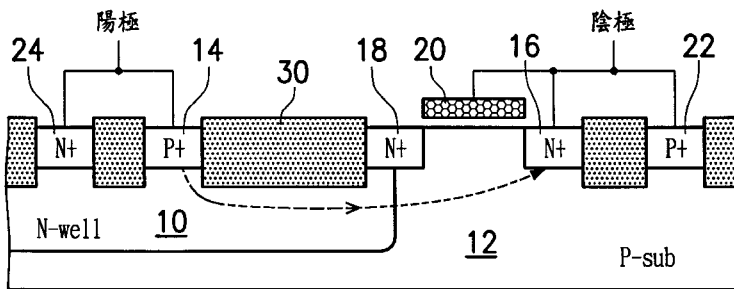
第 8a 圖為運用本發明之 pSCR 作成的電源線間 ESD 防護電路之示意圖；以及

30. 第 8b 圖為第 8a 圖的一種實施例。

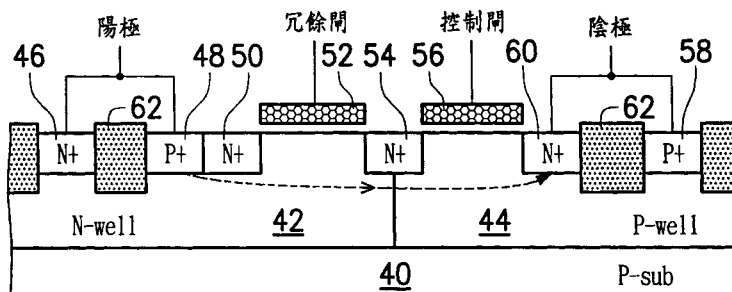
(4)



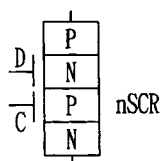
第 1 圖



第 2 圖

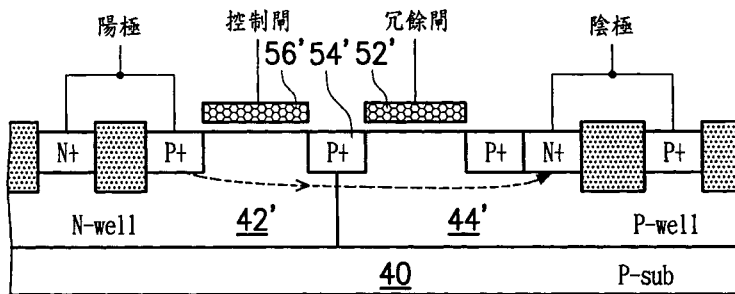


第 3a 圖

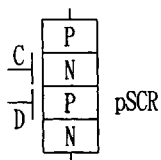


第 3b 圖

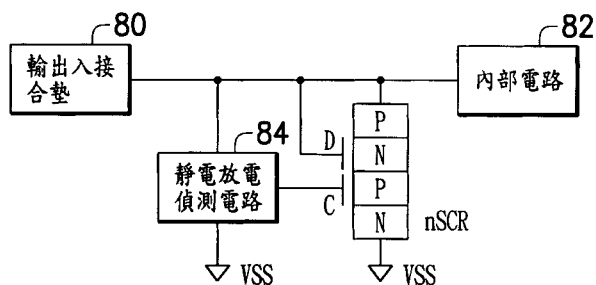
(5)



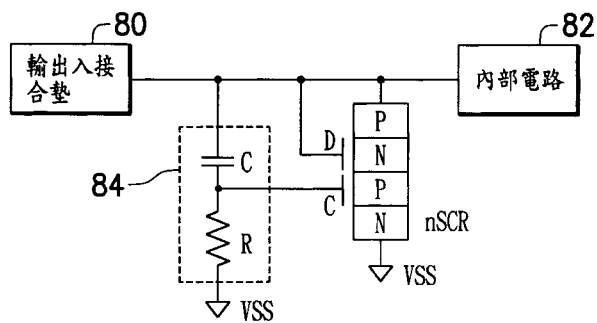
第 4a 圖



第 4b 圖

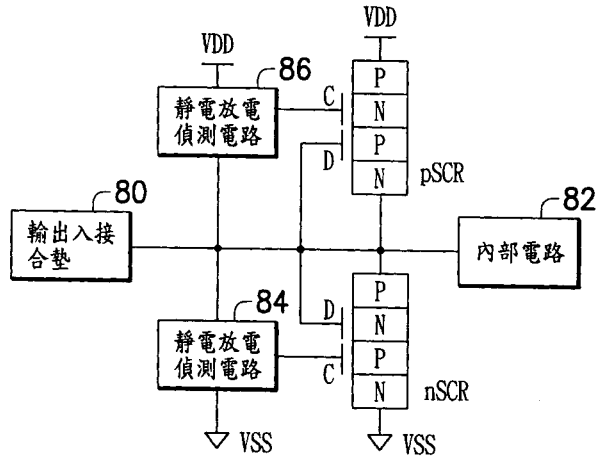


第 5a 圖

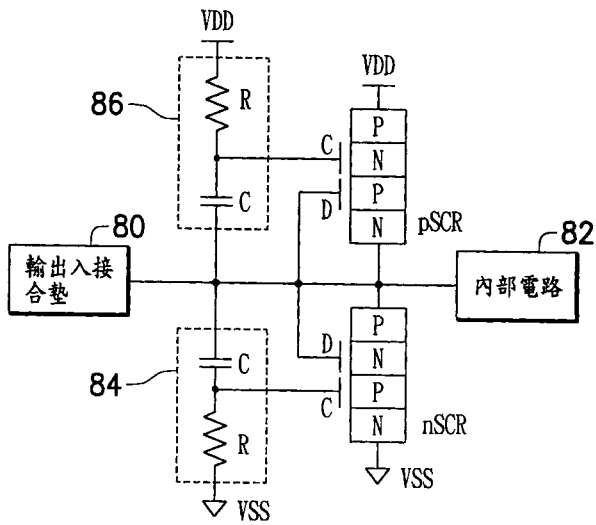


第 5b 圖

(6)

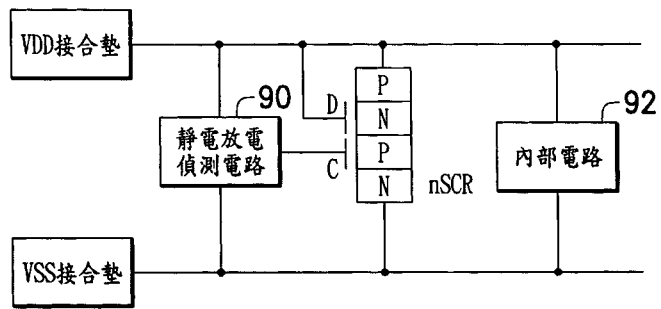


第 6a 圖

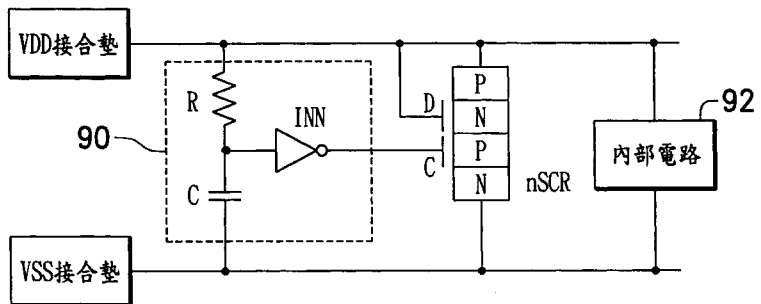


第 6b 圖

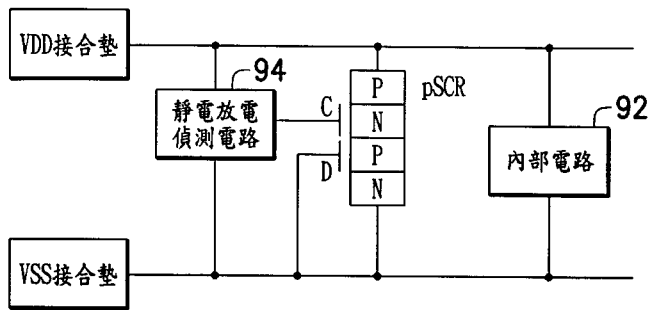
(7)



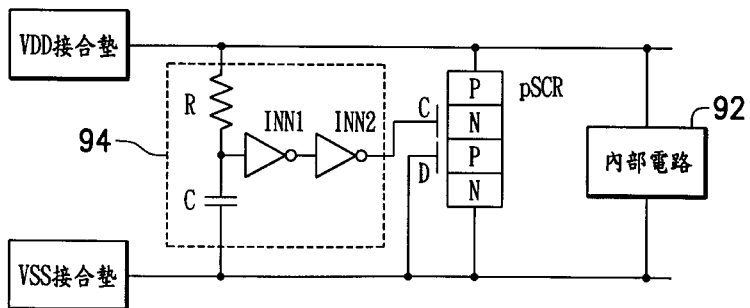
第 7a 圖



第 7b 圖



第 8a 圖



第 8b 圖