

中華民國專利公報 [19] [12]

[11]公告編號：473979

[44]中華民國 91 年 (2002) 01 月 21 日

發明

全 7 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：高低電壓共容輸出入介面之靜電放電防護電路

[21]申請案號： 090107445

[22]申請日期：中華民國 90 年 (2001) 03 月 28 日

[72]發明人：

羅文裕

柯明道

莊健暉

台中縣東勢鎮東崎街三八五之十五號

新竹市寶山路二〇〇巷三號四樓之三

台北縣新店市安和路三段五十五巷六號二樓

[71]申請人：

矽統科技股份有限公司

新竹科學工業園區研新一路十六號

[74]代理人： 葉信金 先生

1

2

[57]申請專利範圍：

1. 一種靜電放電防護電路，係利用基體觸發技術對高低壓輸出入電路進行靜電放電防護，該靜電放電防護電路包含：

一堆疊式 NMOS，具有堆疊之第一 NMOS 與第二 NMOS，該第一 NMOS 之汲極連接於一 I/O 接點，且該第一 NMOS 之閘極連接於一第一工作電壓，該第一 NMOS 之源極連接於該二 NMOS 之汲極，且該第二 NMOS 之閘極連接於一內部電路，以及該第二 NMOS 之源極連接於一第二工作電壓；

一側面雙載子電晶體，該側面雙載子電晶體之集極連接於前述第一 NMOS 之汲極，而射極連接於前述第二 NMOS 之源極；

一觸發電流產生電路，第一端連接於前述 I/O 接點，第二端連接於前述第二工作電壓，以及第三端連接於前述側

面雙載子電晶體之基極，藉以在前述 I/O 接點的電壓高於一設定值時，從前述第三端送出一觸發電流；以及一基板電阻，一端連接於前述雙載子電晶體之基極，另一端連接於前述第二工作電壓，藉以利用前述觸發電流產生一偏壓給前述雙載子電晶體。

2. 一種靜電放電防護電路，係利用基體觸發技術對高低壓輸出入電路進行靜電放電防護，該靜電放電防護電路包含：

一堆疊式 NMOS，具有堆疊之第一 NMOS 與第二 NMOS，該第一 NMOS 之汲極連接於一 I/O 接點，且該第一 NMOS 之閘極連接於一第一工作電壓，該第一 NMOS 之源極連接於該二 NMOS 之汲極，且該第二 NMOS 之閘極連接於一內部電路，以及該第二 NMOS 之源極連接於一第二工作電壓；

一側面雙載子電晶體，該側面雙載子電晶體之集極連接於前述第一 NMOS 之汲極，而射極連接於前述第二 MMOS 之源極；

一觸發電流產生電路，第一端連接於一提昇 PMOS 電晶體之浮接的 n- 井，第二端連接於前述第二工作電壓，以及第三端連接於前述側面雙載子電晶體之基極，藉以在前述 I/O 接點的電壓高於一設定值時，從前述第三端送出一觸發電流；以及

一基板電阻，一端連接於前述雙載子電晶體之基極，另一端連接於前述第二工作電壓，藉以利用前述觸發電流產生一偏壓給前述雙載子電晶體。

3.如申請專利範圍第 1 或 2 項所記載之靜電放電防護電路，其中前述觸發電流產生電路包含：

一串列二極體，該串列二極體之正端為該觸發電流產生電路之前述第一端；

一 P 型電晶體，該 P 型電晶體之源極連接於前述串列二極體之負端；以及

一 N 型電晶體，該 N 型電晶體之汲極連接於前述 P 型電晶體之汲極並作為該觸發電流產生電路之前述第三端，且該 N 型電晶體之源極作為該觸發電流產生電路之前述第二端；

其中前述 P 型電晶體與 N 型電晶體之閘極經由一電阻連接至前述第一工作電壓。

4.如申請專利範圍第 1 或 2 項所記載之靜電放電防護電路，還包含一提昇 PMOS，汲極連接於前述 I/O 接點，源極連接於前述第一工作電壓，閘極連接於前述內部電路。

5.如申請專利範圍第 1 或 2 項所記載之靜電放電防護電路，其中前述基板電阻為寄生電阻。

6.如申請專利範圍第 1 或 2 項所記載之靜電放電防護電路，其中前述側面雙載子電晶體為寄生雙載子電晶體。

圖式簡單說明：

圖 1 為習知靜電放電防護電路。

圖 2 為習知靜電放電防護電路之剖面圖。

圖 3 為圖 1 之電晶體之汲極與源極電壓以及汲極電流的關係圖。

圖 4 為本發明靜電放電防護電路之第一實施例。

圖 5 顯示本發明應用於混合型電壓之 ESD 保護電路之具有觸發電流產生電路的堆疊 NMOS 電晶體架構的剖面圖。

圖 6 顯示 SPICE 模擬之二極體數目與觸發電流之關係圖。

圖 7 顯示 SPICE 模擬之 PMOS 電晶體的寬度與觸發電流之關係圖。

圖 8 為本發明靜電放電防護電路之第二實施例。

圖 9 顯示 4 種靜電放電之型態。

圖 10 為應用本發明靜電放電防護電路之電路。

(3)

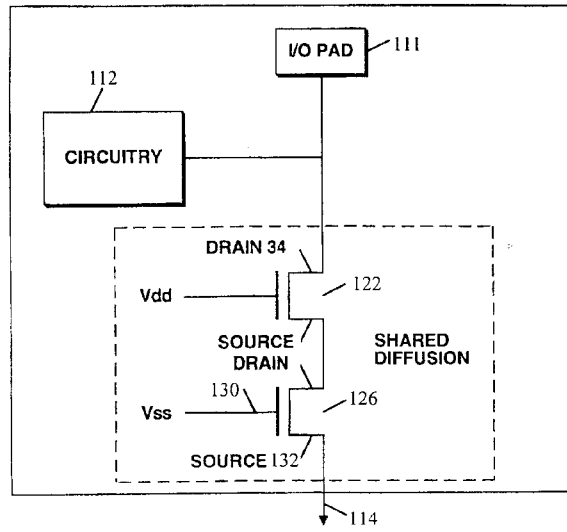


圖 1

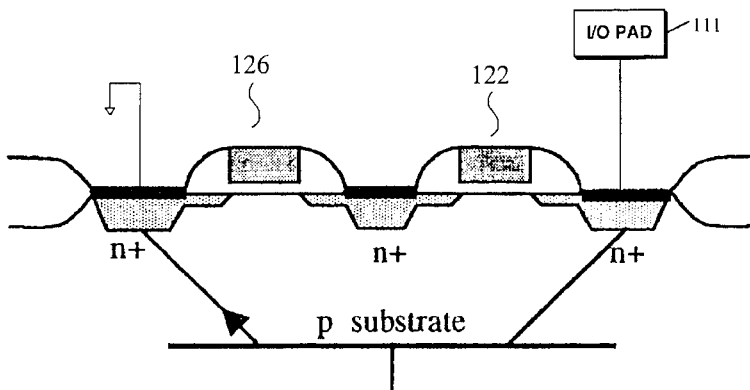


圖 2

(4)

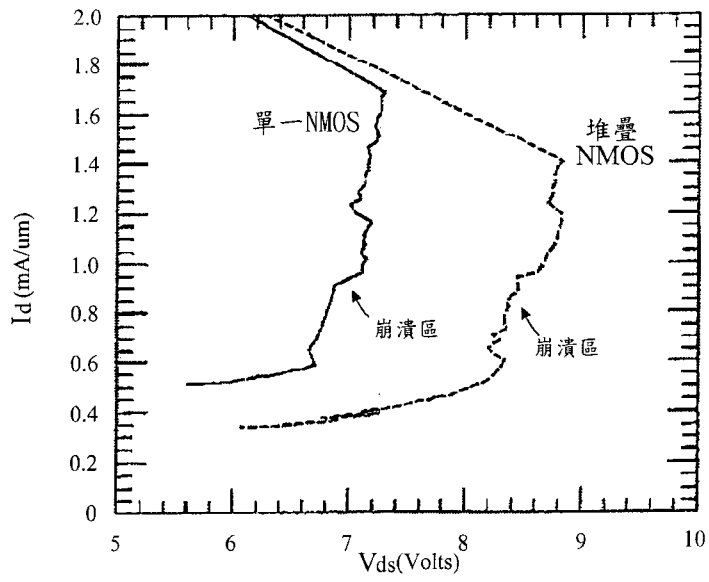


圖 3

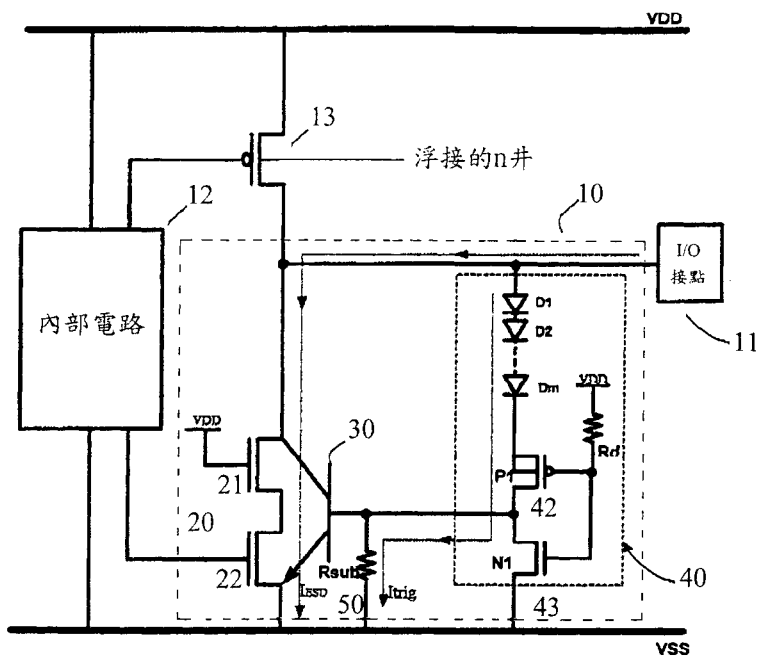


圖 4

(5)

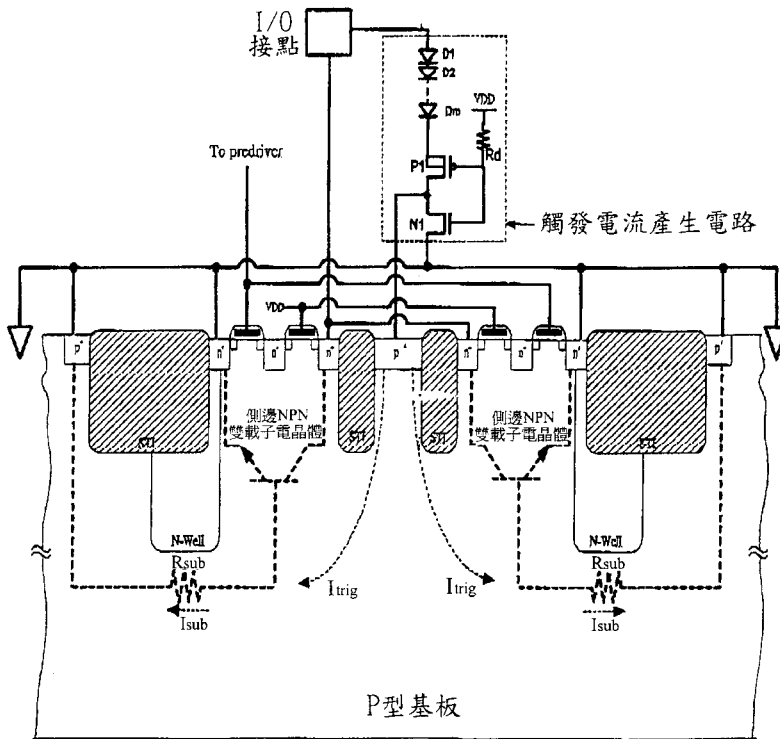


圖 5

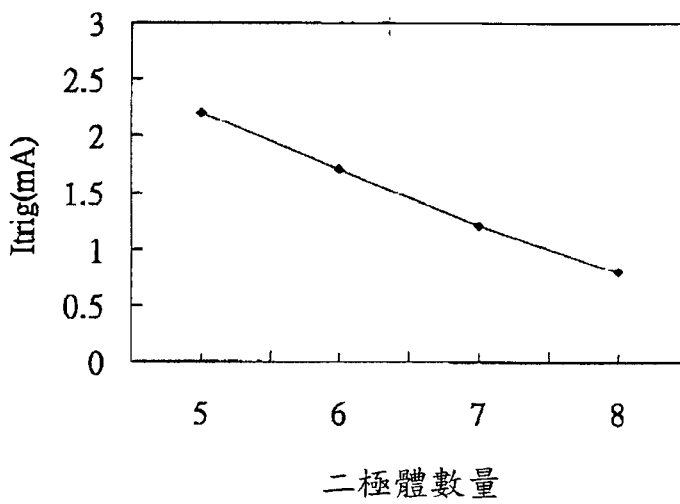


圖 6

(6)

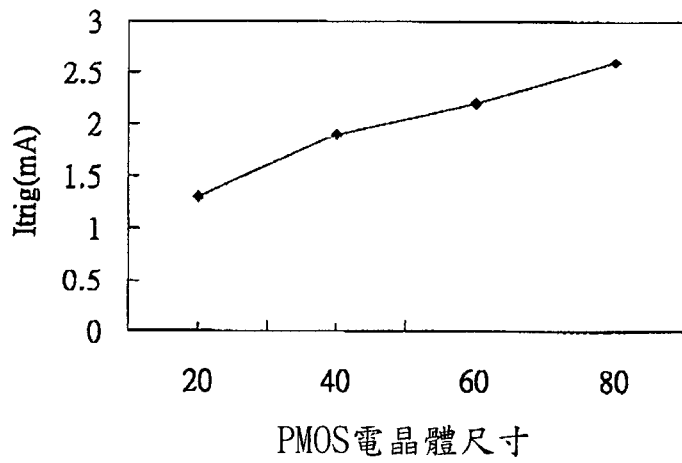


圖 7

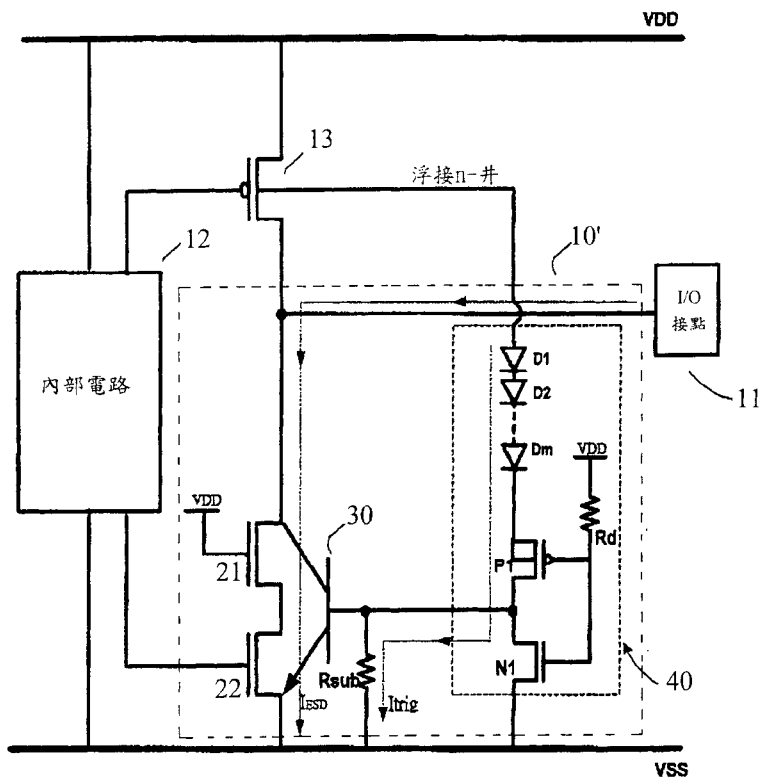


圖 8

(7)

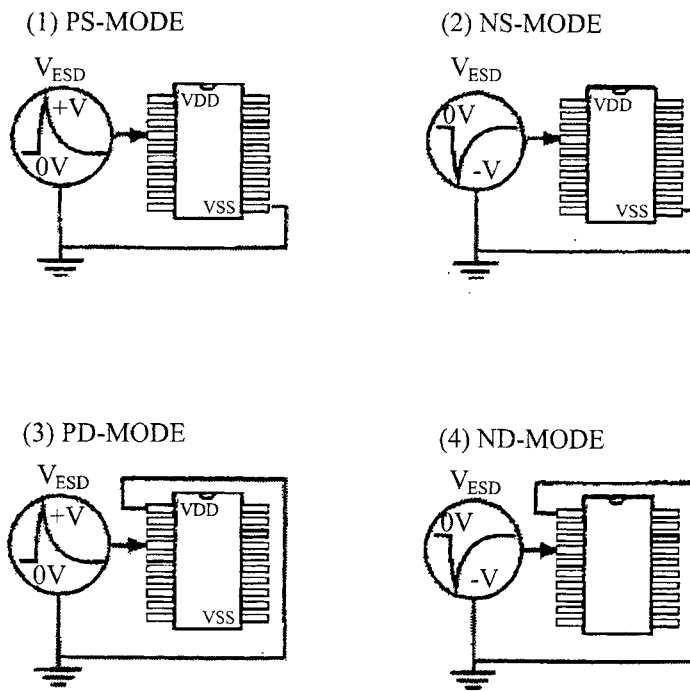


圖 9

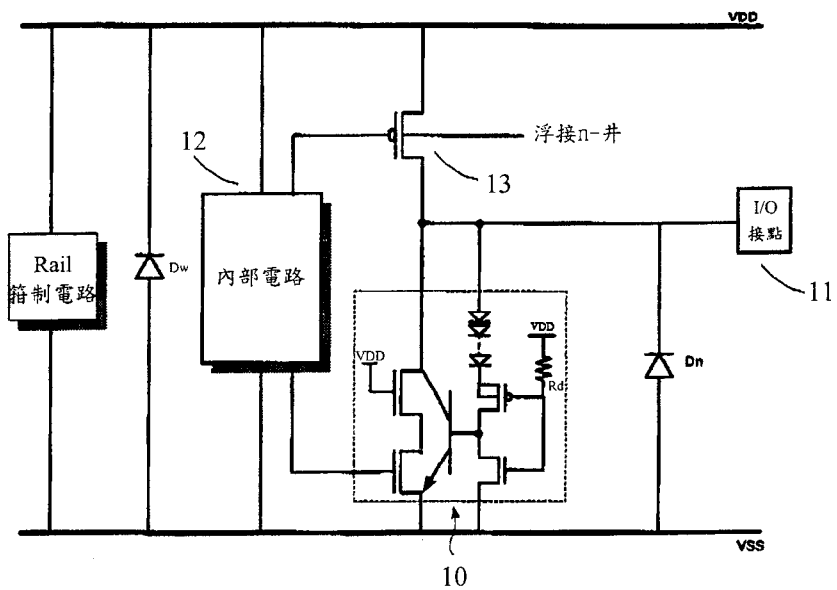


圖 10

