

中華民國專利公報 [19] [12]

[11]公告編號：475250

[44]中華民國 91 年 (2002) 02 月 01 日

發明

全 15 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：適用於高頻輸出入埠的低電容負載之靜電放電防護電路

[21]申請案號： 090105922

[22]申請日期：中華民國 90 年 (2001) 03 月 14 日

[72]發明人：

柯明道

張恆祥

王文泰

新竹市寶山路二〇〇巷三號四樓之三

台北縣汐止市大同路二段三三七號

台北市信義區基隆路一段三五〇之二十一號二樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人： 洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種低輸入電容負載之靜電放電 (electrostatic discharge, ESD) 防護電路，適用於一輸出入接合墊，包含有複數之二極體，堆疊耦接於一第一電源線與該輸出入接合墊之間，其中，於正常電源操作時，該等二極體係為逆向偏壓，於發生於一第二電源線與該輸出入接合墊之間的一 ESD 事件時，該等二極體係為正向偏壓以導通 ESD 電流。

2. 如申請專利範圍第 1 項之 ESD 防護電路，其中，每一二極體係以第一導電型之一摻雜區設於第二導電型之一第一井區所形成之一 PN 接面所構成，該第一井區下設有第一導電型之一深井區以與第二導電型之一基材相隔絕。

3. 如申請專利範圍第 2 項之 ESD 防護電路，其中，該第一井區係被第一導電型之一第二井區所環繞。

4. 如申請專利範圍第 2 項之 ESD 防護電

路，其中，該第一導電型係為 N 型，該第二導電型係為 P 型。

5. 如申請專利範圍第 1 項之 ESD 防護電路，其中，該 ESD 防護電路另包含有一電源線間 ESD 箝制電路，設於該第一電源線與該第二電源線之間，其中，當該 ESD 事件發生時，該電源線間 ESD 箝制電路係開啟以導通該 ESD 電流。

10. 6. 如申請專利範圍第 5 項之 ESD 防護電路，其中，該電源線間 ESD 箝制電路包含有一基底觸發之第一導電型 MOS，該 MOS 包含有二源／汲極以及一基極，該二源／汲極分別耦合至該第一電源線以及該第二電源線，於該 ESD 事件發生時，該基極係被施以適當的電流偏壓，以觸發寄生於該 MOS 中的一雙接面接面電晶體，來排放該 ESD 電流。

20. 7. 如申請專利範圍第 6 項之 ESD 防護電

- 路，其中，該 MOS 包含有一閘極，於正常電源操作時，被施以一適當的電壓偏壓，以維持該 MOS 為關閉狀態。
- 8.如申請專利範圍第 6 項之 ESD 防護電路，其中，於該 ESD 事件時，該閘極係被施以另一適當電壓偏壓，以加速開該 MOS 的開啟。
- 9.如申請專利範圍第 6 項之 ESD 防護電路，其中，該 MOS 係形成於一第二導電型之第一井區中，且該第一井區下設有一第一導電型之深井區以與一第二導電型之基材相隔絕。
- 10.如申請專利範圍第 9 項之 ESD 防護電路，其中，該第一井區係被第一導電型之一第二井區所環繞。
- 11.如申請專利範圍第 5 項之 ESD 防護電路，其中，該電源線間 ESD 箝制電路包含有一 ESD 偵測電路，用以偵測該 ESD 事件的發生，並觸發該電源線間 ESD 箝制電路。
- 12.如申請專利範圍第 1 項之 ESD 防護電路，其中，該等二極體包含有一 MOS 二極體，該 MOS 二極體之一閘極係耦合至該 MOS 二極體之一源／汲極。
- 13.如申請專利範圍第 1 項之 ESD 防護電路，其中，該等二極體包含有一 PN 接面二極體，係以一 MOS 中之一汲極與一源極之間的一 PN 接面所構成。
- 14.如申請專利範圍第 13 項之 ESD 防護電路，其中，該 MOS 之閘極係耦合至該第一電源線。
- 15.如申請專利範圍第 13 項之 ESD 防護電路，其中，該 MOS 之閘極係耦合至該該 MOS 之一源極。
- 16.如申請專利範圍第 13 項之 ESD 防護電路，其中，該 MOS 係為 PMOS。
- 17.如申請專利範圍第 13 項之 ESD 防護電路，其中，該 MOS 係為 NMOS。
- 18.一種電源線間 ESD 箝制電路，適用於一積體電路，耦接於二電源線間，包

- 含有：
- 一基底觸發之 MOS 元件，包含有：
- 一閘極；
- 二源／汲極，分別耦合至該二電源線；以及
- 一基極；以及
- 一 ESD 偵測電路，當偵測到一 ESD 事件之發生時，用以提供一偏壓電流予該 MOS 元件的基極，以及一偏壓電壓予該 MOS 元件的閘極，以觸發該 MOS 元件，並釋放一 ESD 電流。
- 19.如申請專利範圍第 18 項之電源線間 ESD 箝制電路，其中，該電源線間 ESD 箝制電路另包含有一電壓箝制電路，耦接於該閘極以及該二電源線其中之一間，用以限制該偏壓電壓的大小。
- 20.如申請專利範圍第 19 項之電源線間 ESD 箝制電路，其中，該電壓箝制電路係以一二極體所構成，當該 ESD 事件發生時，該二極體係被傾向偏壓。
- 21.如申請專利範圍第 20 項之電源線間 ESD 箝制電路，其中，該電壓箝制電路係以複數之二極體所構成，當該 ESD 事件發生時，該等二極體係被傾向偏壓。
- 22.如申請專利範圍第 19 項之電源線間 ESD 箝制電路，其中，該電壓箝制電路係以一基鉀二極體所構成，當該 ESD 事件發生時，該基鉀二極體係以一逆向崩潰電壓箝制該偏壓電壓。
- 23.如申請專利範圍第 18 項之電源線間 ESD 箝制電路，其中，該二電源線係為一高電壓電源線以及一低電壓電源線，該 MOS 元件係為一 NMOS 元件。
- 24.如申請專利範圍第 18 項之電源線間 ESD 箝制電路，其中，該 ESD 偵測電路包含有：
- 一電阻電容電路(RC-based circuit)，用以偵測該 ESD 事件的發生；以及

一驅動器(driver)，受控於該電阻電容電路，用以驅動該 MOS 元件之閘極以及基極。

25.如申請專利範圍第 24 項之電源線間 ESD 箝制電路，其中，該電阻電容電路包含有一電阻以及一電容，串接於該二電源線之間。

26.如申請專利範圍第 24 項之電源線間 ESD 箝制電路，其中，該驅動器包含有一反相器，具有一輸出，耦接至該 MOS 元件之該閘極以及該基極。

圖式簡單說明：

第 1(a)圖為一傳統的，以兩個二極體構成的 ESD 防護電路；

第 1(b)圖為第 1(a)圖的改良型，是一種二級式的 ESD 防護電路；

第 2圖為習知的 P 型二極體之結構剖面示意圖；

第 3 圖為習知的 N 型二極體之結構剖面示意圖；

第 4 圖為積體電路進行四種 ESD 測試的四種腳位連接模式之示意圖；

第 5 圖為第 1(a)圖以及其寄生電容的電路圖；

第 6 圖為依據本發明之一 ESD 防護

電路圖；

第 7 圖到第 10 圖顯示本發明之 ESD 防護電路於四種不同模式之 ESD 測試時的 ESD 電流路徑；

5. 第 11 圖為本發明所使用的 N 型二極體結構以及其代表符號；

第 12 圖為第 6 圖中的 MESD 元件之一結構剖面圖以及符號示意圖；

10. 第 13 圖為第 6 圖的一種改良後 ESD 防護電路；

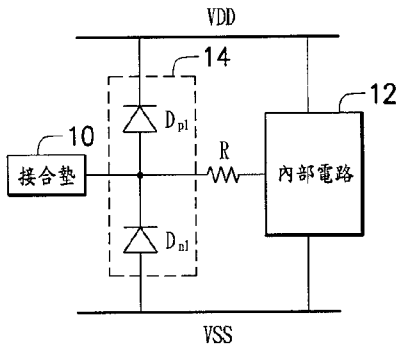
第 14 圖為依據本發明，以三個二極體堆疊於電源線與接合墊之間的一 ESD 防護電路圖；

15. 第 15 圖為以 HSPICE 模擬後，第 5 圖、第 6 圖以及第 14 圖的輸入等效電容結果示意圖；

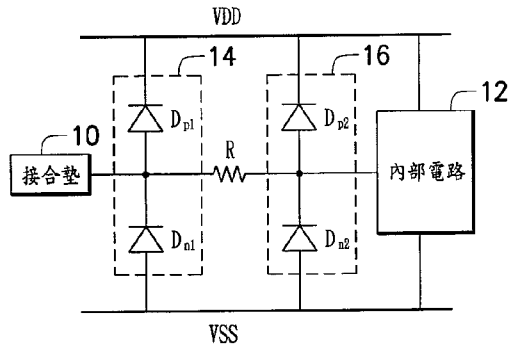
第 16 圖為可以運用於本發明之 NMOS 與其中寄生於汲極處之 N 型二極體示意圖；

20. 第 17 圖為可以運用於本發明之 PMOS 與其中寄生於汲極處之 P 型二極體示意圖；以及

第 18 圖至第 25 圖為應用 NMOS 與 PMOS 所產生之二極體於本發明之 ESD 防護電路中的八個實施例。

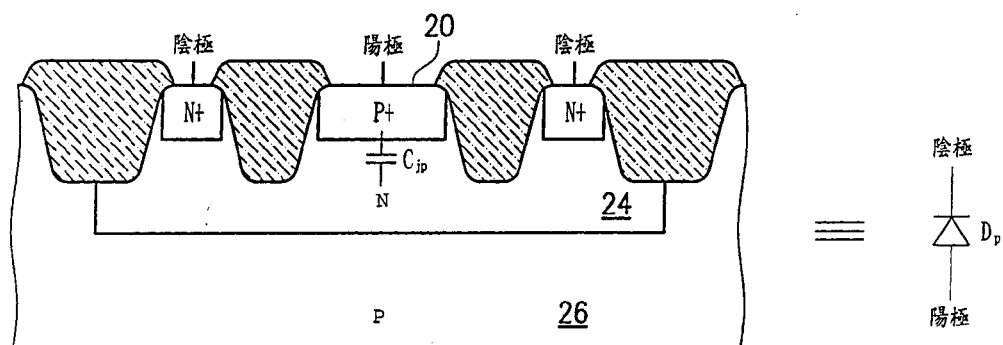


第 1a 圖

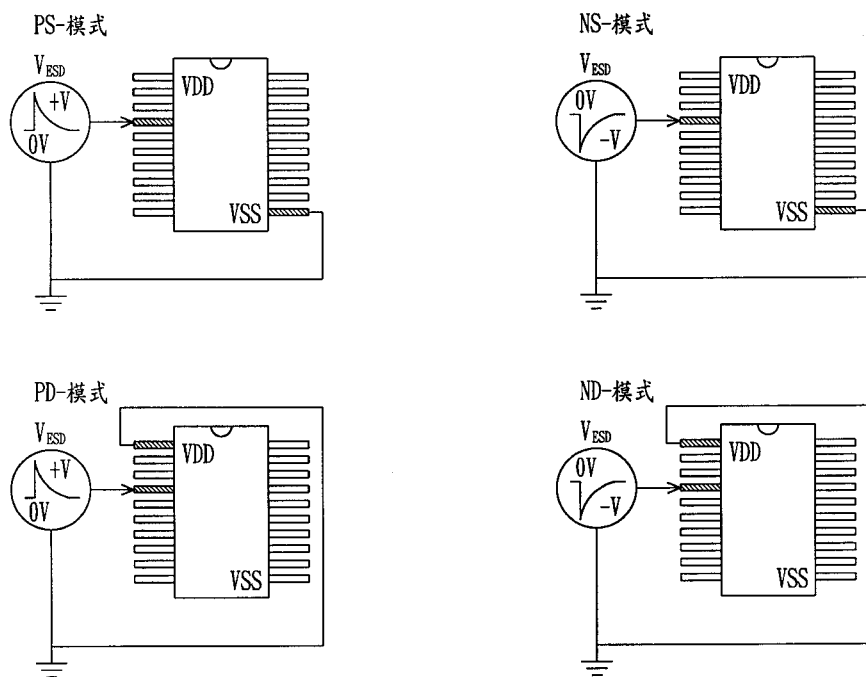


第 1b 圖

(4)

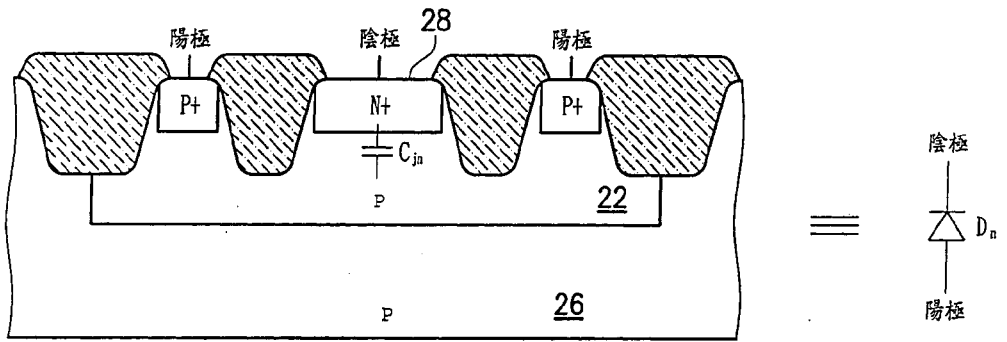


第 2 圖

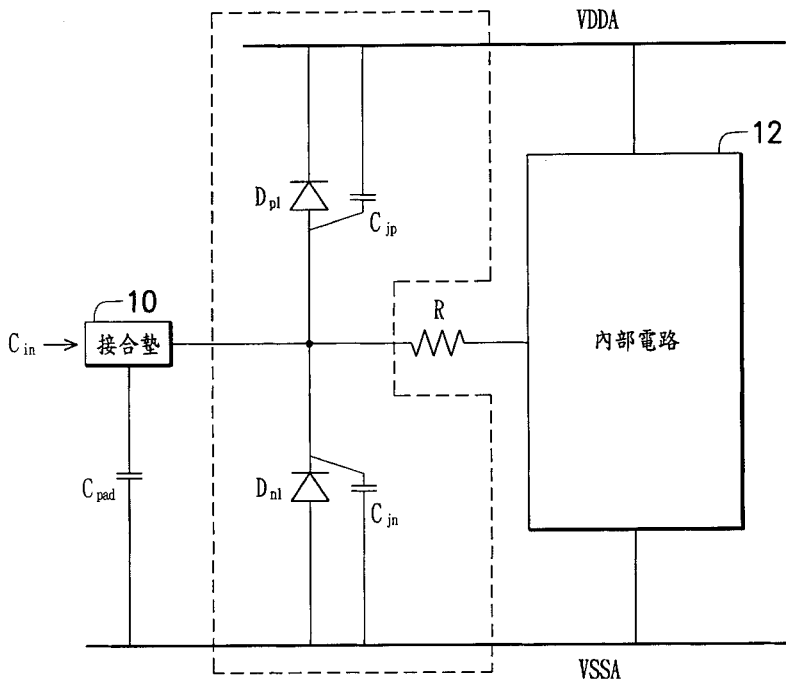


第 4 圖

(5)

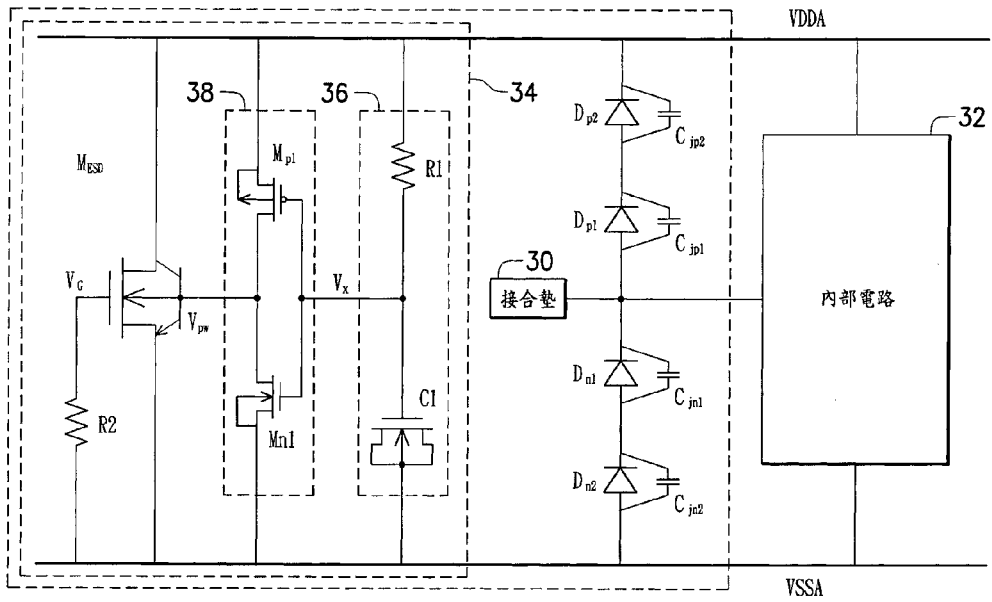


第 3 圖

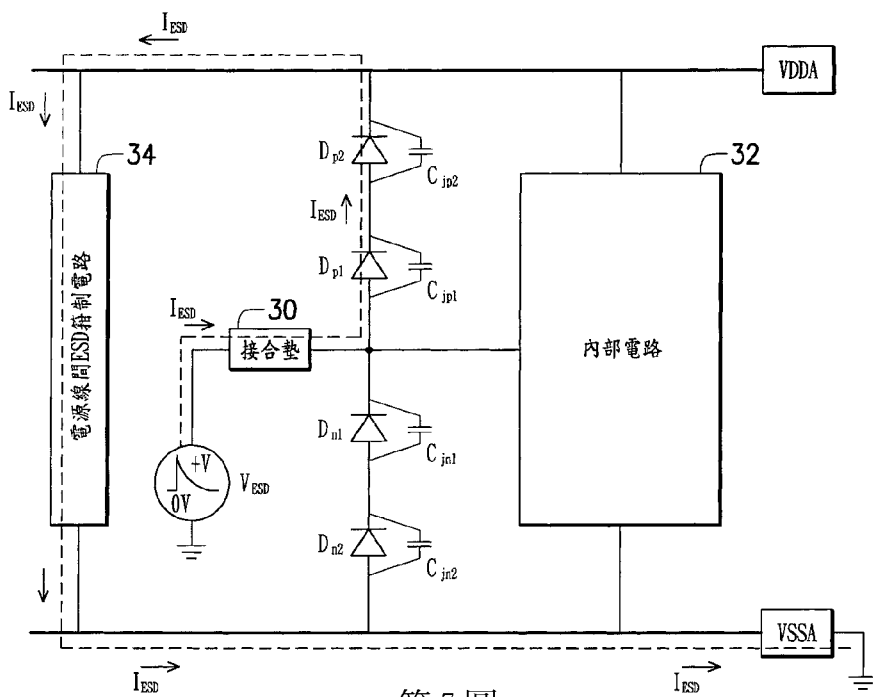


第 5 圖

(6)

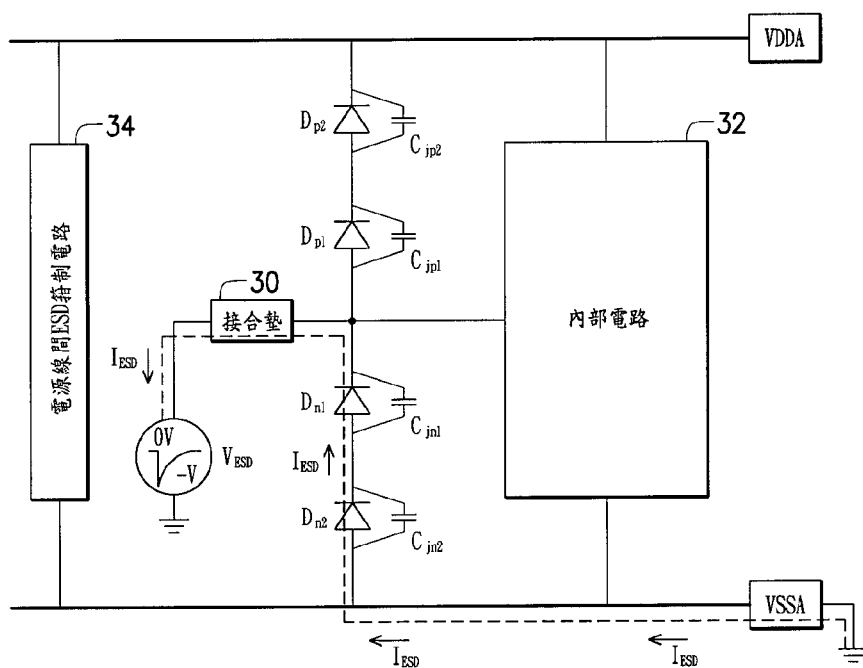


第 6 圖

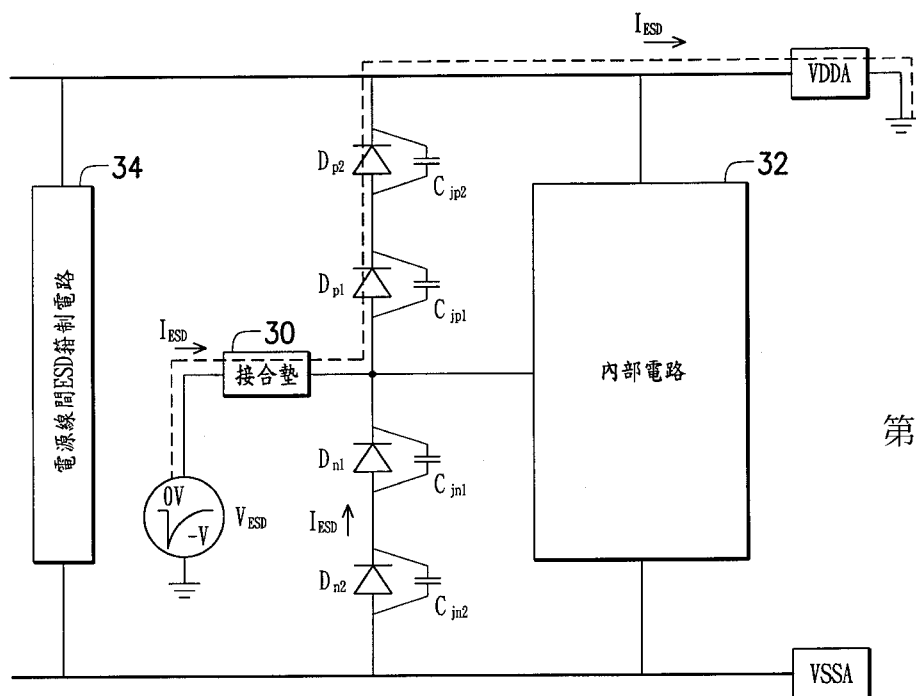


第 7 圖

(7)

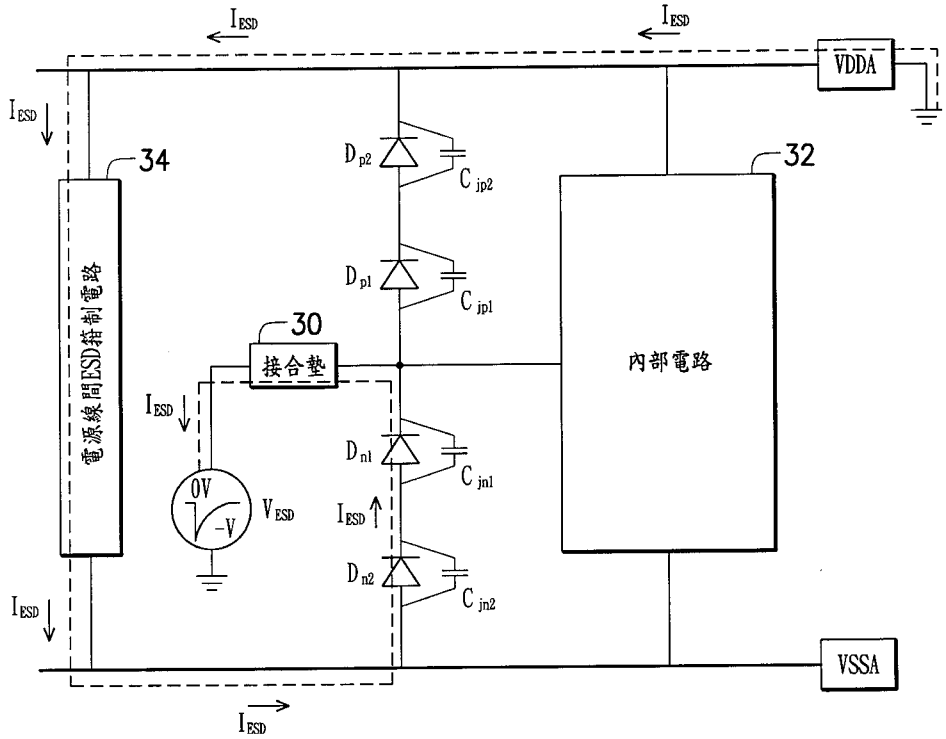


第 8 圖

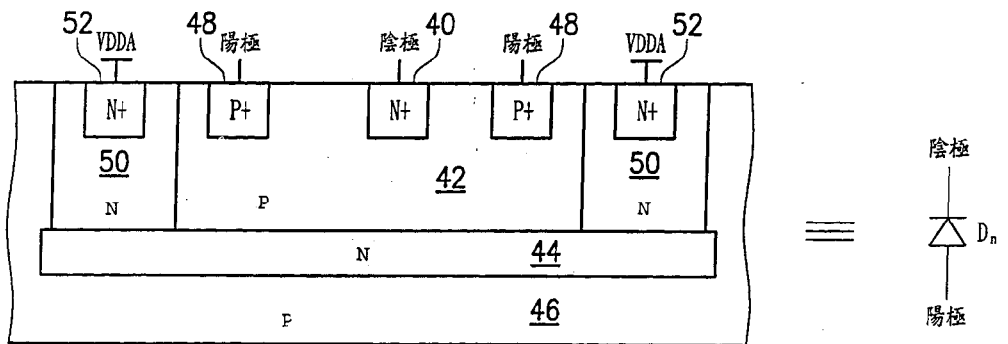


第 9 圖

(8)

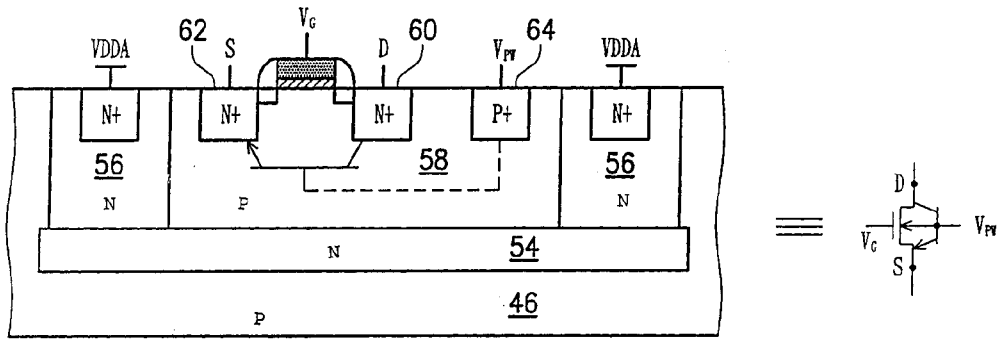


第 10 圖

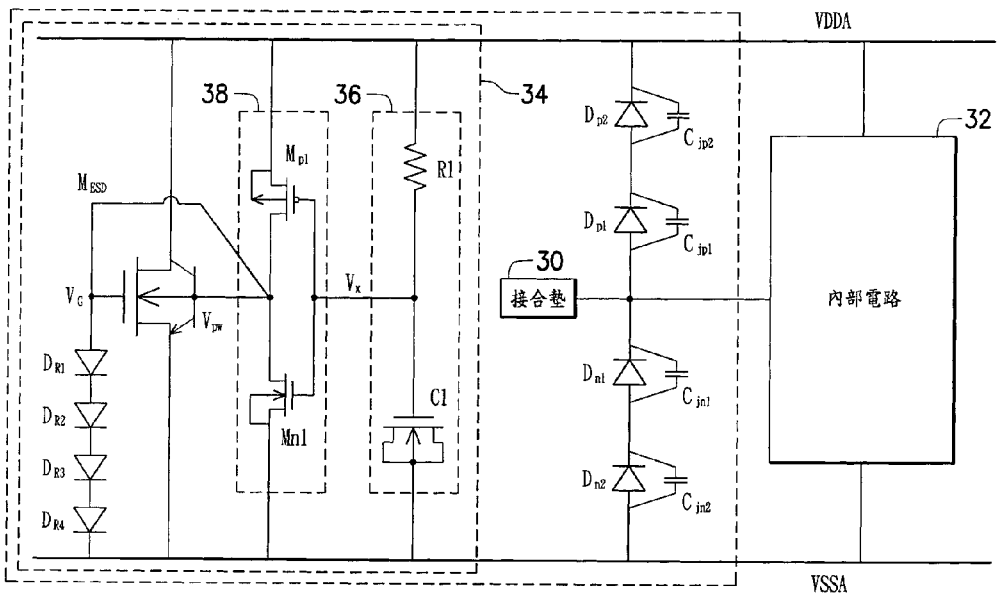


第 11 圖

(9)

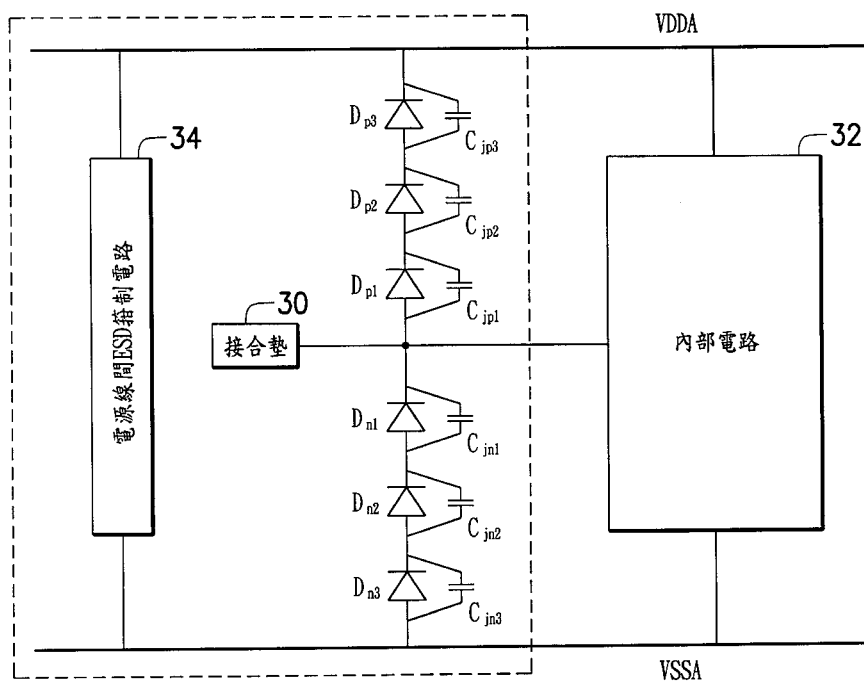


第 12 圖

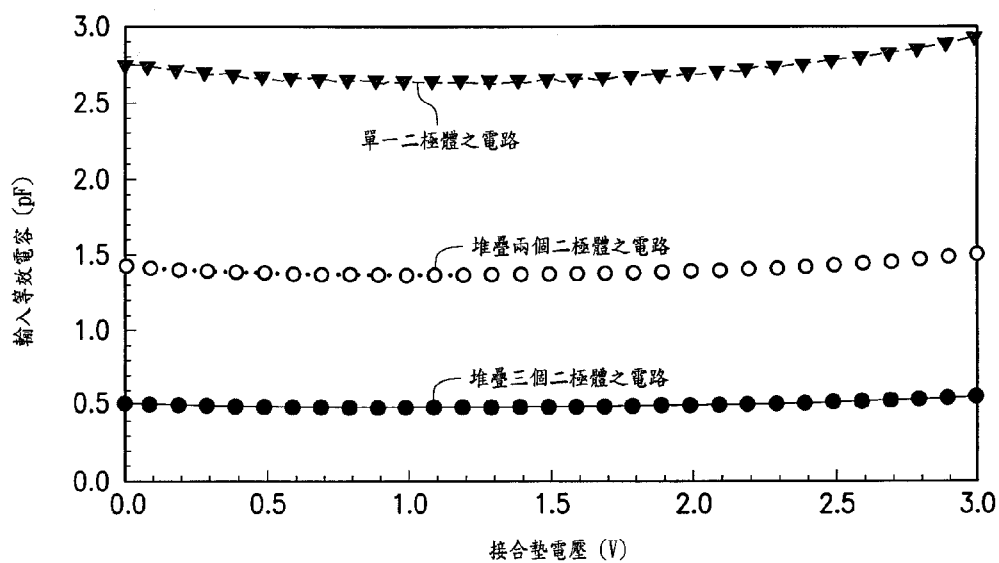


第 13 圖

(10)

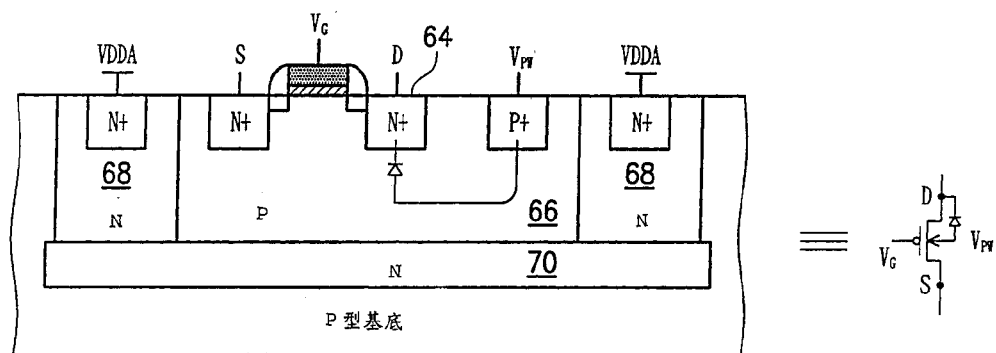


第 14 圖

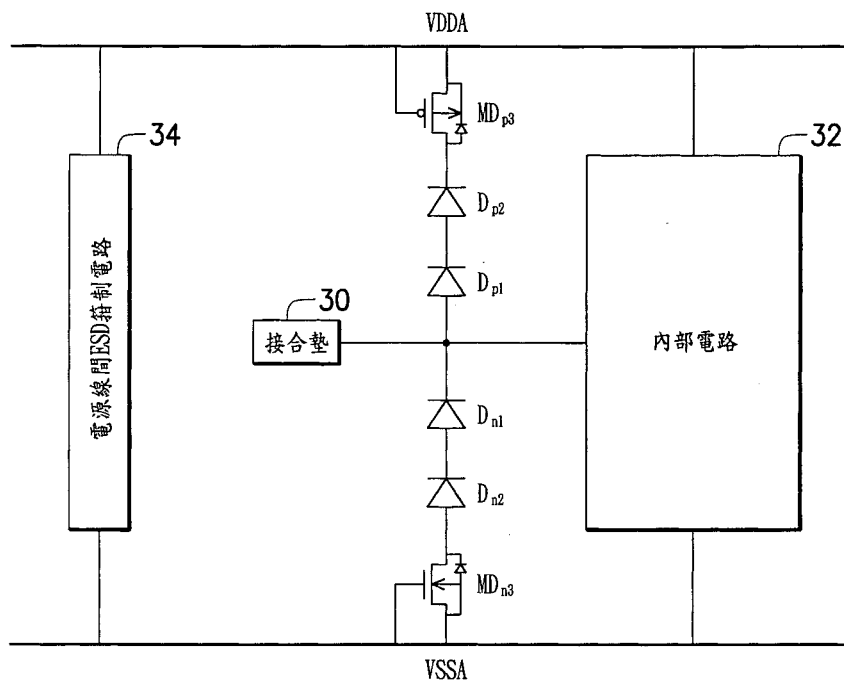


第 15 圖

(11)

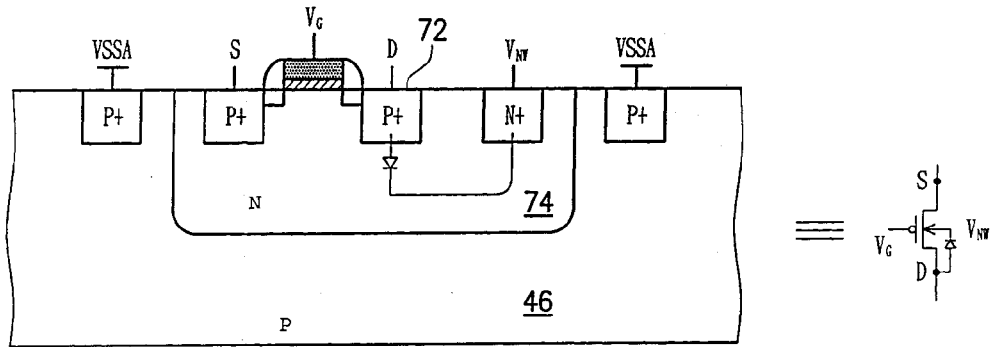


第 16 圖

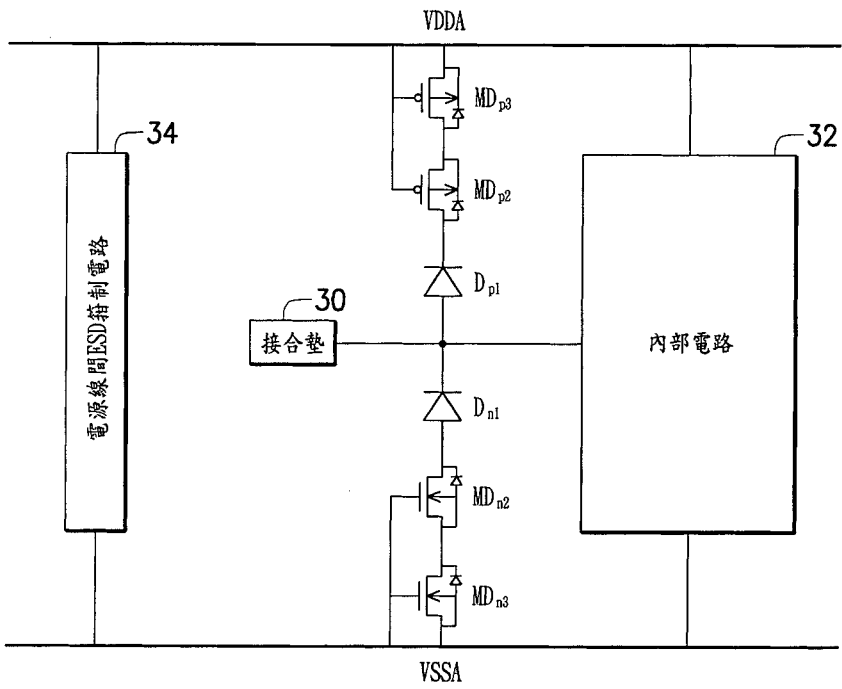


第 18 圖

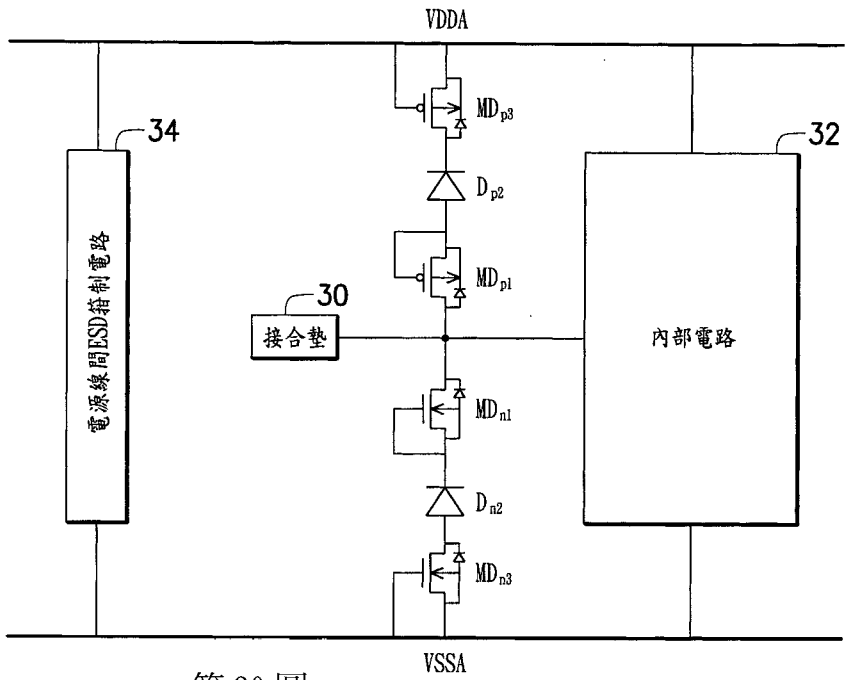
(12)



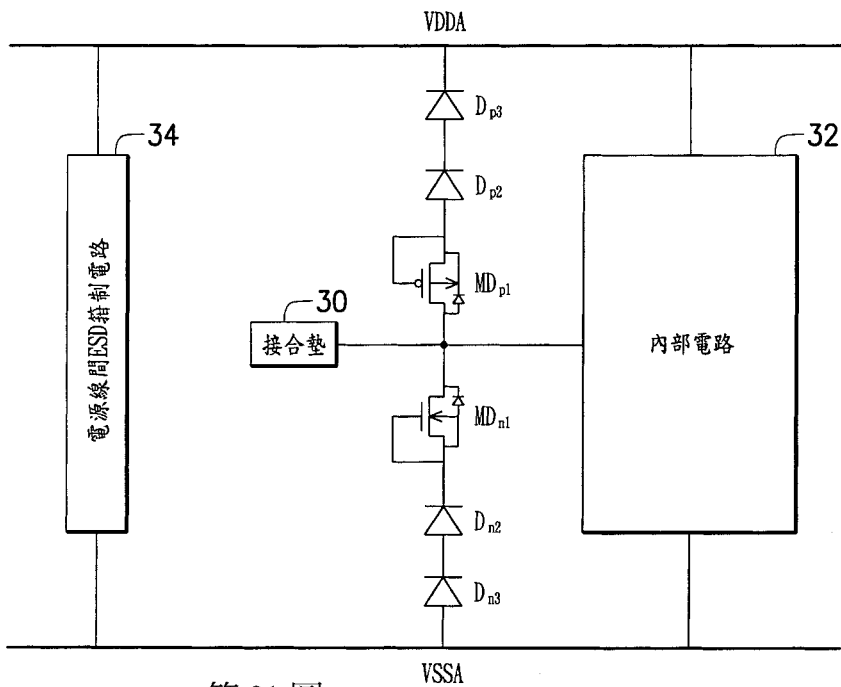
第 17 圖



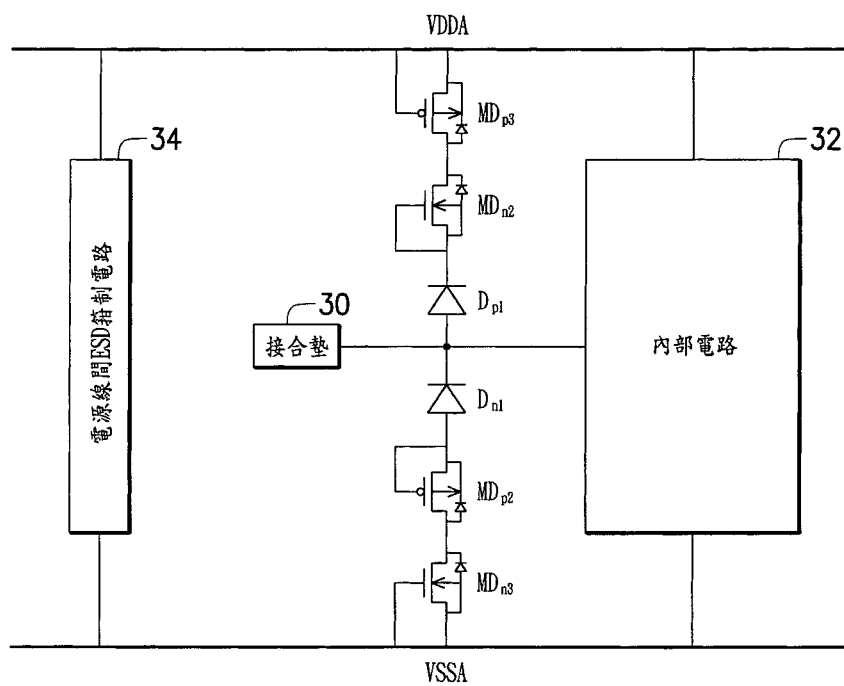
第 19 圖



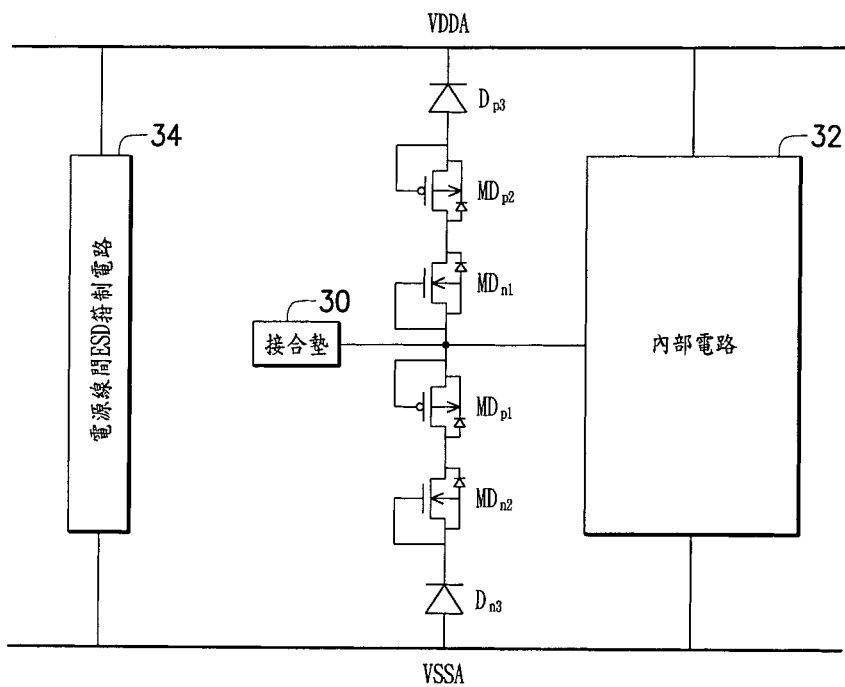
第 20 圖



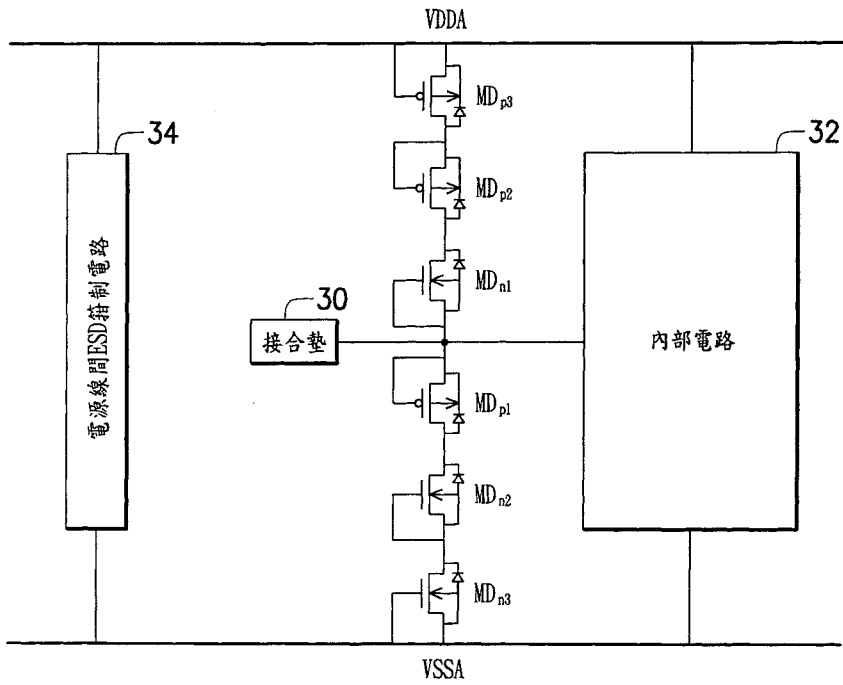
第 21 圖



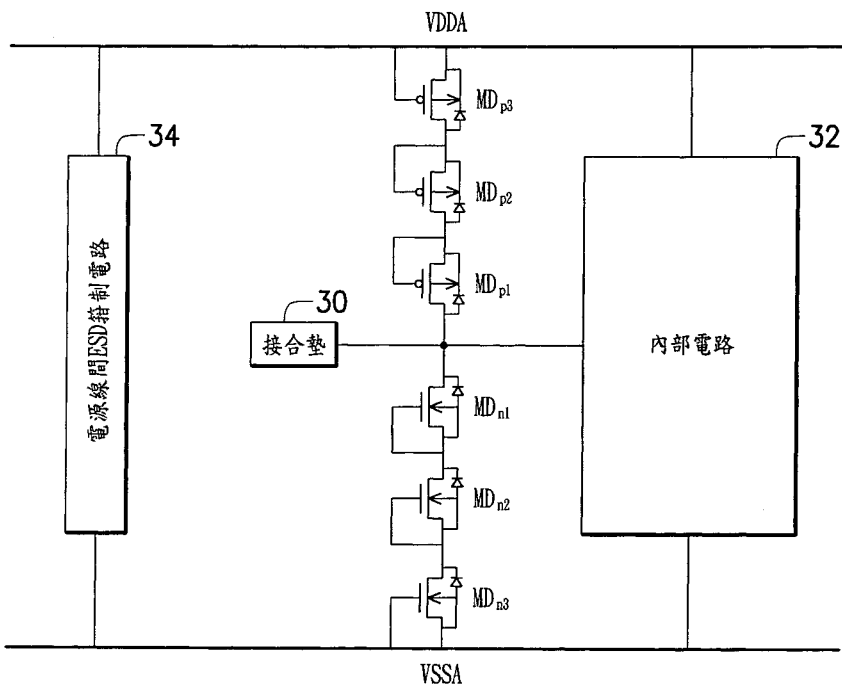
第 22 圖



第 23 圖



第 24 圖



第 25 圖

